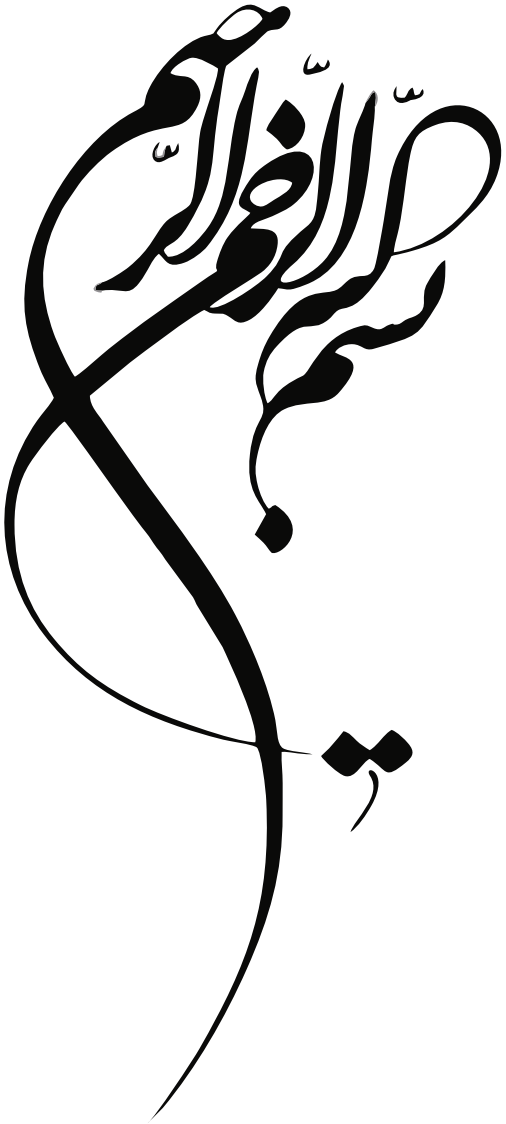

بسم الله الرحمن الرحیم

دانشکده مهندسی برق و رباتیک

رشته الکترونیک، گرایش مدارهای مجتمع

پایان‌نامه کارشناسی ارشد

طراحی و شبیه‌سازی یک تقویت‌کننده Gm ثابت Rail-to-Rail با توان مصرفی کم

نگارنده: محمدمهدی دزیانی

استاد راهنما

دکتر محمدرضا اشرف

استاد مشاور

دکتر محمدجواد دزیانی

شهریور ۱۴۰۰

تقدیم به پدر و مادرم

از پدر و مادر گرانقدرم مراتب سپاس و تشکر را دارم. بی شک بدون همراهی و حمایت آن بزرگواران طی این مسیر ممکن نبود.

بر خود لازم می‌دانم تا از استاد راهنما محترم جناب آقای دکتر محمدرضا اشرف سپاس‌گزاری و قدردانی کنم. قطعا بدون راهنمایی‌ها، پیگیری‌ها و دلسوزی‌های ایشان به پایان رساندن این پایان نامه ممکن نبود.

از جناب آقای دکتر محمدجواد دزیانی، عموی عزیزم، که بنده را در این پایان‌نامه به عنوان استاد مشاور همراهی کردند تشکر و قدردانی می‌کنم.

در خاتمه از دوستان عزیزم آقایان مهندس امیررضا موسی‌زاده مقدم و مهندس محمد صاحب که صمیمانه بنده را یاری نموده‌اند، تشکر می‌نمایم.

محمدمهدی دزیانی
شهریور۱۴۰۰

تعهد نامه

اینجانب **محمدمهدی دزیانی** دانشجوی کارشناسی ارشد رشته **الکترونیک مهندسی برق و رباتیک** دانشگاه صنعتی شاهرود، نویسنده پایان‌نامه با عنوان **طراحی و شبیه‌سازی یک تقویت‌کننده Gm ثابت Rail-to-Rail با توان مصرفی کم** ، تحت راهنمایی **محمدرضا اشرف** متعهد می‌شوم:

- تحقیقات در این پایان‌نامه توسط اینجانب انجام شده است و از صحت و اصالت برخوردار است.
- در استفاده از نتایج پژوهش‌های دیگر پژوهش‌گران، به مرجع مورد استفاده استناد شده است.
- مطالب این پایان‌نامه، تا کنون توسط خود، یا فرد دیگری برای دریافت هیچ نوع مدرک یا امتیازی در هیچ‌جا ارایه نشده است.
- حقوق معنوی این اثر، به دانشگاه صنعتی شاهرود تعلق دارد، و مقالات مستخرج با نام ‘‘ دانشگاه صنعتی شاهرود ’’ یا “ Shahrood University of Technology ” به چاپ خواهد رسید.
- حقوق معنوی تمام افرادی که در به‌دست آوردن نتایج اصلی پایان‌نامه تاثیرگذار بوده‌اند، در مقالات مستخرج از پایان‌نامه رعایت می‌گردد.
- در تمام مراحل انجام این پایان‌نامه، در مواردی که از موجود زنده (یا بافت‌های آنها) استفاده شده است، ضوابط و اصول اخلاقی رعایت شده است.
- در تمام مراحل انجام این پایان‌نامه، در مواردی که به حوزه اطلاعات شخصی افراد دسترسی یافته (یا استفاده شده است)، اصل رازداری و اصول اخلاق انسانی رعایت شده است.

محمدمهدی دزیانی
شهریور۱۴۰۰

مالکیت نتایج و حق نشر

- تمام حقوق معنوی این اثر و محصولات آن (مقالات مستخرج، کتاب، برنامه‌های رایانه‌ای، نرم‌افزارها و تجهیزات ساخته شده) متعلق به دانشگاه صنعتی شاهرود می‌باشد. این مطلب باید به نحو مقتضی، در تولیدات علمی مربوطه ذکر شود.
- استفاده از اطلاعات و نتایج موجود در این پایان‌نامه بدون ذکر منبع مجاز نمی‌باشد.

چکیده

تقویت‌کننده، اصلی‌ترین بلوک در طراحی مدارهای آنالوگ است. تقویت‌کننده‌ها دارای ساختارهای متفاوت برای کاربردهای مختلف هستند. با پیشرفت فناوری و کاهش ولتاژ منبع تغذیه، نیاز به استفاده از تمام محدوده منبع تغذیه در ورودی و خروجی تقویت‌کننده احساس می‌شود. برای رفع این نیاز، تقویت‌کننده‌های Rail-to-Rail پیشنهاد شده است. مشکل اصلی تقویت‌کننده‌های Rail-to-Rail مرسوم که از یک زوج تفاضلی N و P تشکیل شده‌اند، تغییرات ترارسانایی طبقه ورودی است. این تغییرات تأثیر بسزایی بر روی پارامترهای تقویت‌کننده از جمله بهره، پایداری، پهنای باند و خطینگی می‌گذارد.

در این پایان‌نامه یک ساختار جدید برای طبقه ورودی تقویت‌کننده‌های Rail-to-Rail با تغییرات ترارسانایی ۱۳ درصد معرفی شده است. این ساختار از چهار زوج ورودی شامل دو زوج اصلی و دو زوج کمکی استفاده می‌کند. دو زوج کمکی که محدوده ولتاژ حالت‌ـ مشترک ورودی متفاوتی نسبت به دو زوج اصلی دارند با جبران نواحی افت ترارسانایی ناشی از دو زوج اصلی منجر به کاهش تغییرات ترارسانایی طبقه ورودی می‌شوند. برای تغییر محدوده ولتاژ حالت‌ـ مشترک ورودی دو زوج کمکی از یک ساختار اتصال‌ـ دیودی در مسیر جریان دنباله استفاده شده است.

تقویت‌کننده پیشنهادی در نرم‌افزار Cadence، در فناوری ۱۸۰ نانومتر TSMC و با منبع تغذیه ۱٫۸ ولت شبیه‌سازی شده است. تقویت‌کننده با بار خازنی ۱۰ پیکوفاراد دارای بهره ۱۰۳٫۹ دسیبل، پهنای باند بهره واحد ۳٫۱ مگاهرتز، توان مصرفی ۲۰ میکروات و نرخ چرخش $V/\mu s$ ۰٫۳۳ است. برای طرح تمام‌تفاضلی تقویت‌کننده پیشنهادی، جانمایی رسم شده و شبیه‌سازی‌های پس از جانمایی نیز انجام شده است.

کلمات کلیدی: تقویت‌کننده‌عملیاتی، g_m ثابت، کم‌توان، Rail-to-Rail

فهرست مطالب

فهرست شکل‌ها **ف**

فهرست جدول‌ها **ش**

۱ پیش‌گفتار **۱**
۱-۱ پیش‌گفتار ۲
۱-۲ انگیزه پژوهش ۳
۱-۳ اهداف پژوهش ۵
۱-۴ ساختار پایان‌نامه ۶

۲ مروری بر مطالعات انجام‌شده **۷**
۲-۱ پیش‌گفتار ۸
۲-۲ طبقه ورودی ۹
۲-۲-۱ روش۱: کنترل جریان دنباله ۱۰
۲-۲-۲ روش۲: تغییر سطح ولتاژ ورودی ۱۴
۲-۲-۳ روش۳: انتخاب بیش‌ترین مقدار ترارسانایی ۱۵
۲-۲-۴ روش۴: تغییر سطح DC با ترانزیستورهای MIFG ۱۷
۲-۲-۵ روش۵: دیود زنر الکترونیکی ۱۸
۲-۲-۶ روش۶: مقیاس‌سازی جریان خروجی طبقه ورودی ۲۰
۲-۲-۷ روش۷: ورودی از طریق بدنه ۲۲
۲-۲-۸ مقایسه روش‌ها ۲۵
۲-۳ جمع‌بندی ۲۶

۳ ساختار پیشنهادی **۲۷**
۳-۱ پیش‌گفتار ۲۸
۳-۲ بررسی سه ساختار مهم ۲۸
۳-۲-۱ تغییر سطح ولتاژ ورودی ۲۸

۳-۲-۲ تغییر سطح ولتاژ ورودی اصلاح‌شده ۳۱
۳-۲-۳ تغییر جریان دنباله ۳۲
۳-۳ ساختار پیشنهادشده ۳۴
۳-۳-۱ ساختار پیشنهادی ۳۴
۳-۳-۲ دستیابی به Rail-to-Rail خروجی ۳۷
۳-۳-۳ ساختار تمام‌تفاضلی ۳۷
۳-۳-۴ تحلیل ساختار دوطبقه پیشنهادشده ۳۸
۳-۴ جمع‌بندی ۴۲

۴ نتایج شبیه‌سازی ۴۳
۴-۱ پیش‌گفتار ۴۴
۴-۲ نتایج شبیه‌سازی ساختارهای معرفی شده ۴۴
۴-۲-۱ شبیه‌سازی ساختار Rail-to-Rail مرسوم ۴۴
۴-۲-۲ شبیه‌سازی ساختار تغییر سطح ولتاژ ورودی ۴۷
۴-۲-۲-۱ منبع وابسته PMOS ۴۷
۴-۲-۲-۲ منبع وابسته NMOS ۴۹
۴-۲-۳ شبیه‌سازی ساختار تغییر سطح ولتاژ ورودی اصلاح‌شده ۵۱
۴-۲-۴ شبیه‌سازی ساختار تغییر جریان دنباله ۵۳
۴-۲-۵ شبیه‌سازی ساختار پیشنهادشده ۵۴
۴-۲-۶ جمع‌بندی ۵۶
۴-۳ دستیابی به Rail-to-Rail خروجی با یک سورس‌ـ‌مشترک به عنوان طبقه دوم ۵۷
۴-۳-۱ پاسخ فرکانسی ۵۷
۴-۳-۲ محدوده حالت‌ـ‌مشترک ورودی ۶۰
۴-۳-۳ دامنه نوسان خروجی ۶۱
۴-۳-۴ THD ۶۱
۴-۳-۵ نرخ چرخش و زمان نشست ۶۲
۴-۳-۶ توان مصرفی ۶۲
۴-۳-۷ CMRR ۶۴
۴-۳-۸ PSRR ۶۴
۴-۳-۹ آفست ۶۵
۴-۳-۱۰ نویز ارجاع داده شده به ورودی ۶۵
۴-۳-۱۱ گوشه‌های پروسه و تغییرات دمایی ۶۶
۴-۳-۱۲ جمع‌بندی ۶۷
۴-۴ ساختار تمام‌تفاضلی ۶۸

۴-۴-۱ پاسخ فرکانسی ۶۹
۴-۴-۲ نرخ چرخش و زمان نشست ۷۱
۴-۴-۳ توان مصرفی ۷۲
۴-۴-۴ نویز ارجاع داده شده به ورودی ۷۲
۴-۴-۵ گوشه‌های پروسه و تغییرات دمایی ۷۳
۴-۴-۶ جانمایی ۷۴
۴-۴-۷ جمع‌بندی ۷۴

۵ نتیجه‌گیری و پیشنهادها **۷۷**
۵-۱ پیش‌گفتار ۷۸
۵-۲ نتیجه‌گیری ۷۸
۵-۳ پیشنهادها ۷۸

مراجع **۷۹**

فهرست شکل‌ها

۱-۱ (الف)ساختار وارون‌گر، (ب)ساختار ناوارون‌گر، (ج)بازخورد واحد ۲

۲-۱ (الف)ورودی Rail-to-Rail مرسوم، (ب)مقدار ترارسانایی با تغییرات ولتاژ حالت‌ـ‌مشترک ورودی، (ج)بازه عملکرد هر زوج با ولتاژ حالت‌ـ‌مشترک ورودی ۴

۳-۱ تقویت‌کننده دوطبقه ۵

۱-۲ بخش‌بندی یک تقویت‌کننده دوطبقه ۸

۲-۲ تقسیم‌بندی طبقه ورودی و طبقه بهره در یک تقویت‌کننده کسکود تاشده با ورودی NMOS . . . ۹

۳-۲ مدار معرفی شده در ۱۰

۴-۲ ترارسانایی طبقه ورودی در محدوده صفر تا ۳ ولت ۱۱

۵-۲ مدار مفهومی روش معرفی شده در ۱۱

۶-۲ مدار پیاده‌سازی شده ۱۲

۷-۲ تغییرات ترارسانایی ساختار معرفی شده در ۱۲

۸-۲ (الف)مدار معرفی شده، (ب)تغییرات ترارسانایی ساختار معرفی شده در ۱۳

۹-۲ ساختار معرفی شده در ۱۴

۱۰-۲ ساختار معرفی شده در ۱۵

۱۱-۲ تغییرات ترارسانایی ساختار معرفی شده ۱۶

۱۲-۲ مدار انتخاب بیش‌ترین مقدار ترارسانایی ۱۶

۱۳-۲ تغییرات ترارسانایی ساختار انتخاب بیش‌ترین مقدار ترارسانایی ۱۶

۱۴-۲ طبقه ورودی Rail-to-Rail با استفاده از ترانزیستورهای MIFG در ۱۷

۱۵-۲ مدار بهبود یافته با عملکرد Rail-to-Rail در ۱۸

۱۶-۲ تغییرات ترارسانایی مدار ارائه شده در ۱۸

۱۷-۲ تغییردهنده سطح ولتاژ بدون تضعیف ولتاژ حالت تفاضلی در ۱۹

۱۸-۲ (الف)مدار ایده‌آل، (ب)پیاده سازی با اتصال‌ـ‌دیودی، (ج)پیاده سازی مدل زنر ۲۰

۱۹-۲ تغییرات ترارسانایی (الف)مدار ایده‌آل، (ب) اتصال‌ـ‌دیودی، (ج) مدل زنر ۲۱

۲۰-۲ مدار مقیاس‌ساز جریان خروجی ۲۱

۲۱-۲ مدار پیاده‌سازی شده برای مقیاس‌سازی جریان خروجی طبقه ورودی در ۲۲

۲-۲۲ تغییرات ترارسانایی طبقه ورودی در ۲۲
۲-۲۳ ترانزیستور خود کسکود نامتقارن ۲۳
۲-۲۴ تقویت‌کننده معرفی شده در ۲۴
۲-۲۵ تغییرات ترارسانایی طبقه ورودی در ۲۴
۲-۲۶ تقویت کننده معرفی شده در ۲۴
۲-۲۷ ساختار تقویت‌کننده معرفی شده در ۲۵

۳-۱ طرح مداری تغییر سطح دهنده DC با ورودی PMOS ۲۹
۳-۲ تغییرات ترارسانایی طبقه ورودی تغییر سطح دهنده DC با ورودی PMOS ۲۹
۳-۳ طرح مداری تغییر سطح دهنده DC با ورودی NMOS ۳۰
۳-۴ تغییرات ترارسانایی طبقه ورودی تغییر سطح دهنده DC با ورودی NMOS ۳۰
۳-۵ ساختار طبقه ورودی تغییر سطح ولتاژ ورودی اصلاح‌شده ۳۱
۳-۶ تغییرات ترارسانایی ساختار تغییر سطح ولتاژ ورودی اصلاح‌شده ۳۲
۳-۷ طرح مداری تغییر جریان دنباله ۳۲
۳-۸ تغییرات ترارسانایی به ازای ولتاژ حالت‌ـ مشترک ورودی ۳۳
۳-۹ ساختار پیشنهاد شده ۳۴
۳-۱۰ عملکرد زوج‌های ورودی در ولتاژ حالت‌ـ مشترک ورودی نزدیک به GND ۳۵
۳-۱۱ عملکرد زوج‌های ورودی در ولتاژ حالت‌ـ مشترک ورودی در مقادیر میانی محدوده منبع تغذیه . . ۳۶
۳-۱۲ عملکرد زوج‌های ورودی در ولتاژ حالت‌ـ مشترک ورودی نزدیک به VDD ۳۶
۳-۱۳ طبقه ورودی پیشنهادشده همراه با طبقه جمع‌کننده جریان ۳۷
۳-۱۴ مدار دوطبقه پیشنهادشده ۳۸
۳-۱۵ ساختار تمام‌تفاضلی پیشنهادشده ۳۹
۳-۱۶ ساختار کسکود تاشده با ورودی PMOS ۴۰

۴-۱ طرح مداری استفاده شده جهت شبیه‌سازی ساختار Rail-to-Rail مرسوم ۴۵
۴-۲ تغییرات ترارسانایی طبقه ورودی به ازای ولتاژ حالت‌ـ مشترک ورودی ساختار Rail-to-Rail مرسوم . ۴۵
۴-۳ تغییرات نمودارهای (الف)بهره، (ب)پهنای باند بهره واحد، (ج)توان مصرفی به ازای تغییرات ولتاژ حالت‌ـ مشترک ورودی در ساختار Rail-to-Rail مرسوم شبیه‌سازی شده ۴۶
۴-۴ طرح مداری استفاده شده جهت شبیه‌سازی ساختارتغییر سطح دهنده DC با ورودی PMOS . . . ۴۷
۴-۵ تغییرات ترارسانایی به ازای ولتاژ حالت‌ـ مشترک ورودی در ساختارتغییر سطح دهنده DC با ورودی PMOS ۴۷
۴-۶ تغییرات نمودارهای (الف)بهره، (ب)پهنای باند بهره واحد، (ج)توان مصرفی به ازای تغییرات ولتاژ حالت‌ـ مشترک ورودی در ساختارتغییر سطح دهنده DC با ورودی PMOS ۴۸
۴-۷ طرح مداری استفاده شده جهت شبیه‌سازی ساختار تغییر سطح دهنده DC با ورودی NMOS . . . ۴۹

۴-۸ تغییرات ترارسانایی به ازای ولتاژ حالت_مشترک ورودی در ساختار تغییر سطح دهنده DC با ورودی NMOS ۴۹
۴-۹ تغییرات نمودارهای (الف)بهره، (ب)پهنای باند بهره واحد، (ج)توان مصرفی به ازای تغییرات ولتاژ حالت_مشترک ورودی در ساختار تغییر سطح دهنده DC با ورودی NMOS ۵۰
۴-۱۰ طرح مداری استفاده شده جهت شبیه‌سازی ساختار تغییر سطح ولتاژ ورودی اصلاح‌شده ۵۱
۴-۱۱ تغییرات ترارسانایی به ازای ولتاژ حالت_مشترک ورودی در ساختار تغییر سطح ولتاژ ورودی اصلاح‌شده ۵۱
۴-۱۲ تغییرات نمودارهای (الف)بهره، (ب)پهنای باند بهره واحد، (ج)توان مصرفی به ازای تغییرات ولتاژ حالت_مشترک ورودی در ساختار تغییر سطح ولتاژ ورودی اصلاح‌شده ۵۲
۴-۱۳ طرح مداری استفاده شده جهت شبیه‌سازی ساختار تغییر جریان دنباله ۵۳
۴-۱۴ تغییرات ترارسانایی طبقه ورودی به ازای ولتاژ حالت_مشترک ورودی در ساختار تغییر جریان دنباله ۵۳
۴-۱۵ تغییرات نمودارهای (الف)بهره، (ب)پهنای باند بهره واحد، (ج)توان مصرفی به ازای تغییرات ولتاژ حالت_مشترک ورودی در ساختار تغییر جریان دنباله ۵۴
۴-۱۶ طرح مداری استفاده شده جهت شبیه‌سازی ساختار پیشنهادشده ۵۵
۴-۱۷ تغییرات ترارسانایی ساختار پیشنهادشده به ازای ولتاژ حالت_مشترک ورودی ۵۵
۴-۱۸ تغییرات نمودارهای (الف)بهره، (ب)پهنای باند بهره واحد، (ج)توان مصرفی به ازای تغییرات ولتاژ حالت_مشترک ورودی در ساختار پیشنهادشده ۵۶
۴-۱۹ طرح مداری دوطبقه پیشنهادشده ۵۸
۴-۲۰ طرح مداری استفاده در آزمایش پاسخ فرکانسی ۵۹
۴-۲۱ نمودارهای (الف)بهره، (ب)حاشیه فاز به ازای ولتاژ حالت_مشترک ۰/۹ ولت در ساختار دوطبقه پیشنهادی ۵۹
۴-۲۲ تغییرات (الف)بهره، (ب)حاشیه فاز، (ج)پهنای باند بهره واحد در ازای تغییرات ولتاژ حالت_مشترک در ساختار دوطبقه پیشنهادی ۶۰
۴-۲۳ طرح مداری استفاده شده در آزمایش محدوده حالت_مشترک ورودی ۶۰
۴-۲۴ نمودار حاصل شده از آزمایش ولتاژ حالت_مشترک ورودی ۶۱
۴-۲۵ طرح مداری استفاده شده در آزمایش THD ۶۱
۴-۲۶ شکل موج ورودی و خروجی حاصل از شبیه‌سازی تقویت‌کننده THD ۶۲
۴-۲۷ طرح مداری استفاده شده در آزمایش نرخ چرخش و زمان نشست ۶۲
۴-۲۸ نمودار نرخ چرخش به‌دست آمده ۶۳
۴-۲۹ طرح مداری استفاده شده در آزمایش توان مصرفی ۶۳
۴-۳۰ نمودار توان مصرفی به ازای ولتاژهای حالت_مشترک مختلف ۶۳
۴-۳۱ طرح مداری استفاده شده در آزمایش CMRR ۶۴
۴-۳۲ طرح مداری استفاده شده در آزمایش PSRR ۶۴
۴-۳۳ طرح مداری استفاده شده در شبیه‌سازی آفست ۶۵

۳۴-۴ نمودار هیستوگرام به‌دست آمده از شبیه‌سازی مونت‌کارلو ۶۵
۳۵-۴ نمودار نویز در فرکانس‌های مختلف ۶۶
۳۶-۴ رفتار (الف)بهره، (ب)حاشیه فاز تقویت‌کننده در گوشه‌های مختلف با دماهای متفاوت ۶۶
۳۷-۴ طرح مداری تمام‌تفاضلی پیشنهادشده ۶۸
۳۸-۴ طرح مداری پیشنهادشده برای آزمایش پاسخ فرکانسی ۶۹
۳۹-۴ نمودارهای (الف)بهره، (ب)حاشیه فاز به ازای ولتاژ حالت_مشترک ۰/۹ ولت ۷۰
۴۰-۴ تغییرات (الف)بهره، (ب)حاشیه فاز، (ج)پهنای باند بهره واحد به ازای تغییرات ولتاژ حالت_مشترک ورودی ۷۰
۴۱-۴ طرح مداری استفاده شده در آزمایش نرخ چرخش و زمان نشست ۷۱
۴۲-۴ نمودار نرخ چرخش به‌دست آمده ۷۱
۴۳-۴ طرح مداری استفاده شده در آزمایش توان مصرفی ۷۲
۴۴-۴ نمودار توان مصرفی به ازای ولتاژهای حالت_مشترک مختلف ۷۲
۴۵-۴ نمودار نویز در فرکانس‌های مختلف ۷۳
۴۶-۴ رفتار (الف)بهره، (ب)حاشیه فاز تقویت‌کننده در گوشه‌های مختلف با دماهای متفاوت ۷۳
۴۷-۴ جانمایی طرح تمام‌تفاضلی پیشنهادشده ۷۴

فهرست جدول‌ها

۱-۲ مقایسه روش‌های معرفی شده ۲۶

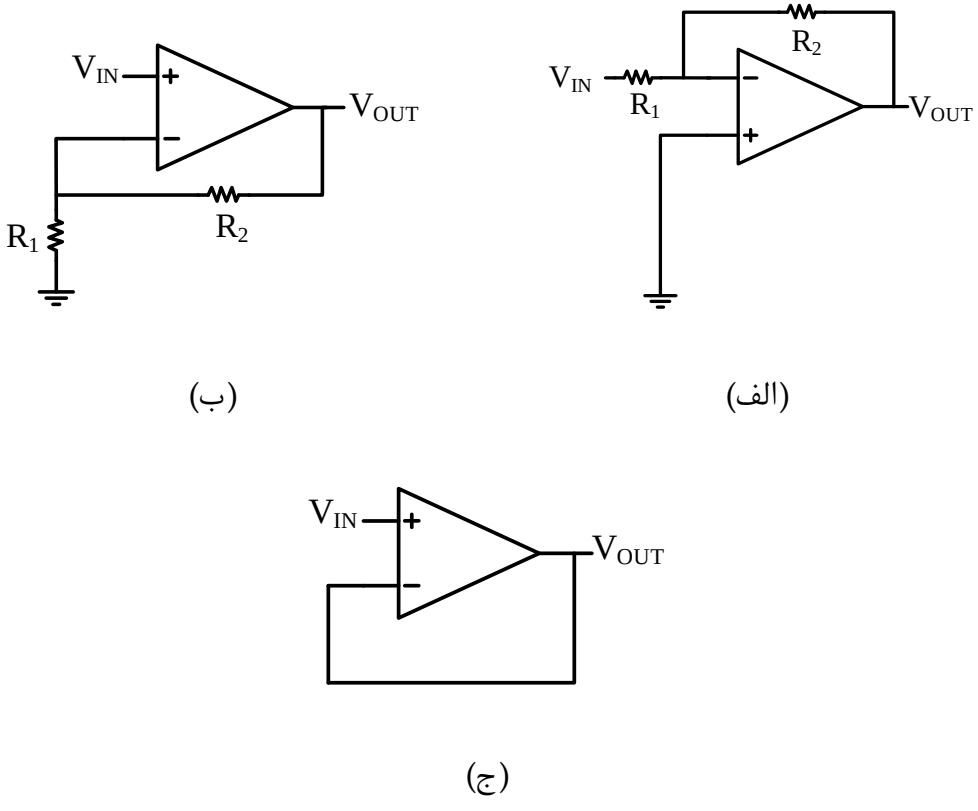
۱-۴ نتایج حاصل از شبیه‌سازی ساختار Rail-to-Rail مرسوم ۴۶
۲-۴ نتایج حاصل از شبیه‌سازی در ساختار تغییر سطح دهنده DC با ورودی PMOS ۴۸
۳-۴ نتایج حاصل از شبیه‌سازی در ساختار تغییر سطح دهنده DC با ورودی NMOS ۵۰
۴-۴ نتایج حاصل از شبیه‌سازی در تغییر سطح ولتاژ ورودی اصلاح‌شده ۵۲
۵-۴ نتایج حاصل از شبیه‌سازی ساختار تغییر جریان دنباله ۵۴
۶-۴ نتایج حاصل از شبیه‌سازی ساختار پیشنهادشده ۵۶
۷-۴ جدول مقایسه ۵۷
۸-۴ مشخصات به‌دست آمده از شبیه‌سازی تقویت‌کننده دوطبقه پیشنهادی ۶۷
۹-۴ مقایسه با سایر کارهای انجام شده ۶۷
۱۰-۴ نتایج شبیه‌سازی تقویت‌کننده تمام‌تفاضلی پیشنهادشده ۷۵

فصل ۱

پیش‌گفتار

۱-۱ پیش‌گفتار

تقویت‌کننده‌های عملیاتی [۱] یک بلوک مهم برای مدار آنالوگ و سیگنال‌ـ‌مخلوط است که کاربردهای فراوانی در مراجع ولتاژ [۲]، تثبیت‌کننده‌های ولتاژ با افت کم [۳]، فیلترها [۴] و سامانه‌های قابل حمل [۵] دارد و به‌طور گسترده مورد استفاده قرار می‌گیرد. تقویت‌کننده‌های مرسوم قادر به انجام عملیات خطی تنها برای سیگنال‌هایی با تغییرات کوچک در اطراف سطوح حالت‌ـ‌مشترک ورودی هستند. برای کنترل کمیت‌های یک تقویت‌کننده به صورت دقیق و کاهش اعوجاج سیگنال‌هایی که به دلیل غیرخطی بودن عناصر مدار به وجود می‌آیند، از بازخورد استفاده می‌شود. شبکه‌های بازخورد دارای دو ساختار اصلی شامل ساختار وارون‌گر و ساختار ناوارون‌گر است. هم‌چنین یک ساختار مخصوص تحت عنوان بازخورد واحد برای استفاده از تقویت‌کننده‌ها نیز وجود دارد. بازخورد واحد از زیر مجموعه‌های ساختار ناوارون‌گر است. این ساختارها در شکل ۱-۱ نشان داده شده است.



شکل ۱-۱: (الف)ساختار وارون‌گر، (ب)ساختار ناوارون‌گر، (ج)بازخورد واحد [۱]

[1] Operational amplifier
[2] Voltage reference
[3] Low-dropout regulator
[4] Filter
[5] Portable device

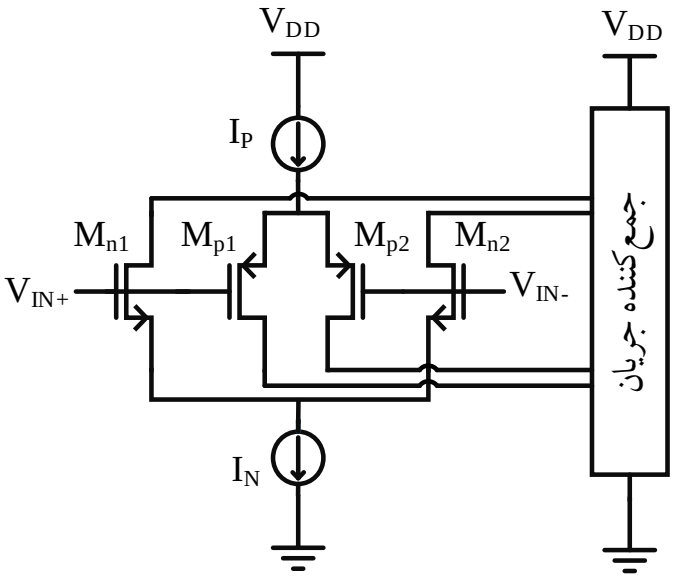
ساختارهای معرفی شده در شکل ۱-۱ با توجه به محدوده حالت‌ـ مشترک ورودیِ [1] مورد نیاز، در موارد مختلف مورد استفاده قرار می‌گیرند. در ساختار وارون‌گر، تقویت‌کننده باید دو گره ورودی را در ولتاژ یکسان نگه دارد و از آنجا که پایه مثبت به ولتاژ حالت‌ـ مشترک ورودی متصل است، پایه منفی نیز ولتاژی برابر با ولتاژ حالت‌ـ مشترک ورودی خواهد داشت. صرف نظر از تغییر ولتاژ ورودی V_{IN}، ولتاژ هر دو پایانه تقویت‌کننده، تقریباً یکسان هستند. هم‌چنین ولتاژ صفر ولت باید در محدوده ولتاژ حالت‌ـ مشترک ورودی تقویت‌کننده قرار داشته باشد. در ساختار ناوارون‌گر، پایه مثبت که به ولتاژ ورودی متصل است، تغییرات زیادی خواهد داشت و پایه منفی باید این تغییرات را دنبال کند. هم‌چنین ساختار بازخورد واحد نیاز به بیش‌ترین محدوده حالت‌ـ مشترک ورودی دارد چرا که خروجی باید بتواند به‌خوبی ورودی را دنبال کند. واضح است برای طراحی یک تقویت‌کننده که برای ساختارهای ناوارون‌گر مفید باشد، طبقه ورودی آن باید دارای محدوده حالت‌ـ مشترک ورودی Rail-to-Rail باشد. Rail-to-Rail اصطلاحی است که برای توصیف تقویت‌کننده‌ای استفاده می‌شود که محدوده ولتاژ حالت‌ـ مشترک آن، در حالی که تمامی ترانزیستورهای تقویت‌کننده در حالت اشباع باشند، توانایی رسیدن به سطوح ولتاژ مثبت و منفی منبع تغذیه را داشته باشد. ویژگی Rail-to-Rail می‌تواند برای ورودی، خروجی و یا هر دو صورت پذیرد. به‌طور کلی، تقویت‌کننده‌های Rail-to-Rail در کاربردهایی با ولتاژ کم مفید هستند.

۱-۲ انگیزه پژوهش

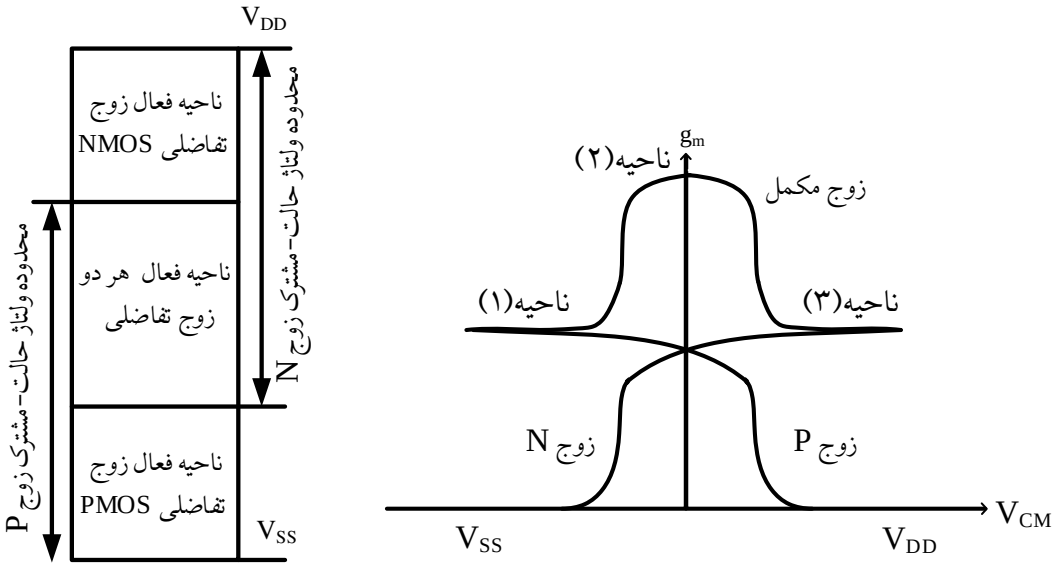
با پیشرفت فناوری و در نتیجه کاهش محدوده منبع تغذیه، لازم است طبقات ورودی و خروجی به‌نحوی طراحی شوند که بیش‌ترین محدوده قابل استفاده از منبع تغذیه را فراهم آورند. ساختار تفاضلی به‌طور گسترده در طبقه ورودی تقویت‌کننده‌ها استفاده می‌شود. مشکل اصلی این ساختار به عنوان طبقه ورودی، محدود کردن دامنه‌ی حالت‌ـ مشترک ورودی است. روش مرسوم دست‌یابی به بازه Rail-to-Rail استفاده از یک زوج مکمل در طبقه‌ی ورودی است. در این روش، یک زوج تفاضلی از نوع NMOS و یک زوج تفاضلی از نوع PMOS به‌طور موازی همانند شکل ۱-۲(الف) مورد استفاده قرار می‌گیرد. همان‌طور که در شکل ۱-۲(ب) نشان داده شده است، مدار شکل ۱-۲(الف) محدودیتی دارد که در مقادیر میانی محدوده منبع تغذیه، ناحیه ۲، ترارسانایی دو برابر مقدار یک زوج واحد در ناحیه ۱ و ۳ است. این اتفاق به دلیل این است که هم‌پوشانی زیادی بین محدوده حالت‌ـ مشترک ورودی زوج تفاضلی N و P وجود دارد. این موضوع در شکل ۱-۲(ج) نشان داده شده است. تغییرات ترارسانایی نشان داده شده در شکل ۱-۲(ب) منجر به تغییرات بهره، پهنای باند بهره واحد، پایداری می‌شود [۲، ۳].

با استفاده از یک تقویت‌کننده دوطبقه همانند شکل ۱-۳ می‌توان تأثیر تغییرات ترارسانایی طبقه ورودی را بررسی کرد. میزان بهره و مکان صفر و قطب‌ها در این تقویت‌کننده برابر است

[1] Input common mode range



(الف)



(ج) (ب)

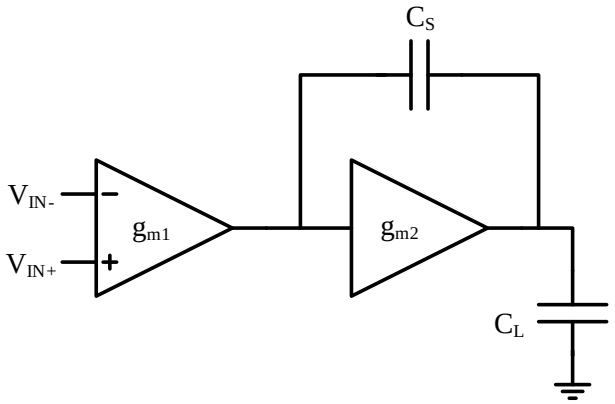
شکل ۱-۲: (الف)ورودی Rail-to-Rail مرسوم، (ب)مقدار ترارسانایی با تغییرات ولتاژ حالت_مشترک ورودی، (ج)بازه عملکرد هر زوج با ولتاژ حالت_مشترک ورودی [۲]

با [۴]:

$$A_{DC} = g_{m1}R_{OUT1}g_{m2}R_{OUT2} \quad (۱-۱)$$

$$P_1 = \frac{GBW}{A_o} \quad (۱-۲)$$

$$Z = \frac{g_{m2}}{C_L} \quad (۱-۳)$$



شکل ۱-۳: تقویت‌کننده دوطبقه [۴]

$$P_2 = \frac{g_{m2}}{C_S} \qquad (۴-۱)$$

خازن‌های C_S و C_L به ترتیب خازن جبران‌ساز و خازن بار هستند. A_{DC} بهره، P_1 و P_2 به ترتیب قطب غالب و قطب غیرغالب تقویت‌کننده ($P_2 \gg P_1$) است. Z، صفر تولید شده توسط مسیر فرکانس از طریق C_S است. GBW، پهنای باند بهره واحد [۱] است که مقدار آن برابر است با [۴]:

$$GBW = \frac{g_{m1}}{C_S} \qquad (۵-۱)$$

براساس رابطه ۱-۵ پهنای باند بهره واحد با میزان g_{m1} رابطه‌ی مستقیم دارد، پس با تغییرات g_m میزان پهنای باند بهره واحد نیز تغییر می‌کند. برای اطمینان از پایداری تقویت‌کننده، باید حاشیه فاز کافی حفظ شود که برای این منظور باید تغییرات ترارسانایی g_m به حداقل ممکن برسد. همان‌طور که در شکل ۱-۲(ب) نشان داده شده است، هنگامی که ولتاژ حالت‌ـ مشترک ورودی در مقادیر میانی منبع تغذیه قرار دارد به علت روشن بودن هر دو زوج تفاضلی میزان ترارسانایی دو برابر می‌شود. در رابطه ۱-۶ میزان تغییرات ترارسانایی بیان شده است.

$$\text{درصد تغییرات ترارسانایی} = (\frac{max(g_m)}{min(g_m)} - 1) \times 100 \qquad (۶-۱)$$

بنابر رابطه ۱-۶ تغییرات ترارسانایی طبقه ورودی مکمل N و P ۱۰۰ درصد است. این تغییرات منجر به مشکلات یاد شده در پایداری، بهره و پهنای باند بهره واحد می‌شود.

۱-۳ اهداف پژوهش

در بخش قبل اشاره شد یکی از مهم‌ترین عوامل محدودکننده در تقویت‌کننده‌های Rail-to-Rail، تغییرات ترارسانایی در طبقه ورودی این نوع تقویت‌کننده‌ها است. لذا در این پایان‌نامه

[1] Gain bandwidth

سعی بر ارائه یک تقویت کننده Rail-to-Rail است که دارای طبقه ورودی با تغییرات کم ترارسانایی در محدوده منبع تغذیه و توان مصرفی کم باشد. هم‌چنین با توجه به تغییرات ترارسانایی، میزان خطینگی تقویت‌کننده نیز بسیار مهم است و باید در مقداری مناسب و قابل قبول باشد. در طبقه ورودی تقویت‌کننده ارائه شده از یک ساختار تغییر سطح ولتاژ ورودی استفاده شده است که دارای تغییرات ترارسانایی برابر با ۱۳ درصد است. تقویت‌کننده با بار خازنی ۱۰ پیکوفاراد دارای بهره ۱۰۳/۹ دسیبل، پهنای باند بهره واحد ۳/۱ مگاهرتز، توان مصرفی ۲۰ میکروواوت و نرخ چرخش $V/\mu s$ ۰/۳۳ است.

۴-۱ ساختار پایان‌نامه

در این پایان‌نامه، فصل دوم به مرور روش‌های مختلف کاهش ترارسانایی در طبقه ورودی تقویت‌کننده‌ها اختصاص یافته است. در فصل سوم تقویت‌کننده پیشنهادی معرفی شده است. در این فصل ابتدا سه ساختار اصلی مورد استفاده، بررسی و سپس به معرفی و تکمیل تقویت‌کننده پیشنهادشده پرداخته شده است. در فصل چهارم، نتایج شبیه‌سازی ساختارهای مختلف بیان و با ساختار معرفی شده مقایسه می‌شود. در این فصل برای طرح تمام‌تفاضلی جانمایی رسم شده و شبیه‌سازی‌های پس از جانمایی نیز انجام شده است. شبیه‌سازی‌ها با استفاده از نرم‌افزار Cadence و فناوری ۱۸۰ نانومتر TSMC انجام شده است. در فصل پنجم نتیجه‌گیری و پیشنهادهایی برای ادامه این کار ارائه می‌شود.

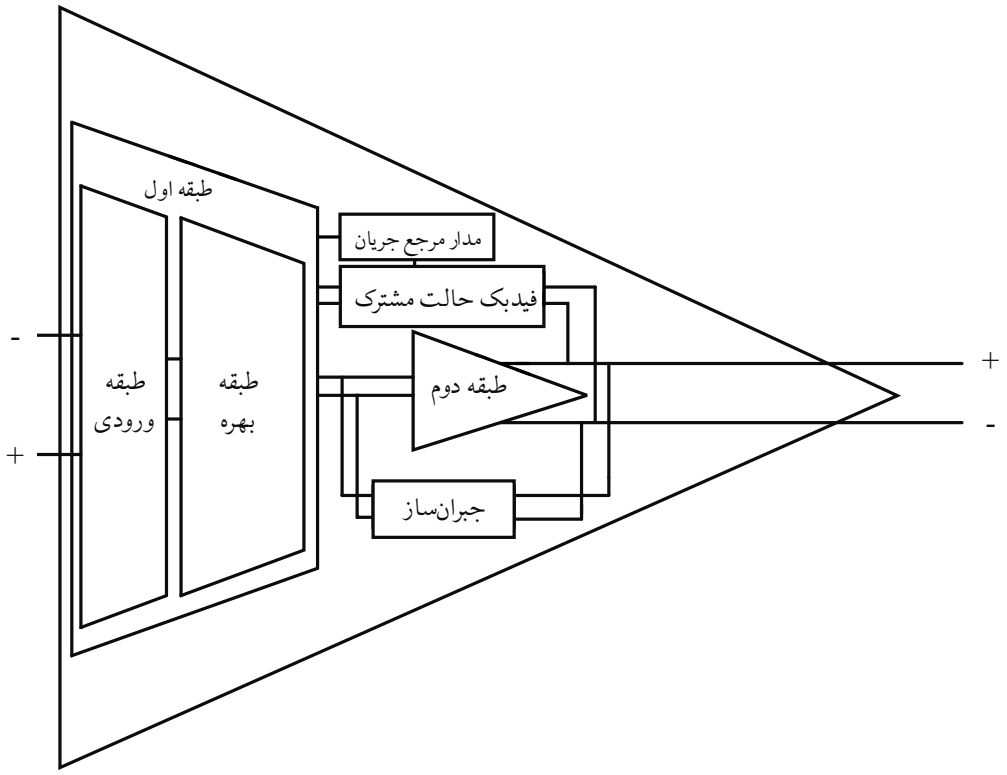
فصل ۲

مروری بر مطالعات انجام‌شده

۲-۱ پیش‌گفتار

در این فصل به بررسی طبقه ورودی تقویت‌کننده‌ها بر اساس مطالعات انجام‌شده در این زمینه پرداخته شده است. مطابق شکل ۲-۱ بخش‌های مختلف یک تقویت‌کننده نشان داده شده است.

طبقه اول شامل طبقه ورودی و طبقه بهره است. این بخش‌بندی برای توجه بیشتر به ساختارهای طبقه ورودی در تقویت‌کننده‌های Rail-to-Rail صورت گرفته است. طبقه دوم شامل ساختارهای متفاوتی است که قابلیت جریان‌دهی را به تقویت‌کننده اضافه می‌کند. جبران‌ساز جهت جبران پایداریِ (حاشیه فاز) از دست رفته در اتصال طبقه دوم به طبقه اول مورد استفاده قرار می‌گیرد. بازخورد حالت‌ـ مشترک [1] جهت تعیین ولتاژ نقطه گره خروجی، با توجه به سطح حالت‌ـ مشترک خروجی که در تقویت‌کننده‌های تمام تفاضلی به وجود می‌آید، استفاده می‌شود. مدار مرجع جریان برای تولید جریان و ولتاژ مورد نیاز در تقویت‌کننده‌ها استفاده می‌شود.

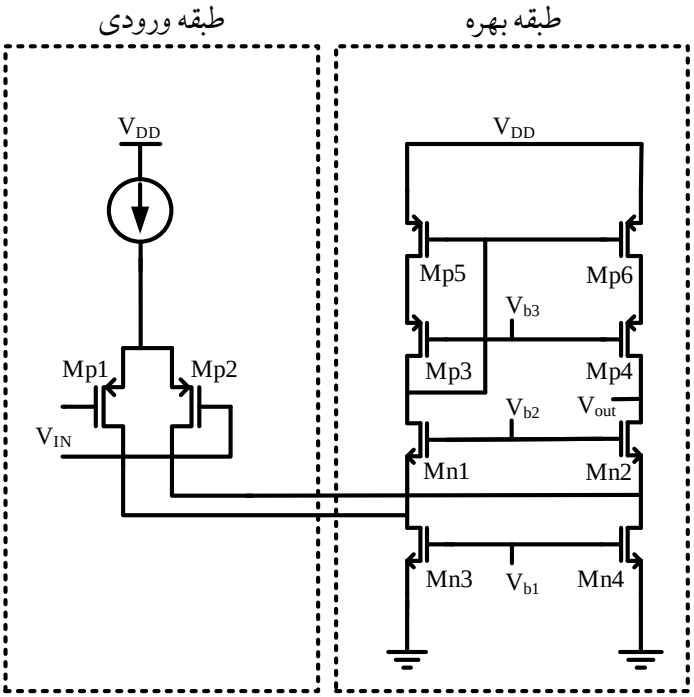


شکل ۲-۱: بخش‌بندی یک تقویت‌کننده دوطبقه

[1] Common mode feedback

۲-۲ طبقه ورودی

طبقه اول به دو بخش طبقه ورودی و طبقه بهره تقسیم می‌شود. در شکل ۲-۲ نحوه تقسیم‌بندی در یک تقویت‌کننده کسکود تاشده [۱] با ورودی NMOS مشاهده می‌شود. در شکل ۲-۲ نشان داده شده است که طبقه ورودی شامل ترانزیستورهایی است که به طور مستقیم به ورودی متصل هستند و طبقه بهره شامل ترانزیستورهایی است که خروجیِ طبقه ورودی به آن‌ها متصل است. به طور معمول در طبقه بهره از یک ساختار کسکود [۲] استفاده می‌شود، که به این طبقه پرداخته نخواهد شد و تمرکز اصلی در این بخش بر روی ساختارهای طبقه ورودی است.



شکل ۲-۲: تقسیم‌بندی طبقه ورودی و طبقه بهره در یک تقویت‌کننده کسکود تاشده با ورودی NMOS [۱]

روشی که برای کاهش تغییرات ترارسانایی در طبقه ورودی تقویت‌کننده‌های Rail-to-Rail مورد استفاده قرار می‌گیرد باید شامل چند ویژگی باشد [۲]:

(۱) عملکرد سیگنال‌ـ بزرگ و سیگنال‌ـ کوچک طبقه ورودی حتی با وجود تغییر ولتاژ حالت‌ـ مشترک ورودی ثابت بماند.

(۲) دقت این روش تا حد امکان به هیچ مشخصه و یا کمیتی از ترانزیستورهای ورودی وابسته نباشد.

[1] Folded cascode
[2] cascode

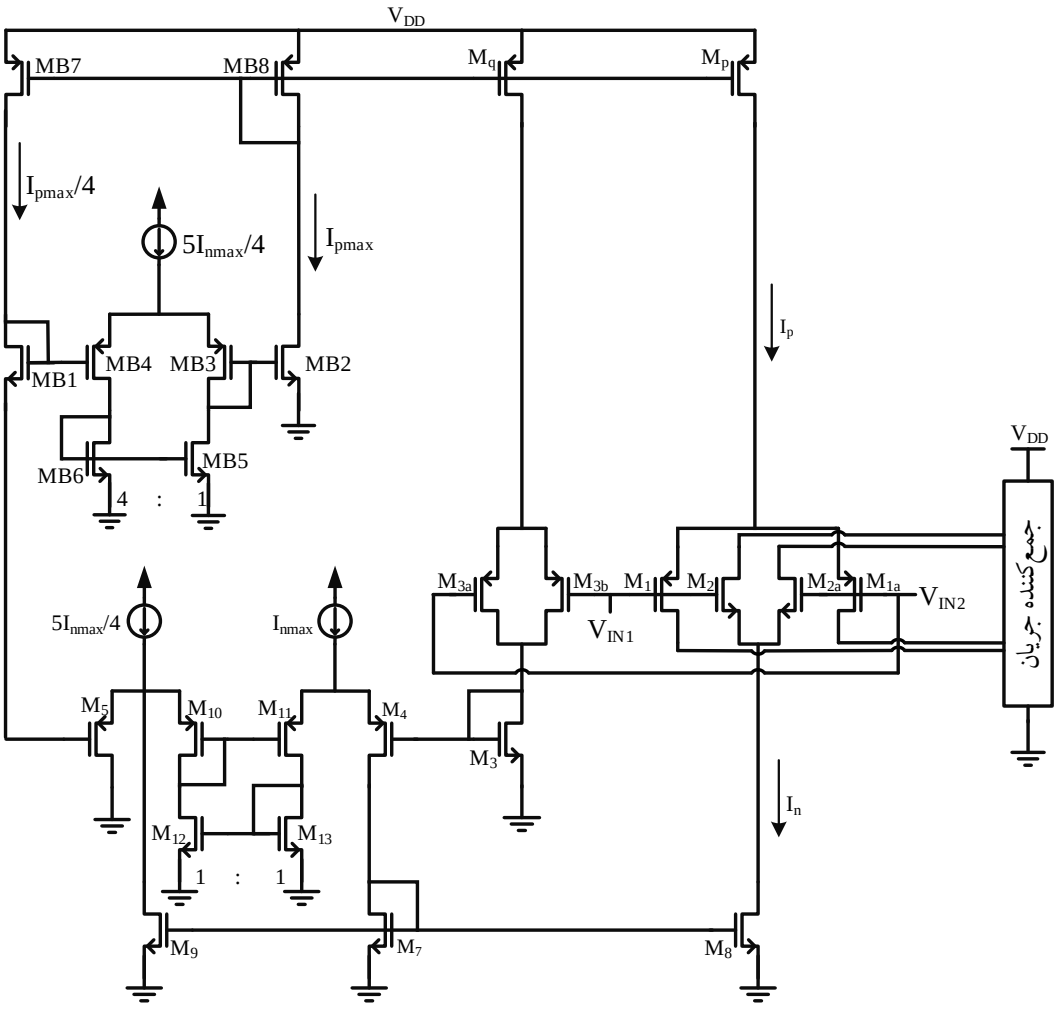
(۳) مدار باید محدودیتی برای کار در فرکانس و سرعت بالا نداشته باشد و هم‌چنین توان کمی مصرف کند.

(۴) مدار ساختار پیچیده‌ای نداشته باشد.

در ادامه مقالات مرتبط با طبقه ورودی و تقویت‌کننده‌های Rail-to-Rail بررسی می‌شود.

۲-۲-۱ روش۱: کنترل جریان دنباله

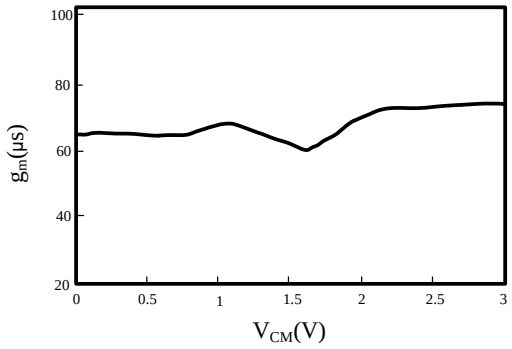
با کنترل جریان دنباله زوج‌های تفاضلی ورودی ، می‌توان ترارسانایی طبقه ورودی را کنترل کرد و تغییرات آن را کاهش داد. در [۵] طبقه ورودی مطابق شکل ۲-۳ معرفی شده است.



شکل ۲-۳: مدار معرفی شده در [۵]

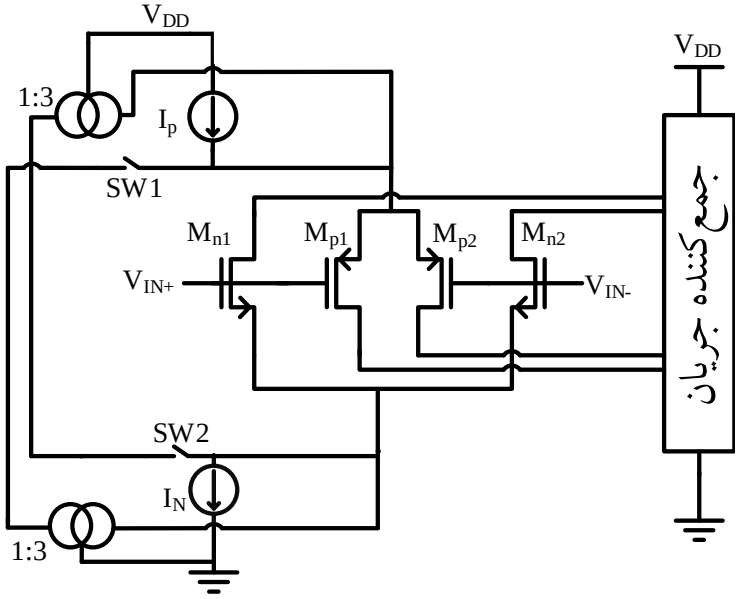
در این ساختار از مدارهای بایاس جدیدی استفاده می‌شود که برای عملکرد صحیح نیازی به تطبیق ترانزیستورهای زوج ورودی ندارند. مقدار جریان‌های بایاس در این مدار تابعی از ولتاژ حالت_مشترک ورودی است، به گونه‌ای که ترارسانایی طبقه ورودی در محدوده ولتاژ

حالت‌ـ مشترک ورودی ثابت باشد. تغییرات ترارسانایی طبقه ورودی در این مقاله به ازای تغییرات ولتاژ حالت‌ـ مشترک ورودی از صفر تا ۳ ولت کمتر از ۱۰ درصد است. نمودار تغییرات ترارسانایی این ساختار در شکل ۲-۴ نشان داده شده است.



شکل ۲-۴: ترارسانایی طبقه ورودی در محدوده صفر تا ۳ ولت [۵]

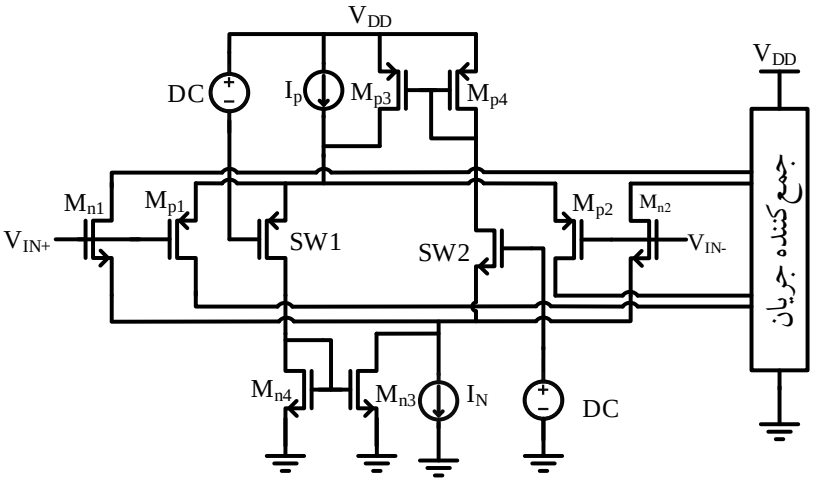
طرح دیگری در [۶] و [۷] معرفی شده است که در آن از کلیدهای جریان برای افزایش جریان دنباله استفاده شده است. این کلیدها زمانی فعال می‌شوند که ولتاژ حالت‌ـ مشترک ورودی نزدیک V_{DD} و V_{SS} باشد. کلیدهای جریان می‌توانند جریان دنباله را تا چند برابر افزایش دهد. مدار مفهومی این ساختار در شکل ۲-۵ نشان داده شده است.



شکل ۲-۵: مدار مفهومی روش معرفی شده در [۶]

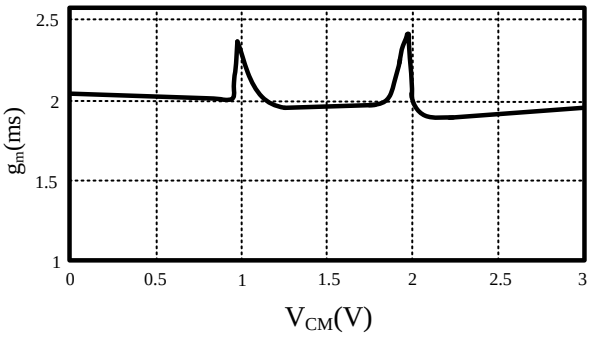
هنگامی که ولتاژ حالت‌ـ مشترک ورودی به V_{DD} (و یا V_{SS}) نزدیک می‌شود، فقط SW_1 (یا SW_2) روشن است. SW_1 (یا SW_2) از طریق آینه جریان می‌تواند جریان دنباله زوج N (یا P) را

افزایش می‌دهد. هر دو کلید جریان هنگامی که سطح ولتاژ حالت_مشترک ورودی در مقدار میانی محدوده منبع تغذیه قرار دارد، خاموش هستند. مدار پیاده‌سازی شده این ساختار در شکل ۲-۶ نشان داده شده است.



شکل ۲-۶: مدار پیاده‌سازی شده [۶]

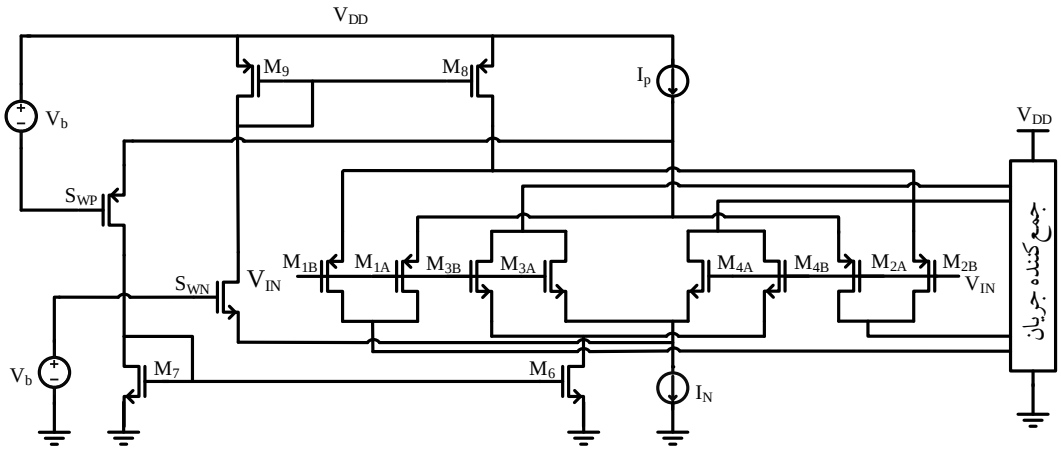
مدار فوق به معادله جریان ترانزیستورهای ماسفت ورودی وابستگی دارد، بنابراین نمی‌توان آن را به طور عمومی به‌کار برد. هم‌چنین این مدار با فناوری‌های زیر میکرومتر سازگار نیست. نمودار تغییرات ترارسانایی این ساختار در شکل ۲-۷ نشان داده شده است. تغییرات ترارسانایی این ساختار ۱۵ درصد گزارش شده است.



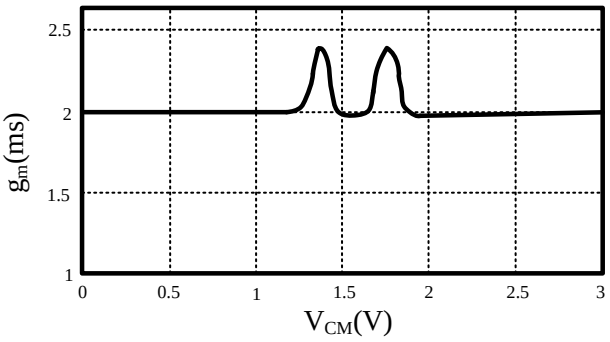
شکل ۲-۷: تغییرات ترارسانایی ساختار معرفی شده در [۶]

در [۸] با استفاده از دو زوج پشتیبان برای جایگزینی دو زوج اصلی طبقه ورودی سعی بر کاهش تغییرات ترارسانایی شده است. ساختار مورد استفاده در این مقاله در شکل ۲-۸(الف) مشاهده می‌شود. ترانزیستورهای M_{4A}-M_{1A} دو زوج اصلی را تشکیل می‌دهند و ترانزیستورهای M_{4B}-M_{1B} زوج‌های پشتیبان هستند که با جریان هدایت شده از طریق کلید جریان SW_P یا

SW_N عمل می‌کنند. همانند قسمت قبل کلیدهای جریان SW_P و SW_N به ترتیب در ولتاژهای حالت‌ـ مشترک ورودی نزدیک V_{DD} و GND روشن می‌شوند. تغییرات ترارسانایی این ساختار همانطور که در شکل ۲-۸(ب) نشان داده شده، برابر با ۲۰ درصد است. طبقه ورودی این ساختار تغییرات ترارسانایی زیادی دارد.



(الف)



(ب)

شکل ۲-۸: (الف)مدار معرفی شده، (ب)تغییرات ترارسانایی ساختار معرفی شده در [۸]

در [۹] با استفاده از یک مدار تثبیت‌کننده، $\sqrt{I_n} + \sqrt{I_p}$ ثابت شده و باعث کاهش تغییرات ترارسانایی می‌شود. رابطه ترارسانایی هر زوج طبقه ورودی برابر است با:

$$g_{mn} = g_{mp} = \sqrt{2K_P(W/L)Id_P} = \sqrt{2K_n(W/L)Id_n} \qquad (۱-۲)$$

در نتیجه ترارسانایی مجموع طبقه ورودی مکمل برابر رابطه ۲-۲ است.

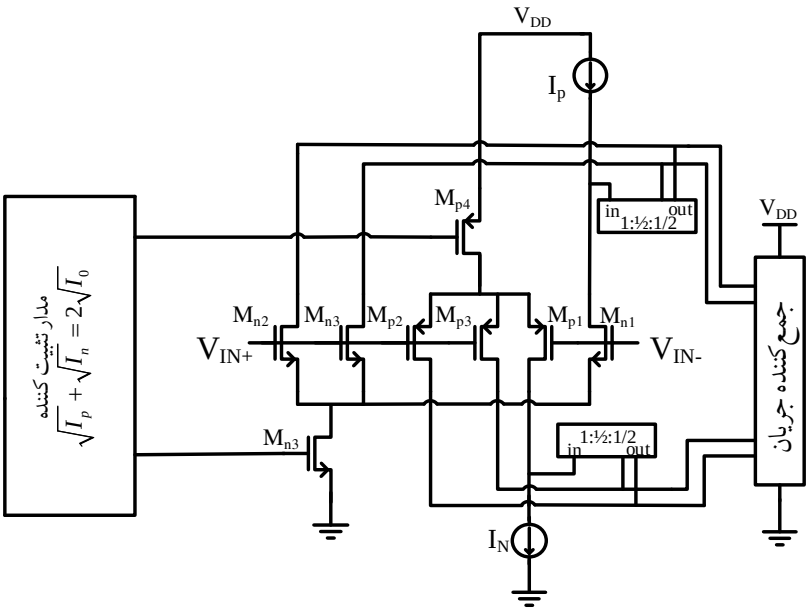
$$g_{mT} = g_{mn} + g_{mp} = \sqrt{2K_p(W/L)Id_p} + \sqrt{2K_n(W/L)Id_n} \qquad (۲-۲)$$

با فرض رابطه ۲-۳، مقدار ترارسانایی مجموع برابر با رابطه ۲-۴ می‌شود.

$$2K_n(W/L) = 2K_p(W/L) = 2K \qquad (۳-۲)$$

$$g_{mT} = g_{mn} + g_{mp} = 2K\sqrt{I_p} + \sqrt{I_n} \qquad (۴-۲)$$

بنابراین می‌توان با ثابت نگه داشتن مقدار $\sqrt{I_n} + \sqrt{I_p}$، تغییرات ترارسانایی را کاهش داد. برای این منظور ساختار شکل ۲-۹ پیشنهاد شده است. مدار تثبیت‌کننده، مجموع مجذور جریان دنباله زوج ورودی را ثابت نگه می‌دارد. در این ساختار تغییرات ترارسانایی طبقه ورودی ۵ درصد شده است. مدار تا حدودی پیچیده است و عملکرد آن بستگی به معادله جریان ترانزیستورهای ماسفت دارد که برای ترانزیستورهایی با طول کانال کوتاه در فناوری‌های زیرمیکرون دقیق نیست و ممکن است خطای بزرگی برای کل ترارسانایی ایجاد کند.



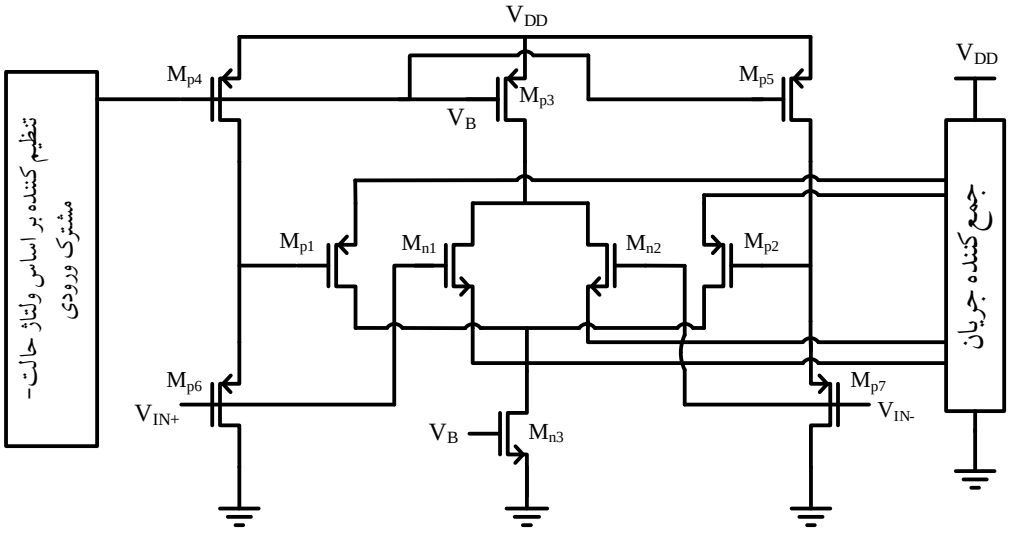
شکل ۲-۹: ساختار معرفی شده در [۹]

با روش کنترل جریان دنباله بهبود قابل توجهی نسبت به مدار ساده با زوج تفاضلی مکمل به‌وجود آمد، اما این روش دارای مشکلات ذکر شده است.

۲-۲-۲ روش۲: تغییر سطح ولتاژ ورودی

در روش تغییر سطح ولتاژ ورودی برای کاهش تغییرات تراسانایی طبقه ورودی از تغییر سطح دهنده DC برای تغییر سطح DC سیگنال ورودی استفاده می‌شود. این تغییر سطح سیگنال باعث کاهش ناحیه هم‌پوشانی زوج‌های N و P شده و در نتیجه منجر به کاهش

تغییرات ترارسانایی می‌شود. در [۱۰]، از این روش برای کاهش تغییرات ترارسانایی طبقه ورودی استفاده شده است. این ساختار در شکل ۲-۱۰ نشان داده شده است. در مقابل زوج ورودی M_{p2}-M_{p1} از دو تغییر سطح دهند DC یکسان M_{p7}-M_{p4} استفاده شده است. این مدار از یک مدار تنظیم‌کننده برای تنظیم جریان تغییر سطح دهنده DC با توجه به ولتاژ حالت‌ـ مشترک ورودی استفاده می‌کند. مدار تنظیم‌کننده، جریان تغییر سطح دهنده DC را به‌نحوی بر اساس ولتاژ حالت‌ـ مشترک ورودی تنظیم می‌کند که کم‌ترین میزان تغییرات ترارسانایی از طبقه ورودی حاصل شود. تغییرات ترارسانایی در این طرح ۹ درصد است که در شکل ۲-۱۱ نشان داده شده است. مدارهایی که با استفاده از روش‌های تغییر سطح طراحی شده‌اند به تغییر سطح دهنده DC اضافی نیاز دارند. این مدارات به تغییرات ولتاژ منبع تغذیه، ولتاژ آستانه ترانزیستورهای تغییر سطح دهنده DC و عدم تطابق بین زوج ورودی N و P حساس هستند. در فصل سوم این روش بیشتر مورد بررسی قرار می‌گیرد.

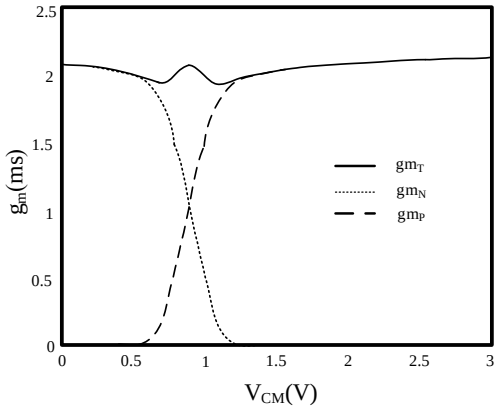


شکل ۲-۱۰: ساختار معرفی شده در [۱۰]

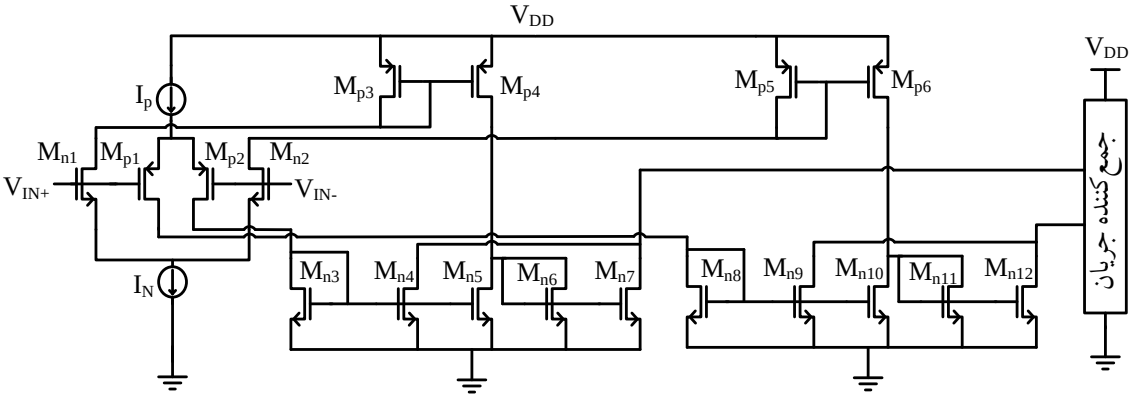
۲-۲-۳ روش۳: انتخاب بیش‌ترین مقدار ترارسانایی

کاهش تغییرات طبقه ورودی با استفاده از روش انتخاب بیش‌ترین مقدار ترارسانایی، در [۱۱] گزارش شده است. در شکل ۲-۱۲ مدار پیاده‌سازی شده برای روش انتخاب بیش‌ترین مقدار ترارسانایی نشان داده شده است و در شکل ۲-۱۳ تغییرات ترارسانایی طبقه ورودی آورده شده است.

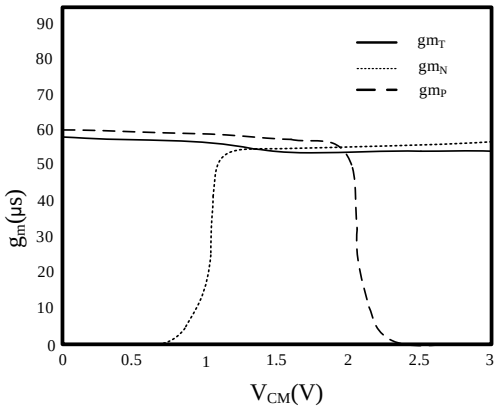
در این روش، همیشه زوج ورودی با جریان کاری بزرگتر انتخاب می‌شود در حالی که خروجی زوج دیگر تأثیری بر ترارسانایی طبقه ورودی ندارد. در این روش تغییرات نسبت به روش کنترل جریان دنباله کمتر شده است. یکی از مزایای این روش ثابت نگه داشتن مقدار نرخ چرخش است، اما طراحی مدار انتخاب‌کننده تا حدودی پیچیده است که از معایب این



شکل ۲-۱۱: تغییرات ترارسانایی ساختار معرفی شده [۱۰]



شکل ۲-۱۲: مدار انتخاب بیش‌ترین مقدار ترارسانایی [۱۱]

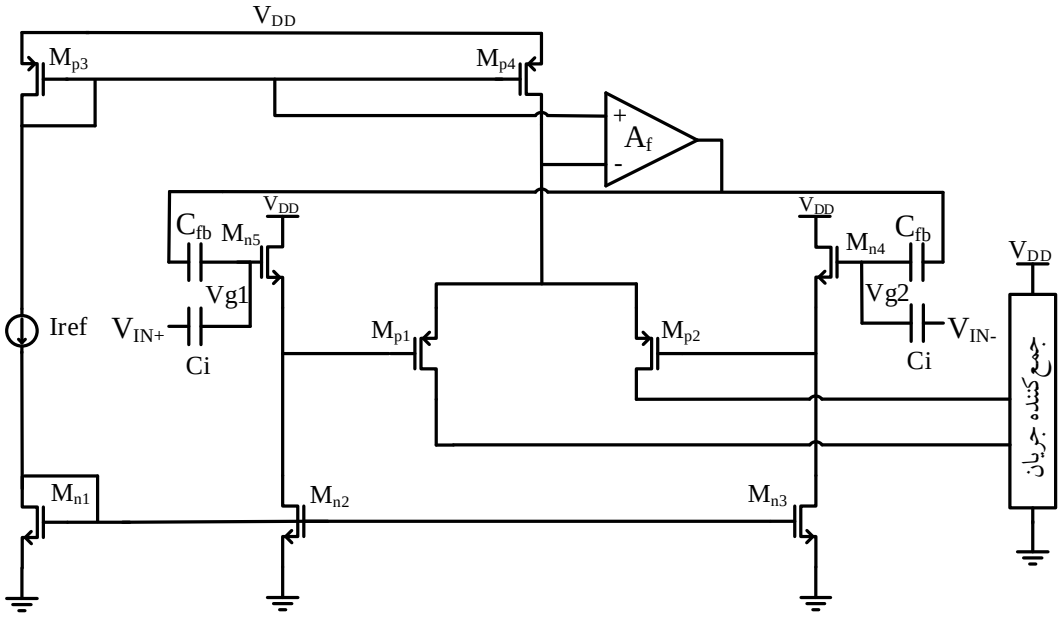


شکل ۲-۱۳: تغییرات ترارسانایی ساختار انتخاب بیش‌ترین مقدار ترارسانایی [۱۱]

ساختار به حساب می آید. برای این روش تغییرات ترارسانایی طبقه ورودی ۷ درصد گزارش شده است.

۲-۲-۴ روش۴: تغییر سطح DC با ترانزیستورهای MIFG

در [۱۲] و [۱۳] به معرفی یک تغییر سطح DC قابل تنظیم با یک زوج ورودی PMOS جهت دستیابی به طبقه ورودی با محدوده ولتاژ حالت‌ـ مشترک ورودی Rail-to-Rail پرداخته شده است. در این ساختارها از ترانزیستورهای دارای ورودی چندگانه موازی [۱] استفاده شده است. هم‌چنین یک بازخورد برای تنظیم ولتاژ بایاس مدار تغییر سطح ولتاژ ورودی به‌کار رفته است. همان‌طور که در شکل ۲-۱۴ نشان داده شده است، می‌توان یک تغییر سطح DC قابل برنامه‌ریزی را با ترانزیستور MIFG در ساختار طبقه ورودی ایجاد کرد. در ترانزیستورهای MIFG ورودی شامل M_{n4}-M_{n5}، یک ترمینال به عنوان ورودی مدار عمل می‌کند و ترمینال دیگر، با برنامه ریزی ولتاژ آستانه مؤثر، مقدار تغییر سطح DC را تعیین می‌کند. دو ایراد در استفاده از MIFG مساحت و پهنای باند است. افزودن خازن‌ها مساحت اشغالی سطح تراشه مدار را در مقایسه با طراحی تقویت‌کننده مرسوم افزایش می‌دهد. هم‌چنین اثر تضعیفی این خازن‌ها، رسانایی مؤثر در طبقه ورودی را کاهش می‌دهد و پهنای باند تقویت‌کننده را تخریب می‌کند. در شکل ۲-۱۵ روشی پیشنهاد شده است که می‌توان با تنظیم بازخورد، حداقل تضعیف را به‌دست آورد. این روش منجر به دستیابی ۰/۳۵ درصد تغییرات ترارسانایی طبقه ورودی می‌شود که این تغییرات در شکل ۲-۱۶ نشان داده شده است.

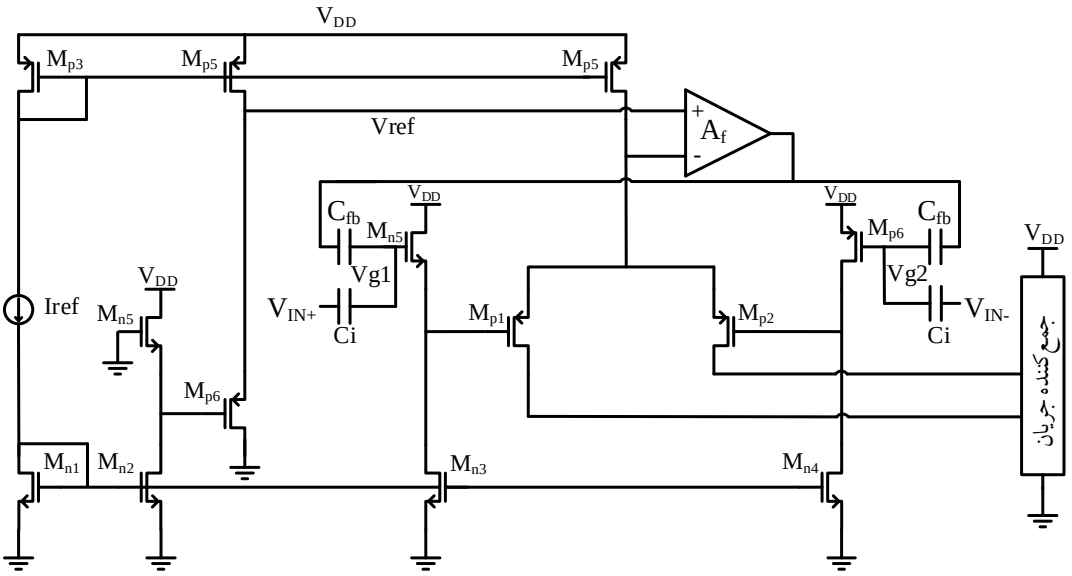


شکل ۲-۱۴: طبقه ورودی Rail-to-Rail با استفاده از ترانزیستورهای MIFG در [۱۲]

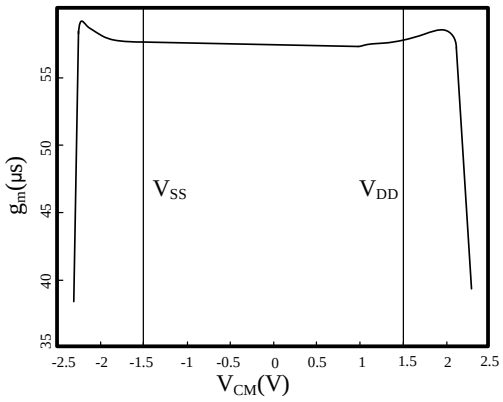
در [۱۴] یک تغییردهنده سطح ولتاژ خازنی جدید ارائه شده که در شکل ۲-۱۷ نشان داده شده است. این طرح ولتاژ حالت‌ـ مشترک ورودی را بدون تضعیف ولتاژ حالت تفاضلی، ثابت

[1] Multiple input floating gate

نگه می‌دارد. علت این امر وجود حالت تفاضلی در ورودی این مدار است. این طرح توان مصرفی بیشتری نسبت به طرح قبل دارد و تغییرات ترارسانایی ۰/۲ درصد گزارش شده است.



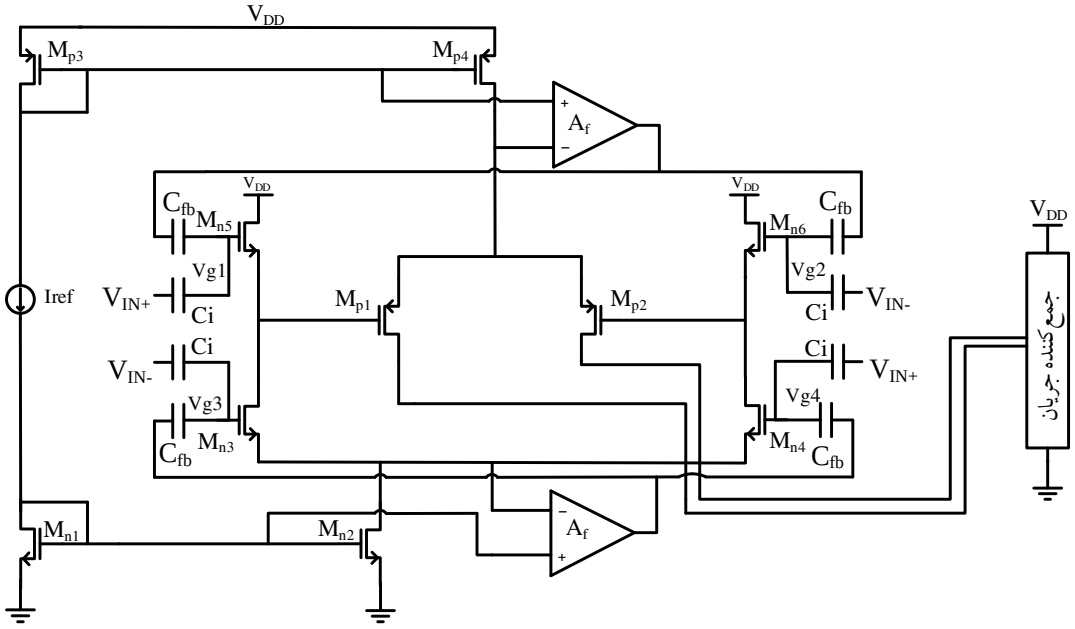
شکل ۲-۱۵: مدار بهبود یافته با عملکرد Rail-to-Rail در [۱۳]



شکل ۲-۱۶: تغییرات ترارسانایی مدار ارائه شده در [۱۳]

۲-۲-۵ روش۵: دیود زنر الکترونیکی

یکی دیگر از روش‌های ثابت کردن ترارسانایی طبقه ورودی، قرار دادن یک زنر الکترونیکی بین زوج‌های ورودی مکمل است [۱۵]. زنر، مجموع ولتاژ سورس_گیت زوج ورودی را ثابت نگه می‌دارد. ثابت نگه داشته شدن $V_{gsn}+|V_{gsp}|$ منجر به کاهش تغییرات ترارسانایی طبقه



شکل ۲-۱۷: تغییردهنده سطح ولتاژ بدون تضعیف ولتاژ حالت تفاضلی در [۱۴]

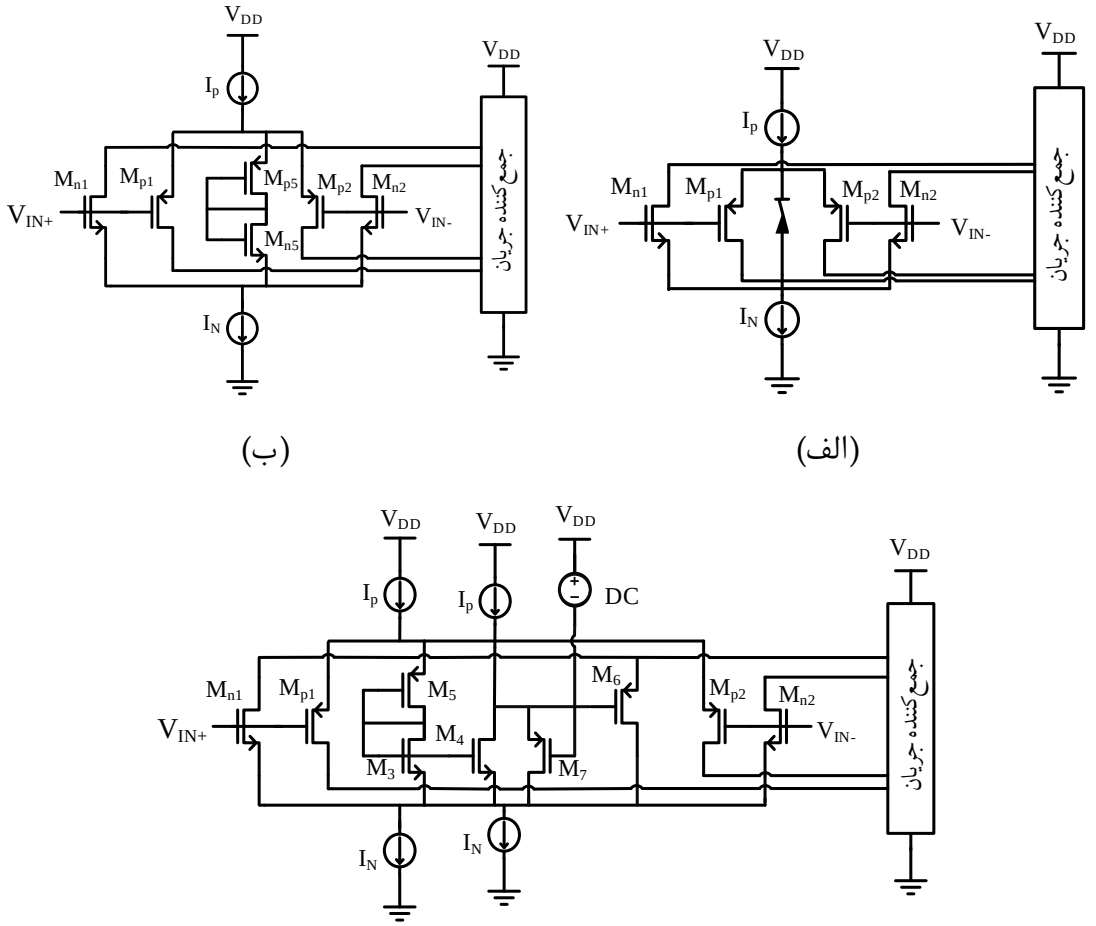
ورودی تقویت‌کننده می‌شود که در روابط ۲-۵ تا ۲-۷ نشان داده شده است.

$$g_{mn} = 2K(V_{gsn} - V_{thn}) \quad (۵-۲)$$

$$g_{mp} = 2K(|V_{gsp}| - |V_{thp}|) \quad (۶-۲)$$

$$g_{mT} = g_{mn} + g_{mp} = 2K(V_{gsn} - V_{thp} + |V_{gsp}| - |V_{thp}|) \quad (۷-۲)$$

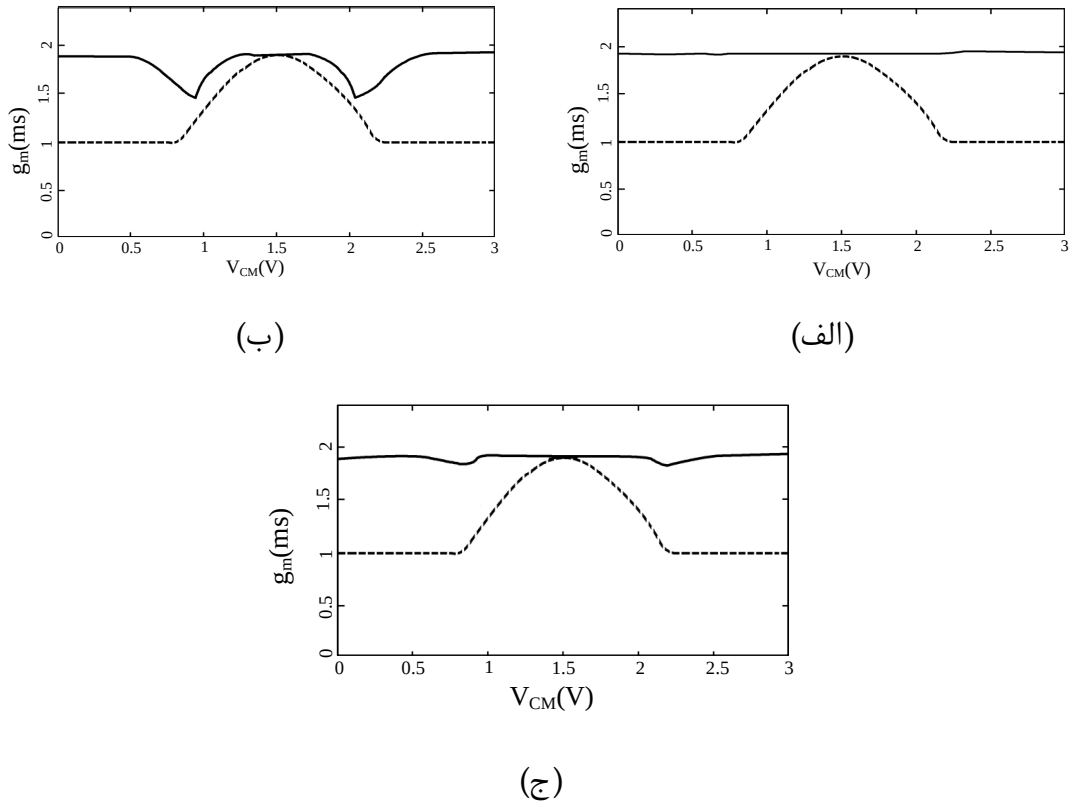
در شکل ۲-۱۸ مدارهای مورد استفاده در این روش آورده شده است. در شکل ۲-۱۸(الف) مدل ایده‌آل این روش دیده می‌شود. این مدل مانند قرار دادن یک منبع ولتاژ ثابت بین دو زوج مکمل ورودی است. در شکل ۲-۱۸(ب) برای پیاده سازی زنر از دو اتصال‌ـ دیودی استفاده شده است. هر چند رفتار سیگنال‌ـ کوچک و سیگنال‌ـ بزرگ این زنر الکترونیکی از یک زنر ایده‌آل فاصله دارد اما منجر به کاهش تغییرات ترارسانایی طبقه ورودی می‌شود. در شکل ۲-۱۸(ج) یک مدل دیود زنر توسط ترانزیستورهای M_7-M_3 پیاده‌سازی شده است. در این روش از آن‌جا که زنر بین دنباله زوج‌های ورودی قرار می‌گیرد، هیچ مسیر جریان اضافی به‌وجود نمی‌آید لذا منجر به افزایش توان مصرفی در طبقه ورودی نمی‌شود. یکی از معایب این روش وابستگی به کمیت‌های ترانزیستورهای پیاده‌کننده مدل زنر است. تغییرات ترارسانایی این روش با پیاده‌سازی مدل زنر ۸ درصد است. تغییرات ترارسانایی روش معرفی شده در شکل ۲-۱۹ نشان داده شده است.



شکل ۲-۱۸: (الف)مدار ایده‌آل، (ب)پیاده سازی با اتصال‌ـ دیودی، (ج)پیاده سازی مدل زنر [۱۵]

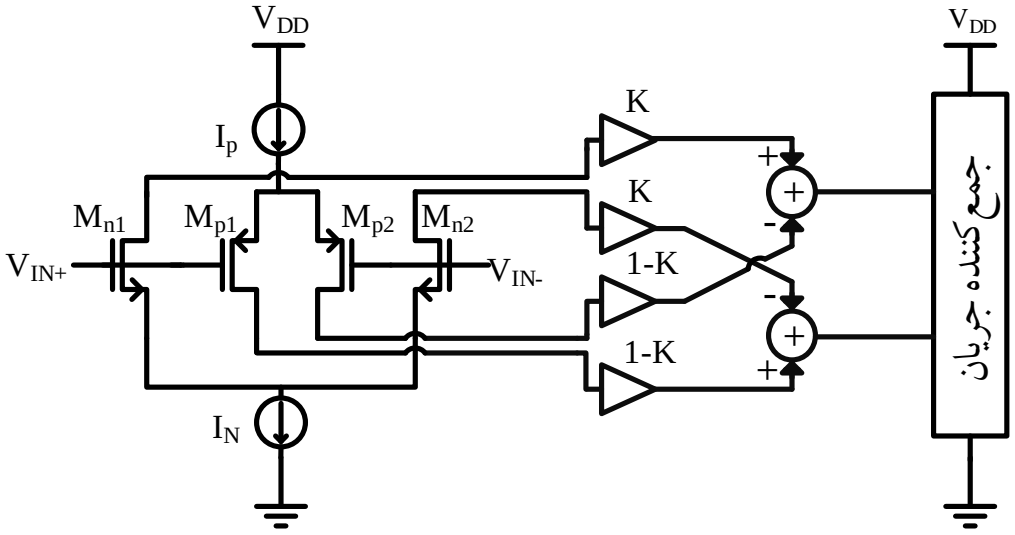
۲-۲-۶ روش۶: مقیاس‌سازی جریان خروجی طبقه ورودی

این روش که در [۳] گزارش شده است، با استفاده از مقیاس‌سازی جریان خروجی طبقه ورودی، منجر به کاهش تغییرات ترارسانایی می‌شود. ساختار اصلی طبقه ورودی این روش در شکل ۲-۲۰ نشان داده شده است. جریان سیگنال خروجی زوج تفاضلی ورودی کانال N و P به ترتیب با KV_{ICM} و $1\text{-}KV_{ICM}$ مقیاس‌بندی می‌شوند. K ضریبی بین صفر و ۱ است که بر جریان خروجی طبقه ورودی تأثیر می‌گذارد. در حالی که جریان دنباله ترانزیستورهای ورودی بدون تغییر هستند با تنظیم K می‌توان به یک ترارسانایی ثابت دست یافت. شکل ۲-۲۱ پیاده‌سازی مدار روش مقیاس‌سازی جریان خروجی زوج ورودی با طبقه ورودی Rail-to-Rail را نشان می‌دهد. این ساختار نیاز به یک مدار برای دریافت ولتاژ حالت‌ـ مشترک ورودی دارد که بتواند ضریب K را تغییر دهد. مزیت این روش این است که می‌تواند برای ترانزیستورهای با طول کانال کوتاه و بلند استفاده شود و با فناوری‌های زیر میکرومتر سازگار است. وابستگی به ضریب K از معایب این روش است. نتایج شبیه‌سازی تغییرات ترارسانایی این روش در شکل

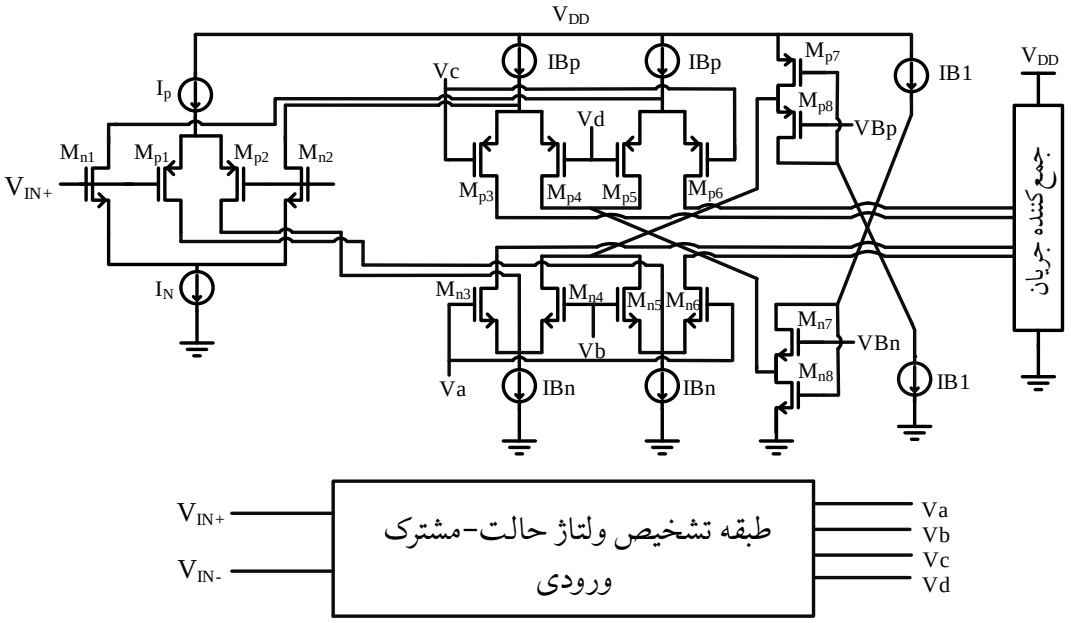


شکل ۲-۱۹: تغییرات ترارسانایی (الف)مدار ایده‌آل، (ب) اتصال‌ـ دیودی، (ج) مدل زنر [۱۵]

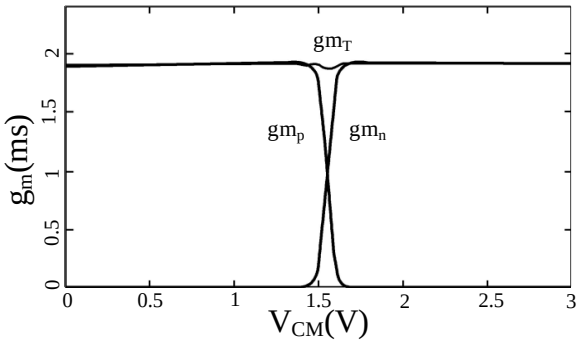
۲-۲۲ آمده است. شبیه‌سازی‌ها نشان می‌دهد هنگامی که ولتاژ حالت‌ـ مشترک ورودی به صورت Rail-to-Rail تغییر می‌کند، ترارسانایی طبقه ورودی در حدود ۲/۹ درصد متغیر است.



شکل ۲-۲۰: مدار مقیاس‌ساز جریان خروجی [۳]



شکل ۲-۲۱: مدار پیاده‌سازی شده برای مقیاس‌سازی جریان خروجی طبقه ورودی در [۳]



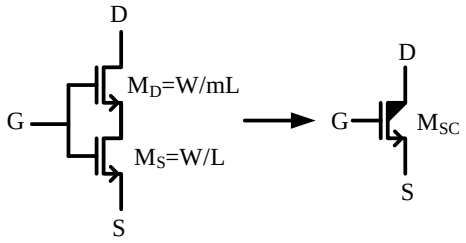
شکل ۲-۲۲: تغییرات ترارسانایی طبقه ورودی در [۳]

۲-۲-۷ روش۷: ورودی از طریق بدنه

تقویت‌کننده‌هایی با ورودی بدنه [1] برای کاربردهایی با ولتاژ تغذیه کم و توان مصرفی پایین مناسب هستند. ترارسانایی طبقه ورودی این نوع تقویت‌کننده‌ها کم‌تر از تقویت‌کننده‌هایی با ورودی گیت است. بنابراین، کمیت‌هایی مانند بهره و پهنای باند در این نوع تقویت‌کننده‌ها نسبت به حالت مرسوم کاهش می‌یابد [۱۶].

[1] Bulk

در [۱۶] یک تقویت‌کننده سه‌طبقه‌ای با ورودی Rail-to-Rail پیشنهاد شده است. ساختار پیشنهاد شده در شکل ۲-۲۲ نشان داده شده است. در طبقه اول یک تقویت‌کننده با ورودی بدنه است. در طبقه دوم، تقویت‌کننده با ورودی گیت NMOS بهره را افزایش می‌دهد. در آخرین طبقه، یک تقویت‌کننده سورس‌ـ مشترک قرار دارد. در تقویت‌کننده پیشنهادشده با استفاده از ترانزیستور خود کسکود نامتقارن [1] و بازخورد غیرمستقیم، بهره DC و پهنای باند بهره واحد بهبود یافته است. در شکل ۲-۲۳ ترانزیستور خود کاسکود نامتقارن را نشان داده شده است. این ترانزیستور مانند یک ترانزیستور با سورس تباهیده عمل می‌کند که M_S نقش مقاومت مقاومت سورس را دارد. مقاومت خروجی این نوع ترانزیستور ۱۷ تا ۲۰ برابر یک ترانزیتسور معمولی است [۱۶].



شکل ۲-۲۳: ترانزیستور خود کسکود نامتقارن [۱۶]

ترارسانایی گیت، g_m و ترارسانایی بدنه، g_{mb} در روابط ۲-۸ و ۲-۹ نشان داده شده است.

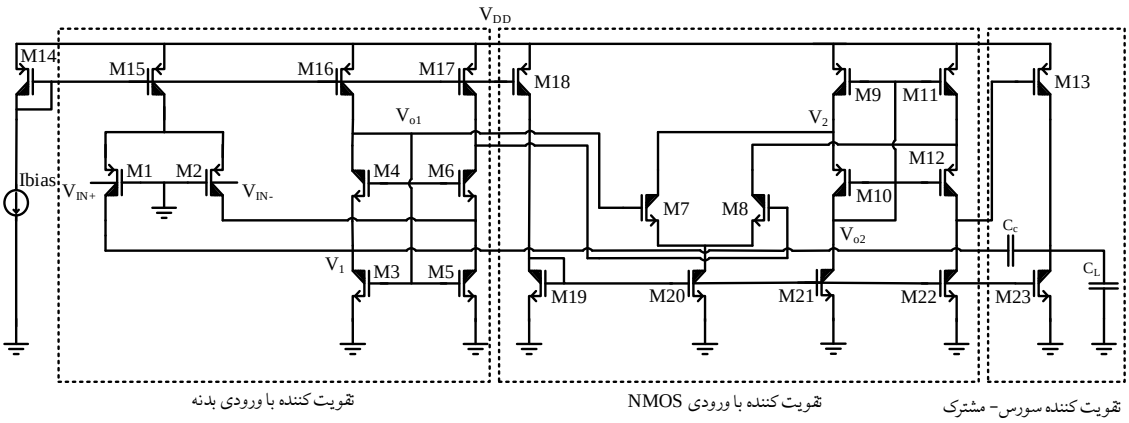
$$g_m = q\frac{I_D}{nKT} \qquad (۸-۲)$$

$$g_{mb} = q\frac{\lambda}{2\sqrt{2\phi_F - V_{SB}}}g_m \qquad (۹-۲)$$

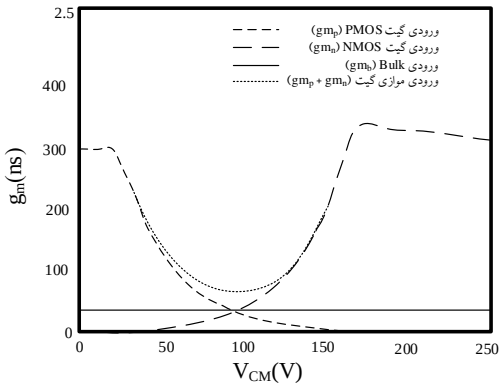
λ ضریب اثر بدنه، ϕ_F پتانسیل فرمی و V_{SB} ولتاژ سورس‌ـ بدنه ترانزیستور است. تقویت‌کننده با ورودی بدنه دارای بهره کم است، زیرا ترارسانایی بدنه بسیار کوچکتر از ترارسانایی گیت است به همین منظور در این طرح برای دستیابی به بهره بالا از یک تقویت‌کننده سه طبقه استفاده شده است. نحوه تغییرات ترارسانایی این ساختار در شکل ۲-۲۴ نشان داده شده است.

در [۱۷] یک تقویت‌کننده با ورودی بدنه معرفی شده است که از یک ساختار بازخورد مثبت متغیر برای کنترل تغییرات ترارسانایی استفاده کرده است. این تقویت‌کننده دارای ورودی Rail-to-Rail و نوسان خروجی ۹۰۰ میلی‌ولت در منبع تغذیه یک ولتی است. روش پیشنهادشده منجر به کاهش تغییرات ترارسانایی طبقه ورودی تقویت‌کننده می‌شود. در شکل ۲-۲۶ تقویت‌کننده معرفی شده با استفاده از روش تثبیت‌کننده ترارسانایی نشان داده شده است.

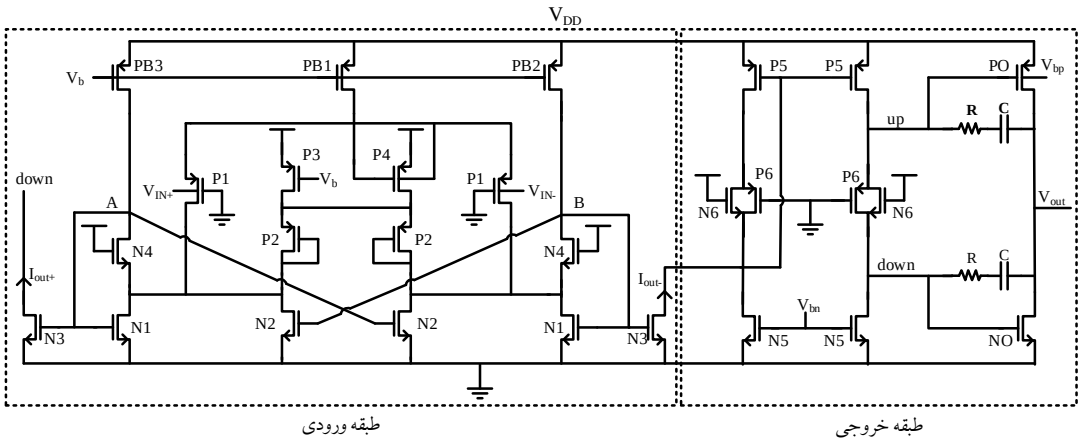
[1] Asymmetric self biased cascode transistor



شکل ۲-۲۴: تقویت‌کننده معرفی شده در [۱۶]



شکل ۲-۲۵: تغییرات ترارسانایی طبقه ورودی در [۱۶]

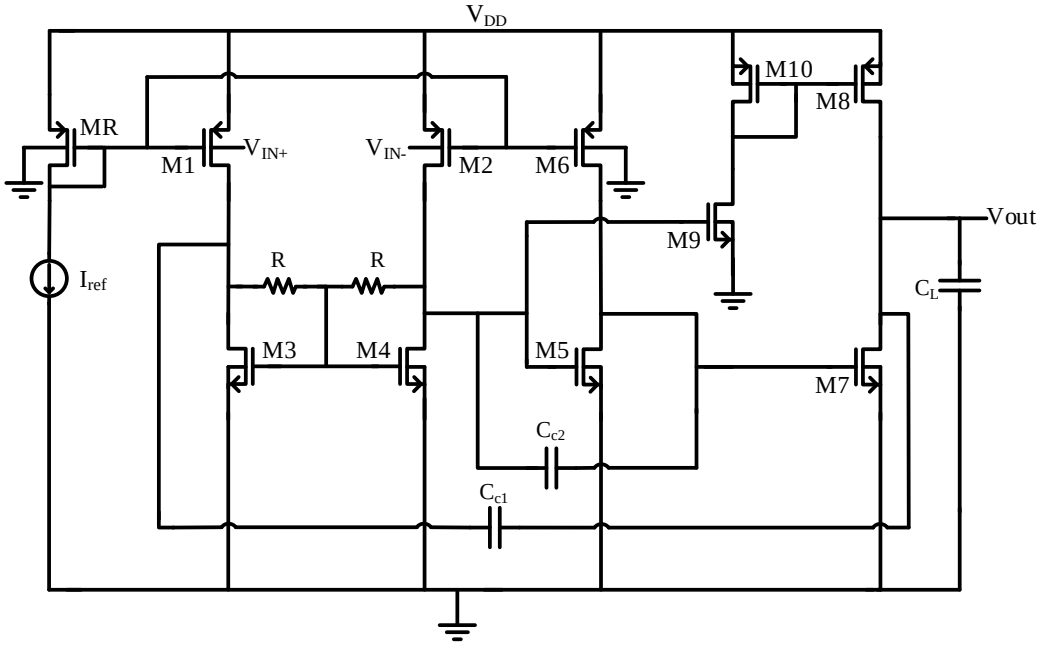


شکل ۲-۲۶: تقویت کننده معرفی شده در [۱۷]

مدارهای بایاس برای تولید V_b، V_{bp} و V_{bn} برای سادگی نشان داده نشده‌اند. در طبقه ورودی، سیگنال به زوج ورودی P1 اعمال می‌شود. گیت‌ها زوج P1 جهت بایاس به زمین

متصل شده‌اند. تثبیت‌کننده ترارسانایی در این طرح توسط N1-N4 و P1-P4 اجرا می‌شود. ترانزیستورهای N1، N3 و N4 یک آینه جریان ایجاد می‌کنند تا جریان‌های ایجاد شده توسط جفت ورودی P1 را به طبقه خروجی انتقال دهند. ترانزیستورهای N2 برای ایجاد یک حلقه بازخورد مثبت متصل می‌شوند. در تقویت‌کننده ارائه شده از یک طبقه خروجی کلاس AB نیز استفاده شده است.

در [۱۸] یک ساختار ساده با کارایی بالا برای تقویت‌کننده‌های عملیاتی Rail-to-Rail ارائه شده است. این ساختار مناسب برای کار در ولتاژهای تغذیه زیر یک ولت است و از سه طبقه تشکیل شده است. مدار تقویت‌کننده پیشنهادی در شکل ۲-۲۷ نشان داده شده است. طبقه اول شامل ترانزیستورهای تفاضلی M1-M4، طبقه دوم شامل یک ساختار سورس‌ـ‌مشترک M5-M6 و طبقه سوم شامل یک ساختار کلاس AB، M7-M10 است. ترانزیستور MR که بدنه آن به زمین مجازی گره خورده است، جریان زوج تفاضلی M1-M2 و بار آن‌ها M3-M4 و همچنین ترانزیستور M6 را از طریق نسبت آینه جریان تنظیم می‌کند.



شکل ۲-۲۷: ساختار تقویت‌کننده معرفی شده در [۱۸]

۲-۲-۸ مقایسه روش‌ها

در جدول ۲-۱ مقایسه‌ای بین روش‌های معرفی شده انجام گرفته است. در این مقایسه درصد تغییرات ترارسانایی هر روش در کنار مزایا و معایب هر ساختار بیان شده است.

جدول ۲-۱: مقایسه روش‌های معرفی شده

روش	مرجع	درصد تغییرات ترارسانایی	معایب	مزایا
روش۱	[۵]	۱۰	توان مصرفی	عدم نیاز به تطبیق ترانزیستورهای زوج ورودی
	[۶]	۱۵	تغییرات ترارسانایی ـ وابستگی به قانون جریان ماسفت و عدم کاربرد در فناوری زیرمیکرون	ساده بودن مدار
	[۸]	۲۰	تغییرات ترارسانایی ـ وابستگی به قانون جریان ماسفت و عدم کاربرد در فناوری زیرمیکرون	ساده بودن مدار
	[۹]	۵	وابستگی به قانون جریان ماسفت و عدم کاربرد در فناوری زیرمیکرون	تغییرات ترارسانایی
روش۲	[۱۰]	۵/۴	وابستگی به ولتاژ آستانه تغییر سطح دهنده DC و تغییرات منبع تغذیه عدم تطابق زوج ورودی	تغییرات ترارسانایی ساده بودن مدار
روش۳	[۱۱]	۷	توان مصرفی پیچیدگی مدار	تغییرات ترارسانایی نرخ چرخش ثابت
روش۴	[۱۳]	۰/۳۵	پهنای باند ـ توان مصرفی مساحت اشغالی	تغییرات ترارسانایی
	[۱۴]	۰/۲		
روش۵	[۱۵]	۸	وابستگی به کمیت‌های ترانزیستورهای طبقه ورودی	تغییرات ترارسانایی توان مصرفی
روش۶	[۳]	۲/۹	پیچیدگی مدار ـ توان مصرفی وابستگی به ضریب K	تغییرات ترارسانایی - سازگاری کاربرد در فناوری زیرمیکرون با کانال های کوتاه و بلند
روش۷	[۱۶]	صفر	پهنای باند نرخ چرخش	تغییرات ترارسانایی توان مصرفی
	[۱۷]	گزارش نشده	مساحت اشغالی ـ پیچیدگی مدار	توان مصرفی
	[۱۸]	گزارش نشده	مساحت اشغالی ـ پیچیدگی مدار	نرخ چرخش ثابت

۲-۳ جمع‌بندی

در این فصل ابتدا بخش‌های مختلف یک تقویت‌کننده تمام‌تفاضلی به‌طور مختصر معرفی و سپس طبقه ورودی تقویت‌کننده‌های Rail-to-Rail بررسی شد. در این بررسی طبقه ورودی تقویت‌کننده‌های Rail-to-Rail در ۷ روش دسته‌بندی شده، هر روش مورد بررسی قرار گرفته و در نهایت این ۷ روش با یکدیگر مقایسه شده است.

فصل ۳

ساختار پیشنهادی

۳-۱ پیش‌گفتار

در این فصل یک ساختار جدید برای طبقه ورودی یک تقویت‌کننده Rail-to-Rail جهت کاهش تغییرات ترارسانایی این طبقه پیشنهاد شده است. ابتدا سه ساختار مهم مورد استفاده دقیق‌تر بررسی شده و سپس با استفاده از این سه ساختار، ساختار جدید پیشنهاد می‌شود. پس از بررسی ساختار معرفی شده، در هر بخش به تکمیل طرح پیشنهادشده پرداخته شده است. در راستای تکمیل طرح پیشنهادشده، ابتدا برای دستیابی به Rail-to-Rail خروجی، طبقه دوم به ساختار پیشنهادی اضافه شده و سپس تقویت‌کننده تمام‌تفاضلی معرفی و روابط مربوط به آن بررسی می‌شود.

۳-۲ بررسی سه ساختار مهم

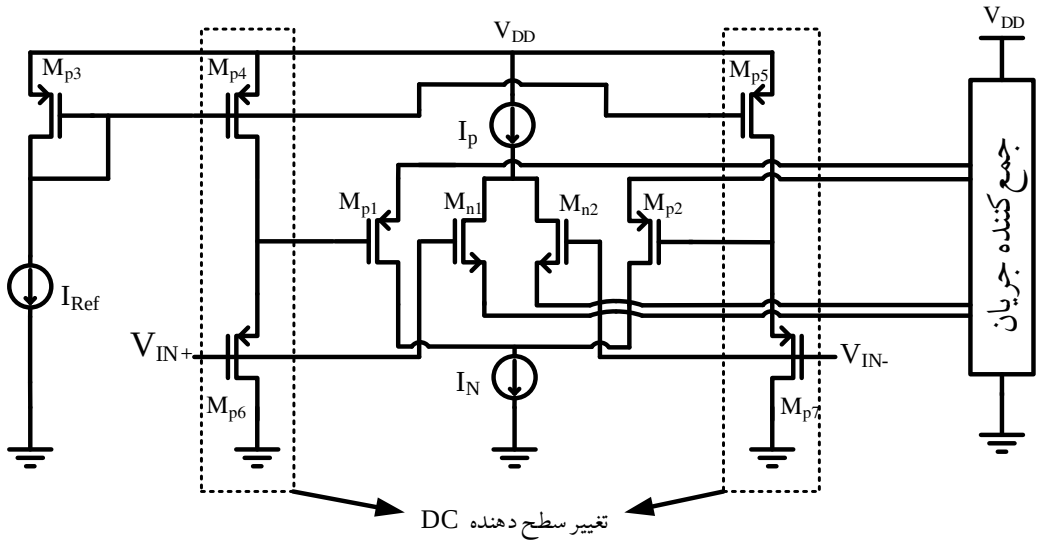
در این بخش سه ساختار مهم جهت بیان روند دستیابی به طرح پیشنهادی بررسی می‌شود. ابتدا ساختار تغییر سطح ولتاژ ورودی، سپس ساختار تغییر سطح ولتاژ ورودی اصلاح‌شده و در انتها ساختار تغییر جریان دنباله معرفی می‌شود.

۳-۲-۱ تغییر سطح ولتاژ ورودی

همان‌طور که پیش‌تر در روش تغییر سطح ولتاژ ورودی بیان شد، می‌توان برای کاهش تغییرات ترارسانایی طبقه ورودی از دو منبع جریان وابسته استفاده کرد. در این روش ، چهار ترانزیستور PMOS برای تغییر سطح سیگنال ورودی استفاده می‌شود. تغییر سطح سیگنال ورودی منجر به کاهش ناحیه هم‌پوشانی زوج‌های تفاضلی ورودی کانال N و کانال P می‌شود. ساختار تغییر سطح ولتاژ ورودی با استفاده از یک تغییر سطح دهنده DC با ورودی PMOS در شکل ۳-۱ نشان داده شده است. در این ساختار سیگنال ورودی تقویت‌کننده به ورودی زوج تفاضلی کانال N با ترانزیستورهای M_{n1-2} و منبع جریان PMOS با ترانزیستورهای M_{p4-7} اتصال دارد. خروجی منبع PMOS به ورودی زوج تفاضلی کانال P با ترانزیستورهای M_{p1-2} متصل است. بنابراین، سیگنال ورودی تغییر سطح یافته به ورودی زوج تفاضلی کانال P اعمال می‌شود [۱۹]. طبق مدار شکل ۳-۱ ولتاژ ورودی ترانزیستورهای M_{p1-2} برابر با رابطه ۳-۱ است:

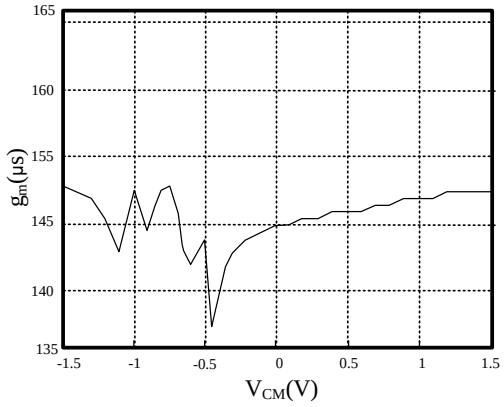
$$V_{in-M_{P1-2}} = V_{in} + V_{gsp-M_{P6-7}} \qquad (۳-۱)$$

V_{in} سیگنال ورودی، $V_{in\text{-}M_{p1-2}}$ سیگنال ورودی تغییر سطح یافته توسط تغییر سطح دهنده DC با ورودی PMOS و $V_{gsp\text{-}M_{6-7}}$ ولتاژ گیت‌ـسورس ترانزیستور M_{p6-7} است. این تغییر سطح ولتاژ ورودی زوج تفاضلی منجر به کاهش ناحیه هم‌پوشانی کانال N و کانال P با یکدیگر می‌شود و



شکل ۳-۱: طرح مداری تغییر سطح دهنده DC با ورودی PMOS [۱۹]

در نتیجه تغییرات ترارسانایی کاهش می‌یابد. نمودار تغییرات ترارسانایی در شکل ۳-۲ نشان داده شده است. تغییرات ترارسانایی این ساختار ۸ درصد است.

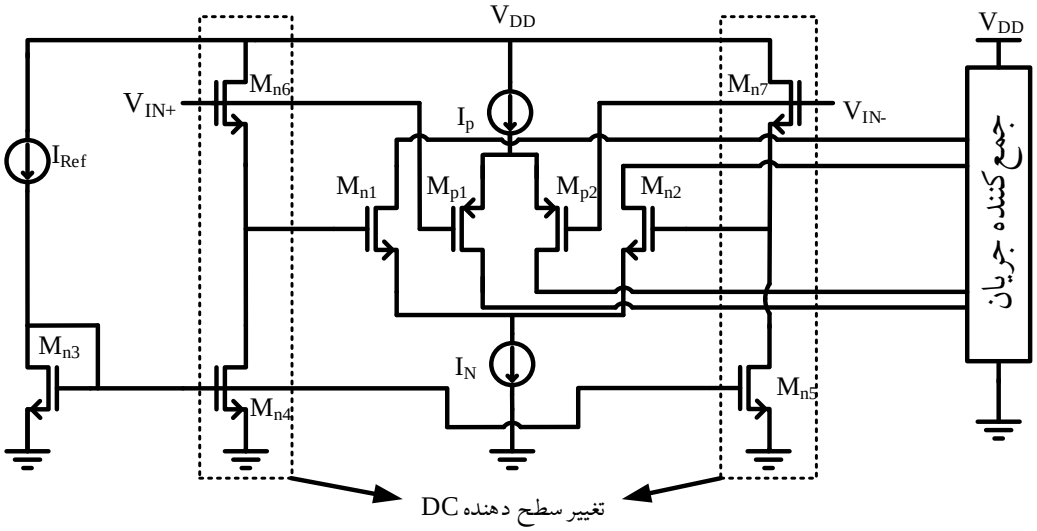


شکل ۳-۲: تغییرات ترارسانایی طبقه ورودی تغییر سطح دهنده DC با ورودی PMOS [۱۹]

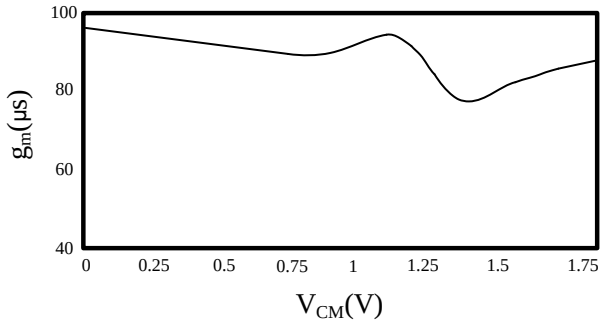
شکل ۳-۳ ساختار تغییر سطح ولتاژ ورودی را با استفاده از یک تغییر سطح دهنده DC با ورودی NMOS با ترانزیستورهای M_{n4-7} نشان می‌دهد [۲۰]. در این مدار نیز ولتاژ ورودی زوج تفاضلی M_{n1-2} به اندازه V_{gs} ترانزیستورهای M_{n6-7} تغییر سطح یافته است. طبق این مدار ولتاژ ورودی زوج تفاضلی M_{n1-2} برابر با رابطه ۳-۲ است.

$$V_{in-M_{n1-2}} = V_{in} + V_{gsn-M_{n6-7}} \qquad (۲-۳)$$

V_{in} سیگنال ورودی، $V_{in\text{-}M_{n1\text{-}2}}$ سیگنال ورودی تغییر یافته توسط تغییر سطح دهنده DC با ورودی NMOS و $V_{gsn\text{-}M_{6\text{-}7}}$ ولتاژ گیت‌ـسورس ترانزیستور $M_{n6\text{-}7}$ است. نمودار تغییرات ترارسانایی ساختار معرفی شده در شکل ۳-۴ نشان داده شده است. تغییرات ترارسانایی این ساختار بیش از ۲۰ درصد است.



شکل ۳-۳: طرح مداری تغییر سطح دهنده DC با ورودی NMOS [۲۰]



شکل ۳-۴: تغییرات ترارسانایی طبقه ورودی تغییر سطح دهنده DC با ورودی NMOS [۲۰]

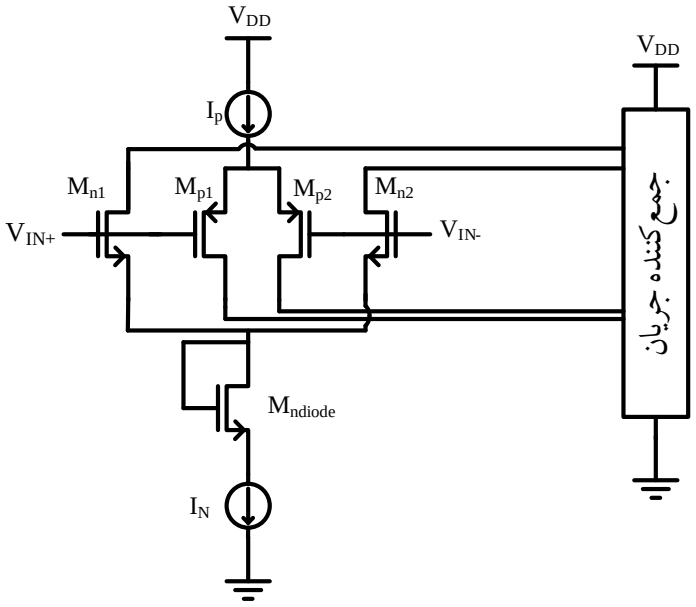
در ساختارهای تغییر سطح ولتاژ ورودی از تغییر سطح دهنده DC با ورودی NMOS استفاده شده است که در نتیجه توان بیشتری نسبت به تقویت‌کننده‌های Rail-to-Rail مرسوم مصرف می‌کنند. هم‌چنین این ساختارها وابسته به ولتاژ آستانه ترانزیستورهای منبع وابسته است و زوج‌های ورودی با یکدیگر تطابق ندارند.

۳-۲-۲ تغییر سطح ولتاژ ورودی اصلاح‌شده

در این بخش یک ساختار اصلاح شده برای روش تغییر سطح ولتاژ ورودی بررسی می‌شود [۲۱]. ساختار این روش در شکل ۳-۵ نشان داده شده است. زوج‌های ورودی تفاضلی مکمل به صورت موازی کار می‌کنند با این تفاوت که در زوج تفاضلی کانال N یک اتصال‌ـ دیودی M_{ndiode} در مسیر جریان دنباله اضافه شده است. اگر اتصال‌ـ دیودی M_{ndiode} به ساختار اضافه نشود، ساختار مانند یک ورودی تفاضلی مکمل مرسوم به طور موازی کار می‌کند و ترارسانایی تقویت‌کننده از g_m به $2g_m$ در مقادیر میانی محدوده منبع تغذیه متغیر است اما با اضافه کردن این اتصال‌ـ دیودی، همانند تغییر سطح ولتاژ ورودی، حداقل ولتاژ ورودی زوج تفاضلی N به اندازه یک $V_{gsM_{ndiode}}$ تغییر خواهد کرد. این تغییر ولتاژ در رابطه ۳-۳ نشان داده شده است.

$$V_{in} = V_{OVn_{tail}} + V_{gsM_{1-2}} + V_{gsM_{ndiode}} \qquad (۳-۳)$$

V_{in} ولتاژ ورودی زوج تفاضلی N، $V_{OVntail}$ ولتاژ اضافه تحریک [۱] ترانزیستور جریان دنباله، V_{gsp} ولتاژ گیت‌ـ سورس ترانزیستور ورودی M_{n1-2} و $V_{gsM_{ndiode}}$ ولتاژ گیت‌ـ سورس اتصال‌ـ دیودی M_{ndiode} است. این تغییر منجر به جابه‌جایی نمودار ترارسانایی زوج تفاضلی N می‌شود. نمودار تغییرات ترارسانایی در شکل ۳-۶ نشان داده شده است.

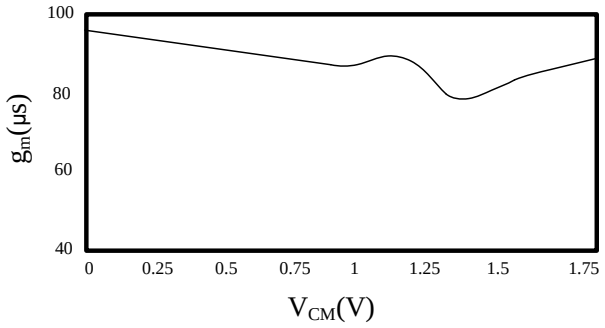


شکل ۳-۵: ساختار طبقه ورودی تغییر سطح ولتاژ ورودی اصلاح‌شده [۲۱]

در این مدار برخلاف ساختار تغییر سطح ولتاژ ورودی که از دو تغییر سطح دهنده DC استفاده شده بود، تنها از یک اتصال‌ـ دیودی استفاده شده است. وضعیت توان مصرفی این ساختار در مقایسه با ساختار تغییر سطح ولتاژ ورودی وضعیت بهتری دارد، زیرا مسیر اضافی

[1] Overdrive

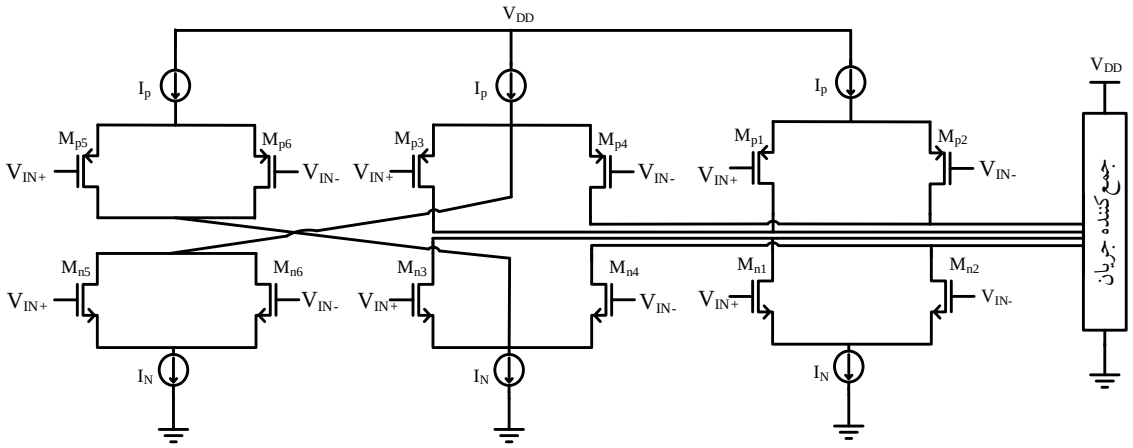
جریان در این ساختار وجود ندارد. این مدار هم مانند ساختار قبل، وابسته به ولتاژ آستانه ترانزیستور اتصال‌ـ دیودی است و زوج‌های ورودی با یکدیگر تطابق ندارد. بهترین تغییرات ترارسانایی گزارش شده از این ساختار برابر با ۱۷ درصد است [۲۱].



شکل ۳-۶: تغییرات ترارسانایی ساختار تغییر سطح ولتاژ ورودی اصلاح‌شده [۲۱]

۳-۲-۳ تغییر جریان دنباله

ساختار دیگری که در این بخش مورد بحث قرار می‌گیرد ساختار نشان داده شده در شکل ۳-۷ است. در این ساختار برای کاهش تغییرات ترارسانایی از سه زوج تفاضلی N و P استفاده می‌شود [۲۲].

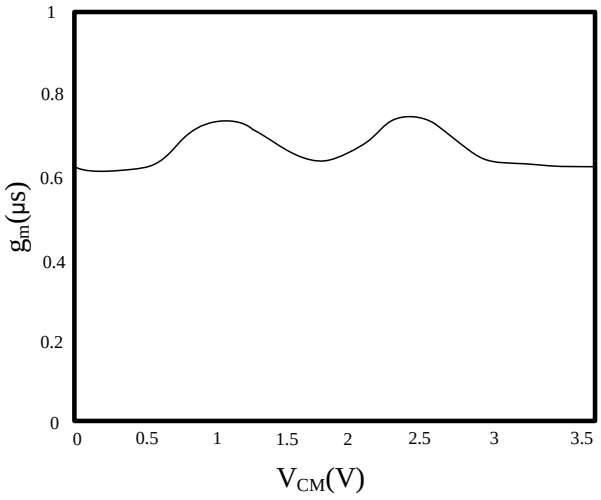


شکل ۳-۷: طرح مداری تغییر جریان دنباله [۲۲]

عملکرد این ساختار به این صورت است: **(۱)** هنگامی که ولتاژ حالت‌ـ مشترک ورودی نزدیک به GND قرار دارد، زوج اصلی P شامل M_{p2}-M_{p1} و زوج پشتیبان شامل M_{p4}-M_{p3} آن روشن است. با افزایش ولتاژ حالت‌ـ مشترک زوج M_{n6}-M_{n5} باعث خاموش شدن زوج پشتیبان P شده و فقط زوج اصلی روشن می‌ماند. دلیل این امر هم عبور جریان ترانزیستورهای پشتیبان

از مسیر ترانزیستورهای M_{n6}-M_{n5} است که با افزایش ولتاژ حالت_مشترک روشن می‌شوند. **(۲)** هنگامی که ولتاژ حالت_مشترک ورودی در مقادیر میانی محدوده منبع تغذیه قرار دارد، دو زوج اصلی M_2-M_1 روشن هستند. ترانزیستورهای M_2-M_1 زوج N و P هر دو به جریان سیگنال کمک می‌کنند و ترارسانایی معادل $2g_m$ را به‌وجود می‌آورند. در این حالت ترانزیستورهای M_5-M_6 منجر به خاموش شدن زوج‌های پشتیبان M_4-M_3 می‌شوند. خاموش شدن ترانزیستورهای پشتیبان به دلیل تأمین جریان دنباله این زوج‌ها توسط زوج‌های M_6-M_5 است. **(۳)** با افزایش ولتاژ حالت_مشترک ورودی به سمت VDD زوج M_{p6}-M_{p5} خاموش شده و در نتیجه زوج M_{n3}-M_{n4} روشن می‌شود. در ولتاژ حالت_مشترک ورودی برابر با VDD، هر دو زوج اصلی و پشتیبان نوع N روشن هستند.

در این ساختار به ازای مقادیر مختلف ولتاژ حالت_مشترک ورودی، چهار ترانزیستور در ترارسانایی و مسیر عبوری سیگنال نقش دارند. نمودار تغییرات ترارسانایی ساختار معرفی شده در شکل ۳-۸ نشان داده شده است.



شکل ۳-۸: تغییرات ترارسانایی به ازای ولتاژ حالت_مشترک ورودی [۲۲]

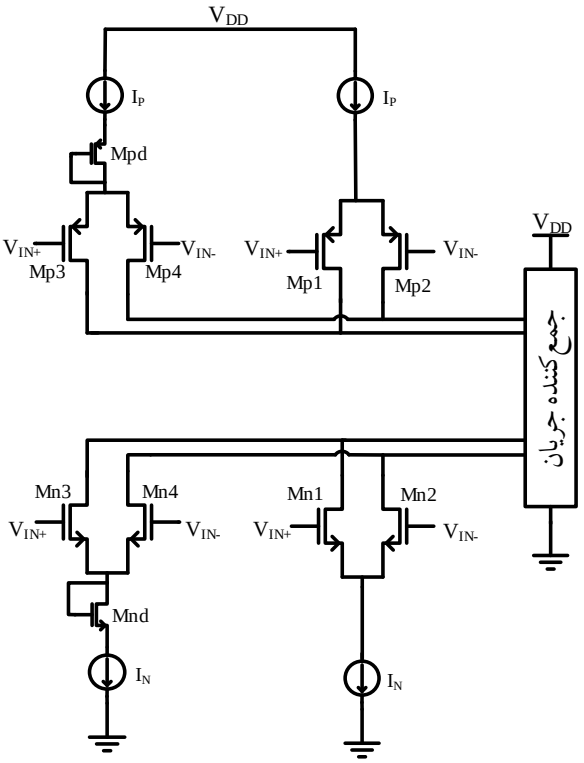
در نمودار شکل ۳-۸ سطح ترارسانایی بر روی $2g_m$ ثابت شده است. تغییرات ترارسانایی این ساختار ۵ درصد گزارش شده است. این مدار برای فناوری های زیر میکرون مفید است زیرا وابسته به معادله‌ی جریان ماسفت نیست. این طرح از نظر توان مصرفی وضعیت مطلوبی نسبت به مدار مرسوم ندارد، زیرا دو زوج اضافی دارد که روشن و خاموش شدن ترانزیستورهای پشتیبان را تعیین می‌کنند اما نسبت به ساختارهای تغییر سطح ولتاژ ورودی وضعیت مطلوب‌تری دارد.

۳-۳ ساختار پیشنهادشده

در این بخش با استفاده از ساختارهای بررسی شده، یک ساختار جدید پیشنهاد می‌شود. سپس با در نظر گرفتن یک طبقه کسکود به عنوان جمع‌کننده جریان، طرح پیشنهادی گام به گام تکمیل شده و مباحث مربوط به هر بخش بررسی می‌شود.

۱-۳-۳ ساختار پیشنهادی

با توجه به ساختار بحث شده در قسمت قبلی ساختار جدید پیشنهاد شده در شکل ۳-۹ نشان داده شده است. این طرح با استفاده از کلیات ساختار تغییر جریان دنباله و تغییر سطح ولتاژ ورودی اصلاح شده پیشنهاد شده است.

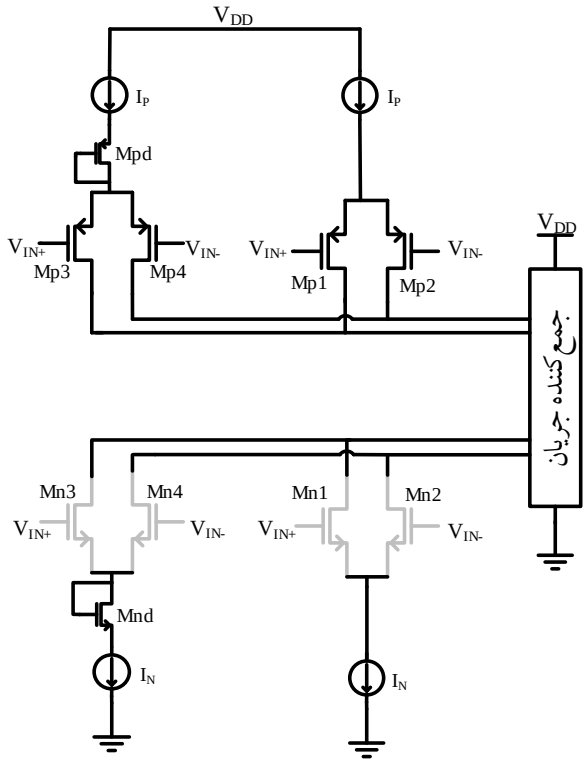


شکل ۳-۹: ساختار پیشنهاد شده

با توجه به عدم استفاده از تغییر سطح دهنده DC جهت تغییر سطح و یا زوج های اضافی برای کنترل روشن و خاموش شدن ترانزیستورهای ورودی، پیش‌بینی می‌شود که این طرح از نظر توان مصرفی از دو ساختار تغییر جریان دنباله و تغییر دهنده سطح ولتاژ ورودی وضعیت مطلوب‌تری داشته باشد.

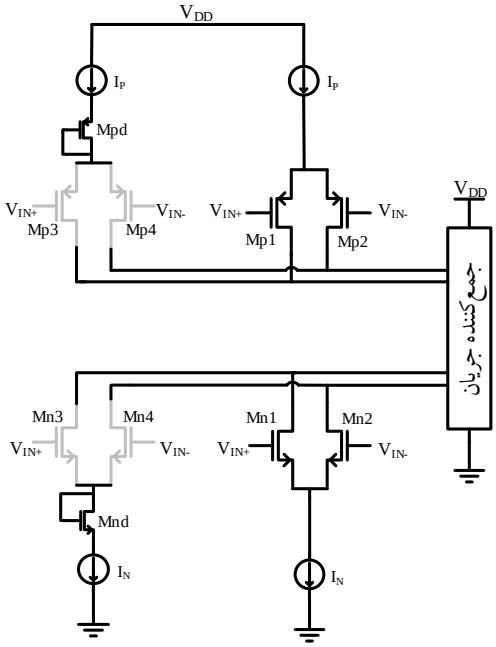
نحوه عملکرد این مدار شبیه به ساختار تغییر جریان دنباله است. به این صورت که: **(۱)**

هنگامی که ولتاژ حالت_مشترک ورودی نزدیک به GND است، هر دو زوج ورودی PMOS روشن است. با افزایش ولتاژ حالت_مشترک ورودی زوج PMOS اصلی M_{p1-2} روشن می‌ماند اما زوج PMOS کمکی M_{p3-4} با توجه به ولتاژ گیت_سورس اتصال_دیودی خاموش می‌شود. **(۲)** هنگامی که ولتاژ حالت_مشترک ورودی در مقادیر میانی محدوده منبع تغذیه است، زوج PMOS اصلی M_{p1-2} و زوج NMOS اصلی M_{n1-2} روشن و زوج PMOS کمکی M_{p3-4} و NMOS کمکی M_{n3-4} خاموش است. **(۳)** با افزایش ولتاژ حالت_مشترک ورودی و نزدیک شدن به VDD، زوج NMOS کمکی M_{n3-4} با توجه به ولتاژ گیت_سورس اتصال_دیودی روشن می‌شود. این در حالی است که زوج NMOS اصلی M_{n1-2} نیز روشن است.

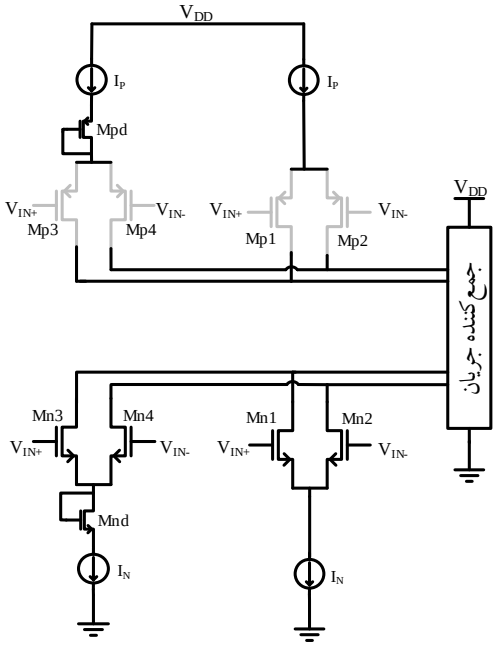


شکل ۳-۱۰: عملکرد زوج‌های ورودی در ولتاژ حالت_مشترک ورودی نزدیک به GND

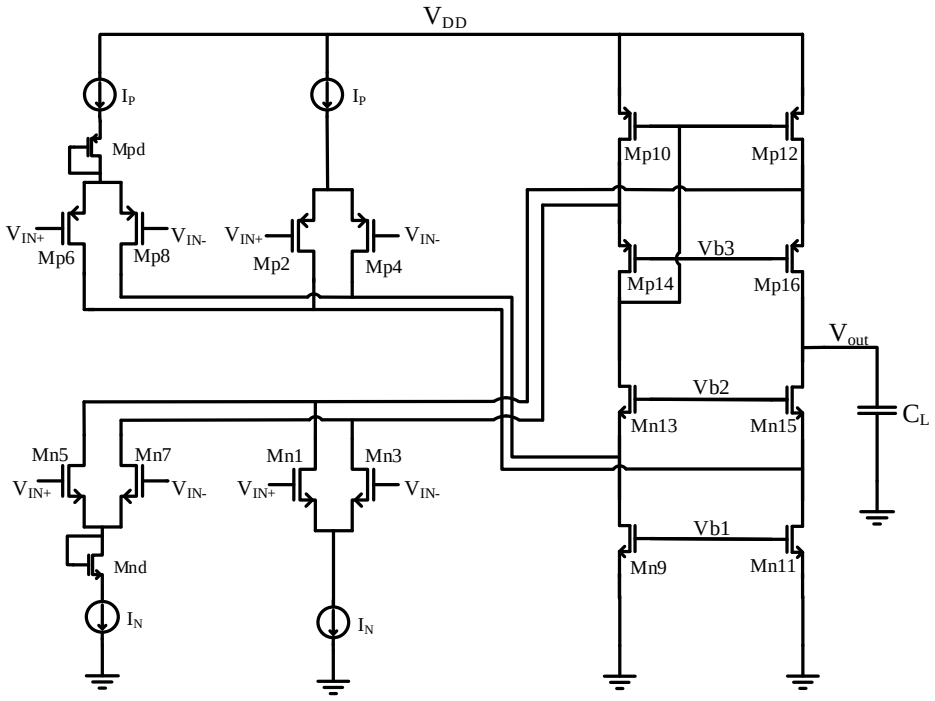
همان‌طور که از نحوه عملکرد این مدار مشخص است مانند ساختار تغییر جریان دنباله، همواره چهار ترانزیستور در ایجاد ترارسانایی طبقه ورودی نقش دارند. این ویژگی باعث می‌شود که این ساختار توانی در حدود طرح تغییر سطح ولتاژ ورودی اصلاح‌شده داشته باشد. برای تکمیل کردن طرح پیشنهادی ابتدا باید ساختار جمع‌کننده جریان را مشخص کرد. به‌طور معمول جمع‌کننده جریان از یک طبقه کسکود تشکیل شده است. در این طبقه جریان طبقه ورودی با جریان کسکود جمع می‌شود. برای این منظور همانند آن‌چه در [۲۳] بیان شده است، از طبقه جمع‌کننده جریان نشان داده شده در شکل ۳-۱۳ استفاده شده است.



شکل ۳-۱۱: عملکرد زوج‌های ورودی در ولتاژ حالت_مشترک ورودی در مقادیر میانی محدوده منبع تغذیه



شکل ۳-۱۲: عملکرد زوج‌های ورودی در ولتاژ حالت_مشترک ورودی نزدیک به VDD



شکل ۳-۱۳: طبقه ورودی پیشنهادشده همراه با طبقه جمع‌کننده جریان

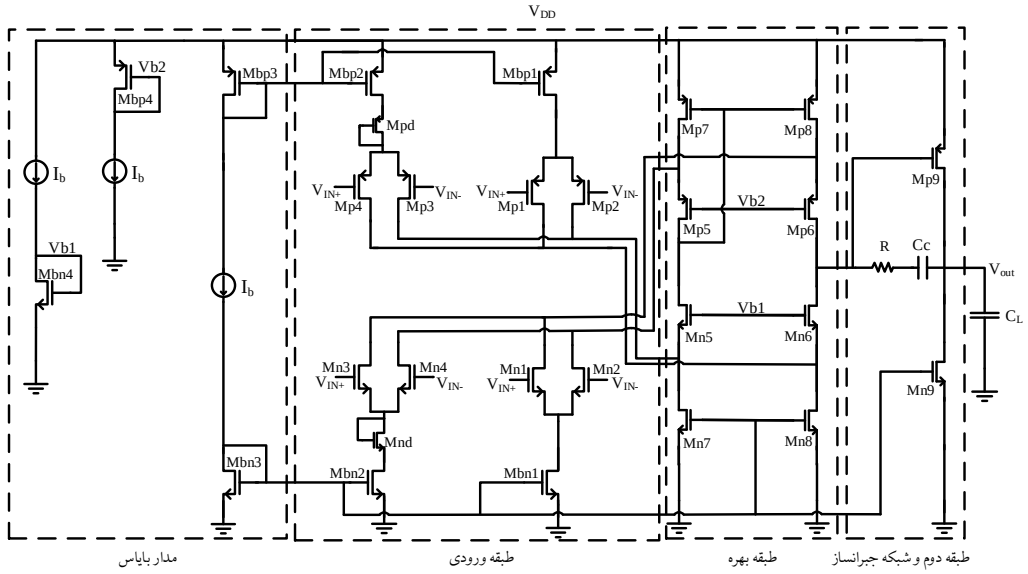
۳-۳-۲ دستیابی به Rail-to-Rail خروجی

برای طراحی تقویت‌کننده‌هایی با دامنه نوسان خروجی بالا در ولتاژهای تغذیه کم می‌توان از ساختار کلاس AB، ساختار سورس‌ـ مشترک و یا حتی یک ساختار کسکود تاشده استفاده کرد [۲۴]. در این بخش برای دستیابی به Rail-to-Rail خروجی همانند [۱۶] یک تقویت‌کننده سورس‌ـ مشترک، به عنوان طبقه دوم استفاده شده است. هم‌چنین در این بخش منابع جریان ایده‌آل با آینه جریان جای‌گذاری شده و شاخه‌های بایاس ابتدایی مورد استفاده، همانند شکل ۳-۱۴ به مدار اضافه شده است.

۳-۳-۳ ساختار تمام‌تفاضلی

دامنه مجاز خروجی وسیع‌تر، عدم وجود قطب آینه و حذف نویز مشترک خروجی از جمله مزایای ساختارهای تمام‌تفاضلی به ساختارهای تک‌سر است. بنابراین در این پایان‌نامه ساختار تمام‌تفاضلی همانند شکل ۳-۱۵ پیشنهاد شده است.

برای تثبیت ولتاژهای حالت‌ـ مشترک ورودی در خروجی مدارهای تمام‌تفاضلی، مدارهای بازخورد حالت‌ـ مشترک لازم است [۲۵]. مدار بازخورد حالت‌ـ مشترک معمولاً متوسط ولتاژ خروجی را اندازه می‌گیرد و با ولتاژ مرجع مقایسه می‌کند. سپس خطای حاصل از اختلاف این مقایسه توسط یک تقویت‌کننده، تقویت می‌شود و به یک جریان حالت‌ـ مشترک جهت تنظیم



شکل ۳-۱۴: مدار دوطبقه پیشنهادشده

ولتاژ حالت‌ـ مشترک تبدیل می‌شود [۲۶]. در این بخش، از یک تقویت‌کننده اختلاف تفاضلی (DAA) [1] به عنوان بازخورد حالت‌ـ مشترک استفاده شده است [۲۷]. ولتاژ حالت مشترک خروجی اندازه گرفته شده، با ولتاژ مرجع مقایسه و بر روی ولتاژ بایاس کسکود اعمال می‌شود.

۳-۳-۴ تحلیل ساختار دوطبقه پیشنهادشده

در این بخش، بهره، فرکانس بهره واحد، محدوده حالت‌ـ مشترک ورودی و خروجی، نرخ چرخش و نویز ساختار پیشنهادشده تحلیل و بررسی می‌شود.

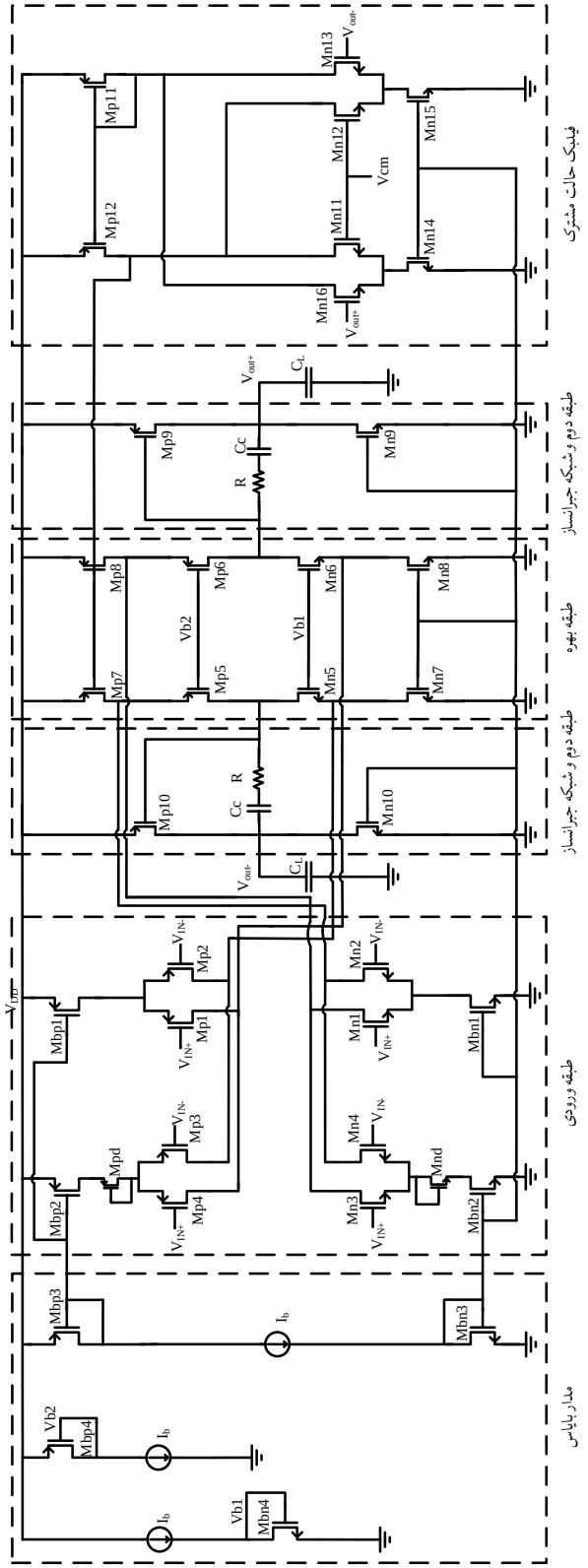
برای به‌دست آوردن بهره با استفاده از یک ساختار کسکود تاشده با ورودی PMOS، بهره ساختار پیشنهادشده محاسبه می‌شود. ساختار کسکود تاشده با ورودی PMOS در شکل ۳-۱۶ نشان داده شده است. همان‌طور که در [۱] آورده شده است رابطه بهره این ساختار مانند رابطه ۳-۴ است.

$$A_V = (g_{m-mp'1})((g_{m-mn'5} ro_{mn'5}(ro_{mp'1} || ro_{mn'7}))||(g_{m-mp'5} ro_{mp'5}(ro_{mp'7}))) \quad (۴-۳)$$

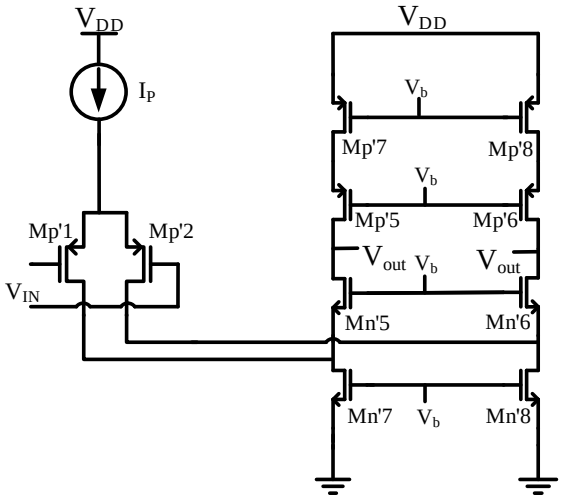
ابتدا باید به این نکته توجه کرد که در ساختار شکل ۳-۱۵ مقدار g_m یا ترارسانایی ساختار پیشنهاد شده با توجه به ترکیب جریان‌ها در طبقه کسکود یا پیش از آن، برابر با مجموع جفت‌های ورودی است. ترارسانایی ساختار پیشنهاد شده طبق رابطه ۳-۵ است.

$$g_{mT} = g_{m-mp1} + g_{m-mp2} + g_{m-mn1} + g_{m-mn2} \quad (۵-۳)$$

[1] differential difference amplifier



شکل ۳-۱۵: ساختار تمام‌تفاضلی پیشنهادشده



شکل ۳-۱۶: ساختار کسکود تاشده با ورودی PMOS [۱]

در ساختار پیشنهادی، طبقه ورودی دارای یک زوج موازی با زوج ورودی اصلی است لذا $ro_{mp'1}$ کسکود تاشده برابر با $ro_{mp1} \| ro_{mp3}$ در ساختار پیشنهادی است. هم‌چنین ساختار پیشنهاد شده دارای دو زوج موازی ورودی NMOS نیز است پس $ro_{mp'7}$ کسکود تاشده با $ro_{mn1} \| ro_{mn3}$ موازی است. بنابراین بهره طبقه اول ساختار پیشنهادی مطابق با رابطه ۳-۶ است.

$$A_{V1} = g_{mT}((g_{m-mn5}ro_{mn5}(ro_{mn7}||(ro_{mp1}||ro_{mp3})))||(g_{m-mp5}ro_{mp5}(ro_{mp7}||(ro_{mn1}||ro_{mn3})))) \quad (۶-۳)$$

حال بهره طبقه دوم در طبقه اول ضرب شده و بهره نهایی ساختار مطابق با رابطه ۳-۷ به‌دست می‌آید.

$$A_V = A_{V1}(g_{m-mp9})(ro_{mp9}||ro_{mn9}) \quad (۷-۳)$$

پهنای باند از رابطه ۳-۸ به‌دست می‌آید.

$$GBW = \frac{g_{mT}}{2\pi C_C} \quad (۸-۳)$$

ذکر این نکته لازم است که پهنای باند با g_{mT} رابطه مستقیم دارد پس تغییرات g_{mT} به‌طور مستقیم در پهنای باند دیده می‌شود.

یکی دیگر از مشخصات مهم هر تقویت‌کننده، محدوده حالت‌ـ مشترک ورودی و خروجی است. این بررسی از آن جهت است که اطمینان حاصل شود که تمامی ترانزیستورها به ازای ولتاژهای حالت‌ـ مشترک ورودی در اشباع هستند. برای این منظور باید دامنه ولتاژ حالت‌ـ مشترک ورودی و خروجی محاسبه شود. در ساختار پیشنهادشده دامنه ولتاژ مشترک ورودی Rail-to-Rail است. هم‌چنین دامنه ولتاژ مشترک خروجی از روابط ۳-۹ و ۳-۱۰ به‌دست می‌آید.

$$V_{Omin} = V_{OVmn9} \quad (۹-۳)$$

$$V_{Omax} = V_{DD} - |V_{OVmp9}| \quad (۱۰-۳)$$

این محدوده بیش‌ترین دامنه قابل دسترس در طبقه خروجی است، که با طراحی بهینه می‌توان دامنه خروجی این طبقه را نیز نزدیک به سطوح ولتاژ مثبت و منفی منبع تغذیه طراحی کرد.

نرخ چرخش نیز باتوجه به جریان‌های طبقه ورودی و خازن جبران ساز مطابق رابطه ۳-۱۱ محاسبه می‌شود.

$$SR = \frac{I_{Dmp1} + I_{Dmp2} + I_{Dmn1} + I_{Dmn2}}{C_C} \quad (۱۱-۳)$$

در بررسی نویز ارجاع داده شده به ورودی، فقط نویز حرارتی ساختار تمام‌تفاضلی در نظر گرفته شده است. نویز ترانزیستورهای کسکود در فرکانس‌های پایین ناچیز است [۱]، پس فقط ترانزیستورهای M_{n1-4}، M_{p1-4}، M_{n7-10} و M_{p7-10} به عنوان منابع نویز مؤثر در این طرح باقی می‌مانند. نویز حرارتی یک ماسفت طبق رابطه ۳-۱۲ است [۱].

$$V_n^2 = 4KT\gamma g_m r_o^2 \quad (۱۲-۳)$$

در رابطه ۳-۱۲، K ثابت بولتزمن، T دما بر حسب درجه کلوین، γ ضریب وابسته به طول کانال ترانزیستور و r_o مقاومت خروجی ترانزیستور است. برای تعیین نویز حرارتی ارجاع‌شده به ورودی ابتدا نویز ترانزیتسورهای M_{n7} و M_{n8} در خروجی طبقه اول طبق ۳-۱۳ محاسبه می‌شود.

$$V_{n,out1|M_{n7,8}}^2 = 2(4KT\frac{\gamma}{g_{m-Mn7,8}})g_{m-M_{n7,8}}^2 R_{OUT1}^2 \quad (۱۳-۳)$$

به‌طور مشابه برای ترانزیتسورهای M_{p7} و M_{p8} نیز نویز در خروجی طبقه اول طبق ۳-۱۴ محاسبه می‌شود.

$$V_{n,out1|M_{p7,8}}^2 = 2(4KT\frac{\gamma}{g_{m-Mp7,8}})g_{m-M_{p7,8}}^2 R_{OUT1}^2 \quad (۱۴-۳)$$

با تقسیم روابط ۳-۱۳ و ۳-۱۴ بر بهره طبقه اول، $g_{mT}{}^2$ $R_{OUT1}{}^2$ نویز طبقه اول ارجاع شده به ورودی حاصل از طبقه اول مطابق رابطه ۳-۱۵ محاسبه می‌شود.

$$V_{n,in1}^2 = \frac{V_{n,out1|M_{n7,8}}^2 + V_{n,out1|M_{p7,8}}^2}{g_{mT}^2 R_{OUT1}^2} \quad (۱۵-۳)$$

در ادامه باید نویز حرارتی طبقه دوم این تقویت‌کننده شامل ترانزیستورهای $M_{p8,10}$ و $M_{n9,10}$ محاسبه شود. نویز حرارتی این طبقه در خروجی طبق رابطه ۳-۱۶ محاسبه می‌شود.

$$V_{n,out2|M_{p9,10},M_{n9,10}}^2 = 2(4KT\gamma g_{m-Mp9} + g_{m-Mn9}(ro_{Mp9} + ro_{Mn9})^2) \quad (۱۶-۳)$$

با تقسیم رابطه ۳-۱۶ بر بهره تقویت‌کننده پیشنهاد شده نویز حرارتی طبقه دوم در ورودی به‌دست می‌آید که در رابطه ۳-۱۷ نشان داده شده است.

$$V_{n,in2}^2 = \frac{V_{n,out2|M_{p9,10},M_{n9,10}}^2}{A_V^2} \quad (۱۷-۳)$$

در نهایت نویز گرمایی ارجاع داده شده به ورودی طبق رابطه ۳-۱۸ محاسبه می‌شود.

$$V_{n,in}^2 = V_{n,in1}^2 + V_{n,in2}^2 \quad (۱۸-۳)$$

۴-۳ جمع‌بندی

در این فصل ابتدا به بررسی ساختارهای مشابه با ساختار پیشنهادی پرداخته شد. در ادامه ساختار پیشنهادی معرفی شد و نحوه عملکرد آن مورد بررسی قرار گرفت. یک تقویت‌کننده سورس‌ـ‌مشترک به عنوان طبقه دوم به ساختار پیشنهادی اضافه شد تا ساختار پیشنهادی منجر به دستیابی به حداکثر دامنه نوسان خروجی شود. در انتها ساختار تمام‌تفاضلی معرفی و روابط حاکم بر آن بررسی شد.

فصل ۴

نتایج شبیه‌سازی

۴-۱ پیش‌گفتار

در این فصل به بیان و بررسی نتایج شبیه‌سازی‌های انجام شده پرداخته می‌شود. ابتدا نتایج شبیه‌سازی ساختارهای معرفی شده و ساختار ابتدایی پیشنهادشده در فصل سوم بیان و مورد بررسی قرار می‌گیرد و نتایج به‌دست آمده با یکدیگر مقایسه می‌شود. سپس طرح پیشنهادی دوطبقه تک‌سر شبیه‌سازی شده و نتایج آن بیان می‌شود. در این بخش جدول مقایسه‌ای بین کارهای انجام شده و ساختار پیشنهادشده تهیه شده است که با در نظر گرفتن عدد شایستگی [۱] کارها با یکدیگر مقایسه می‌شوند. در انتهای نتایج حاصل از شبیه‌سازی طرح تمام‌تفاضلی پیشنهادشده، جانمایی و شبیه‌سازی‌های پس از جانمایی آن بیان می‌شود.

۴-۲ نتایج شبیه‌سازی ساختارهای معرفی شده

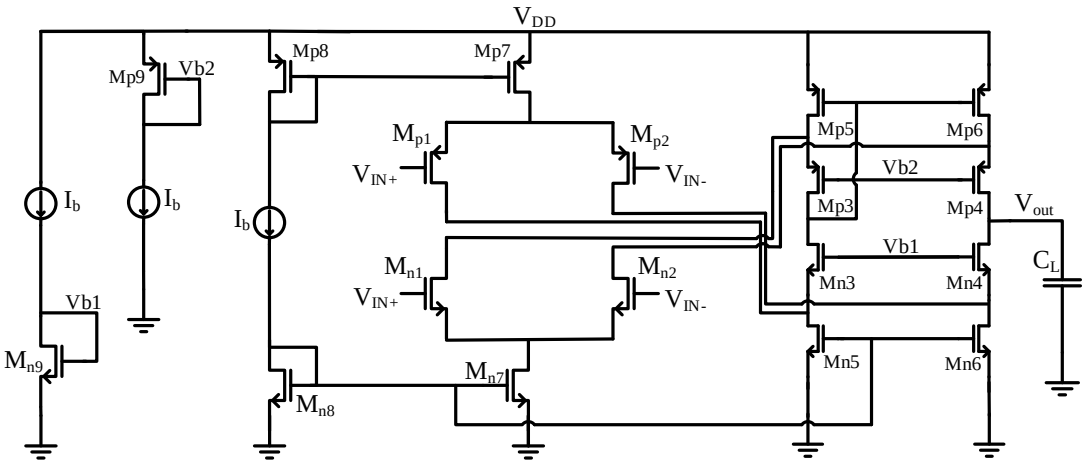
در این بخش مقایسه‌ای بین ساختارهای پایه‌ای معرفی شده در فصل سوم و ساختار پیشنهادشده صورت گرفته است. برای قسمت جمع‌کننده جریان همان‌طور که در فصل سوم نیز اشاره شد از یک طبقه کسکود مرسوم استفاده شده است. در این شبیه‌سازی‌ها جریان دنباله PMOS و NMOS مقداری ثابت درنظر گرفته شده و با توجه به جریان دنباله، جریان‌های طبقه جمع‌کننده جریان به‌دست آمده و اعمال گردیده است. این ۶ ساختار در شرایط یکسان شبیه‌سازی شده‌اند تا مقایسه‌ای عادلانه بین ساختارها صورت گیرد. این شبیه‌سازی‌ها با خازن بار ۱۰ پیکوفاراد، با منبع تغذیه ۱/۸ ولت و در فن‌آوری ۱۸۰ نانومتر انجام شده است. هم‌چنین سعی شده که ساختارها دارای حاشیه فاز مطلوب باشند و توان کمی مصرف کنند. کمیت‌های مورد نیاز، شامل توان مصرفی، بهره، پهنای باند بهره واحد و تغییرات ترارسانایی هر ساختار جهت مقایسه به‌دست آورده شده است. هم‌چنین در هر بخش میزان تغییرات ترارسانایی نیز گزارش شده است تا در انتها بتوان این ساختارها را نیز از جهت تغییرات ترارسانایی طبقه ورودی نیز با یکدیگر مقایسه کرد. از روش g_m/I_D جهت طراحی ساختارها استفاده شده است و سعی شده این نسبت در حدود ۲۰ باشد. در هر بخش نکات مربوط به طراحی ساختار آورده شده است.

۴-۲-۱ شبیه‌سازی ساختار Rail-to-Rail مرسوم

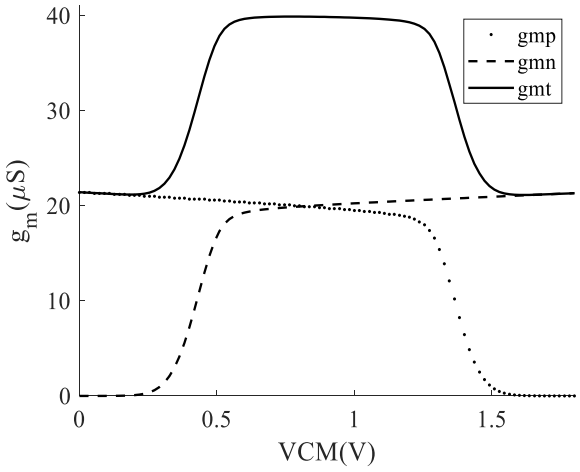
در ابتدا یک ساختار Rail-to-Rail مرسوم شبیه‌سازی شده است. این ساختار هسته اصلی تمامی ساختارها در این پایان‌نامه است. در این شبیه‌سازی از طرح مداری نشان داده شده در شکل ۴-۱ استفاده شده است. نکته اصلی در طراحی این تقویت‌کننده توجه به نحوه تغییرات پهنای باند بهره واحد و بهره به ازای ولتاژهای حالت_مشترک مختلف است. هم‌چنین به هر

[1] Figure of merit

شاخه دنباله، جریان ۲ میکروآمپر و هر شاخه بایاس جریان ۱ میکروآمپر اختصاص داده شده است. این مقادیر در تمامی شبیه‌سازی‌ها به طور یکسان حفظ شده است. تغییرات ترارسانایی این ساختار همان‌طور که پیش‌تر نیز گفته شده است در حدود ۱۰۰ درصد است که در شکل ۴-۲ نشان داده شده است.



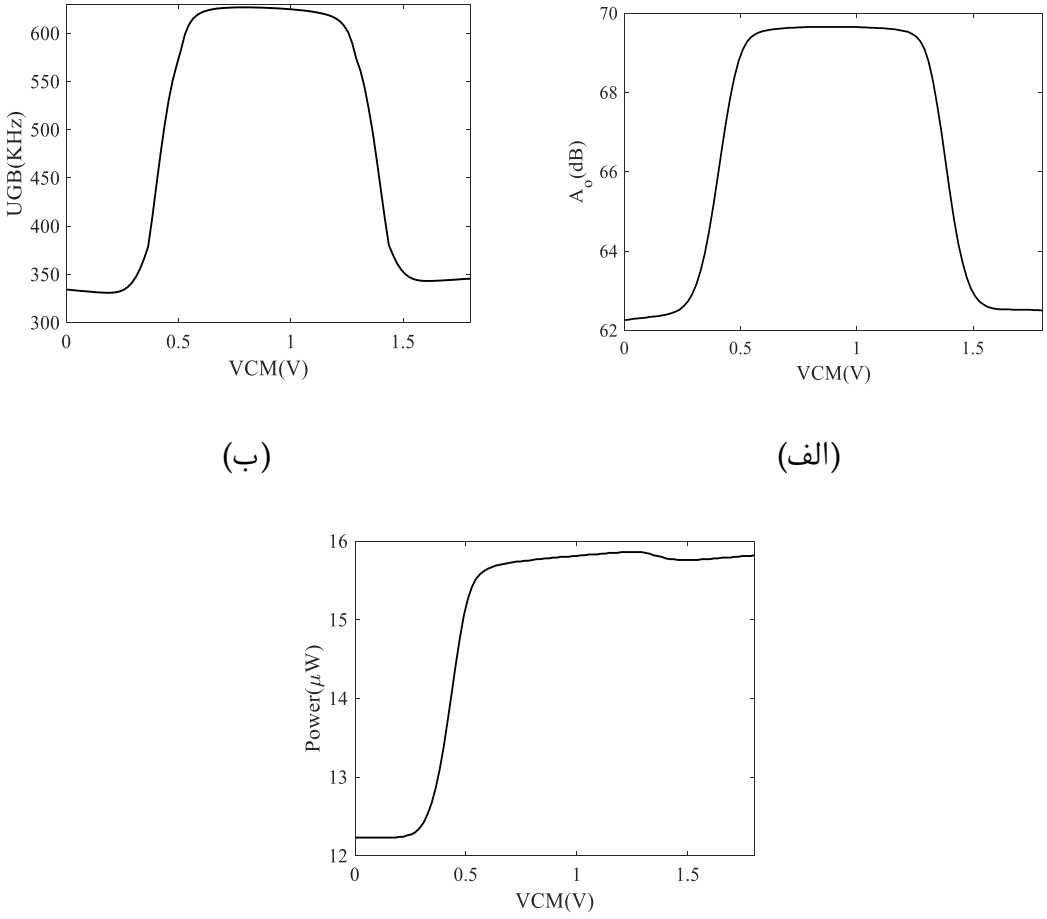
شکل ۴-۱: طرح مداری استفاده شده جهت شبیه‌سازی ساختار Rail-to-Rail مرسوم



شکل ۴-۲: تغییرات ترارسانایی طبقه ورودی به ازای ولتاژ حالت‌ـ مشترک ورودی ساختار Rail-to-Rail مرسوم

تغییرات بهره، پهنای باند بهره واحد و توان مصرفی در شکل ۴-۳ نشان داده شده است. همان‌طور که پیش‌تر اشاره شد وجود رابطه مستقیم بین تغییرات ترارسانایی طبقه ورودی و پهنای باند باعث تغییرات مشابه در پهنای باند تقویت‌کننده Rail-to-Rail مرسوم می‌شود. در شکل ۴-۳ نشان داده شده است که نحوه تغییرات پهنای باند بهره واحد هماهنگ با تغییرات ترارسانایی طبقه ورودی است. در نمودار پهنای باند بهره واحد تغییرات نزدیک به ۱۰۰ درصد

است و هم‌چنین اندازه بهره نیز تا دو برابر افزایش یافته است. در جدول ۴-۱ کمیت‌های به‌دست آمده از ساختار فوق نشان داده شده است. توان مصرفی این ساختار را می‌توان به عنوان یک مرجع در نظر گرفت و با سایر ساختارها مقایسه کرد.



(ب) (الف)

(ج)

شکل ۴-۳: تغییرات نمودارهای (الف)بهره، (ب)پهنای باند بهره واحد، (ج)توان مصرفی به ازای تغییرات ولتاژ حالت_مشترک ورودی در ساختار Rail-to-Rail مرسوم شبیه‌سازی شده

جدول ۴-۱: نتایج حاصل از شبیه‌سازی ساختار Rail-to-Rail مرسوم

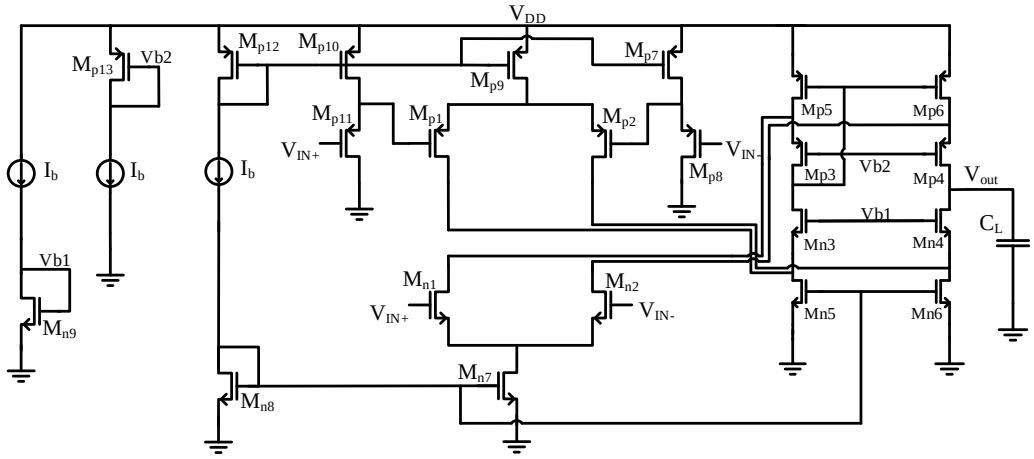
	واحد	ولتاژ حالت_مشترک ورودی			کمینه	بیشینه	میانگین
		۰ ولت	۰/۹ولت	۱/۸ولت			
بهره	دسیبل	۶۲/۲	۶۹/۶	۶۲/۵	۶۲/۲	۶۹/۶	۶۶/۳
پهنای باند بهره واحد	کیلوهرتز	۳۳۴/۳	۶۲۶/۲	۳۴۵/۶	۳۳۰/۹	۶۲۶/۹	۴۸۵/۸
حاشیه فاز	درجه	۸۹/۶	۸۹/۴	۸۹/۷	۸۹/۴	۸۹/۷	۸۹/۵
توان مصرفی	میکروات	۱۲/۲	۱۵/۷	۱۵/۸	۱۲/۲	۱۵/۸	۱۴/۹
تغییرات ترارسانایی	درصد	۱۰۰					

۴-۲-۲ شبیه‌سازی ساختار تغییر سطح ولتاژ ورودی

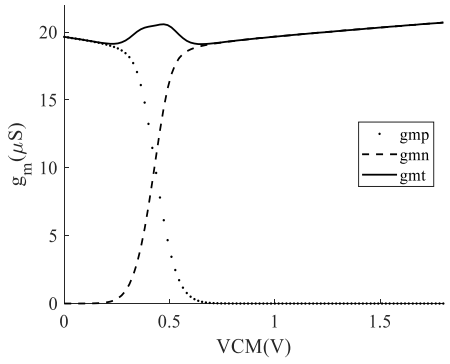
در این بخش تغییر سطح دهنده DC با ورودی PMOS و تغییر سطح دهنده DC با ورودی NMOS مورد بررسی قرار داده شده است. این دو ساختار باید به‌نحوی طراحی شوند که جریان تغییر سطح دهنده DC کم باشد تا ساختار توان کمی مصرف کند. برای این منظور ابعاد ترانزیستورهای آینه جریان تا حد امکان کوچک و میزان تغییر سطح با ترانزیستور ورودی تغییر سطح دهنده DC تعیین شود.

۴-۲-۲-۱ منبع وابسته PMOS

طرح مداری استفاده شده در این شبیه‌سازی در شکل ۴-۴ نشان داده شده است. تغییرات ترارسانایی طبقه ورودی برابر با ۸ درصد به‌دست آمده است. تغییرات ترارسانایی به ازای تغییرات ولتاژ حالت‌ـ مشترک ورودی در شکل ۴-۵ نمایش داده شده است.

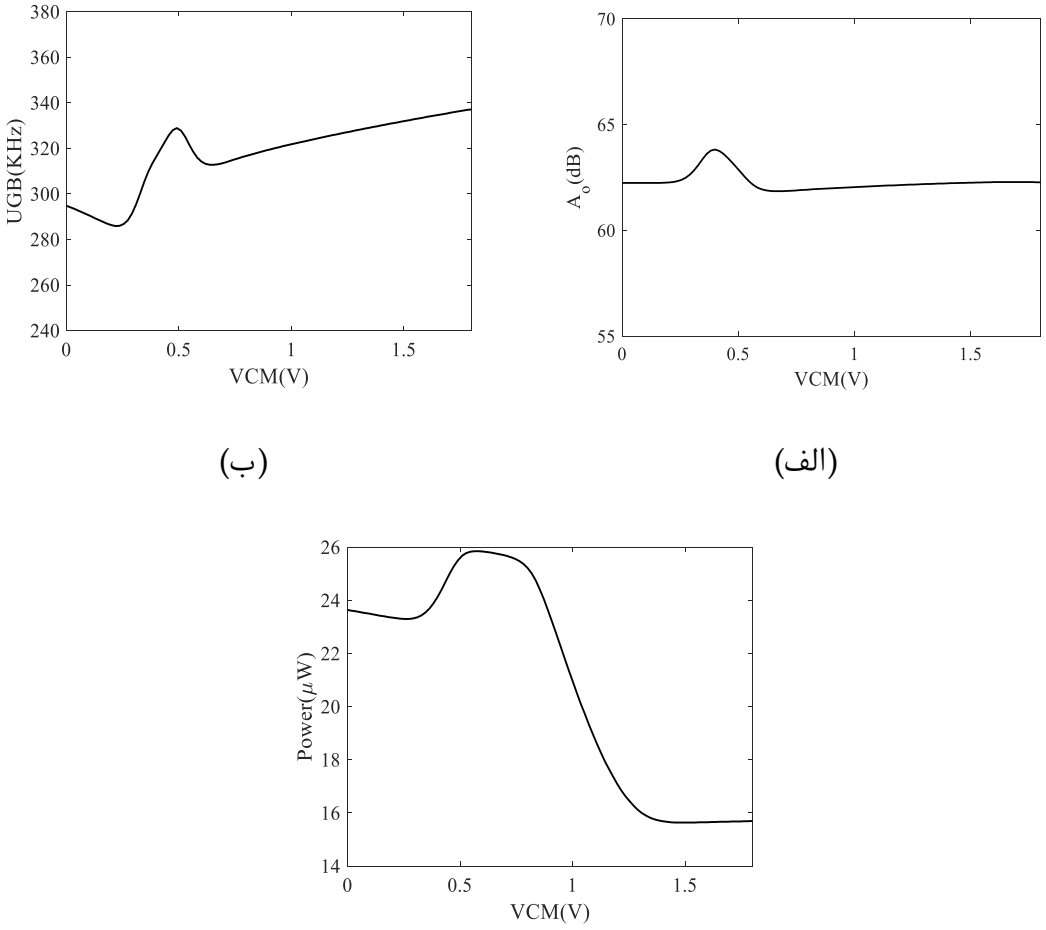


شکل ۴-۴: طرح مداری استفاده شده جهت شبیه‌سازی ساختارتغییر سطح دهنده DC با ورودی PMOS



شکل ۴-۵: تغییرات ترارسانایی به ازای ولتاژ حالت‌ـ مشترک ورودی در ساختارتغییر سطح دهنده DC با ورودی PMOS

نمودارهای بهره، پهنای باند بهره واحد و توان مصرفی به ازای تغییرات ولتاژ حالت‌ـ مشترک ورودی مانند شکل ۴-۶ نشان داده شده است. در جدول ۴-۲ کمیت‌های به‌دست آمده از ساختار فوق نشان داده شده است.



(ب) (الف)

(ج)

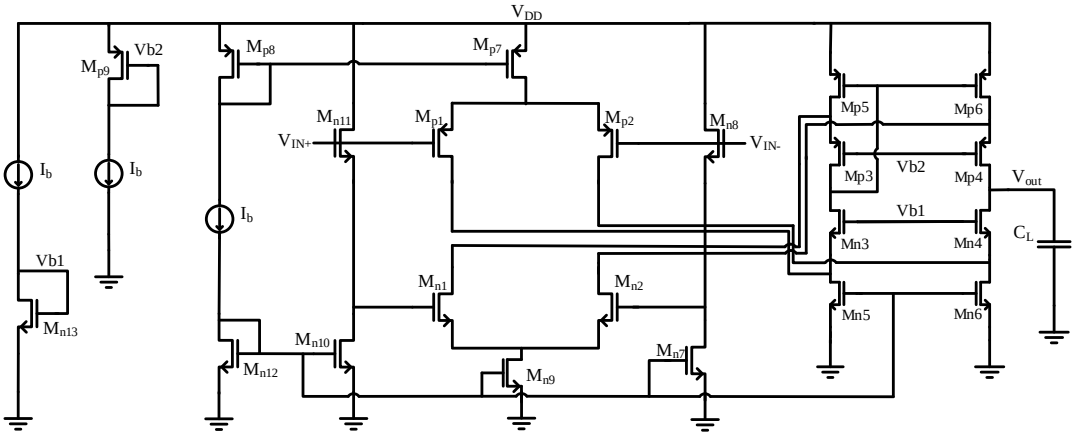
شکل ۴-۶: تغییرات نمودارهای (الف)بهره، (ب)پهنای باند بهره واحد، (ج)توان مصرفی به ازای تغییرات ولتاژ حالت‌ـ مشترک ورودی در ساختارتغییر سطح دهنده DC با ورودی PMOS

جدول ۴-۲: نتایج حاصل از شبیه‌سازی در ساختار تغییر سطح دهنده DC با ورودی PMOS

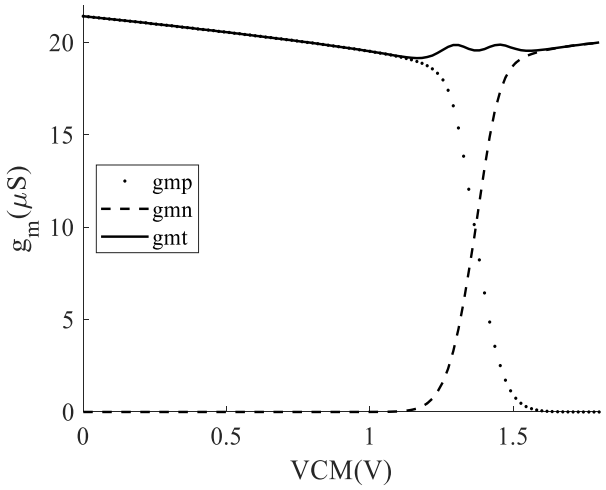
	واحد	ولتاژ حالت‌ـ مشترک ورودی			کمینه	بیشینه	میانگین
		۰ ولت	۰/۹ولت	۱/۸ولت			
بهره	دسیبل	۶۲/۲	۶۲	۶۲/۲	۶۱/۸	۶۳/۸	۶۲/۳
پهنای باند بهره واحد	کیلوهرتز	۲۹۴/۸	۳۱۹/۶	۳۳۷/۱	۲۸۵/۹	۳۳۷/۱	۳۱۸/۱
حاشیه فاز	درجه	۹۰/۶	۹۰/۱	۹۰/۲	۹۰/۲	۹۰/۶	۹۰/۲
توان مصرفی	میکروات	۲۳/۶	۲۳/۱	۱۵/۷	۱۵/۶	۲۵/۸	۲۰/۸
تغییرات ترارسانایی	درصد	۸					

۴-۲-۲-۲ منبع وابسته NMOS

طرح مداری استفاده شده در این شبیه‌سازی در شکل ۴-۷ نشان داده شده است. تغییرات ترارسانایی طبقه ورودی این ساختار برابر با ۱۱ درصد به‌دست آمده است. تغییرات ترارسانایی به ازای تغییرات ولتاژ حالت مشترک ورودی در شکل ۴-۸ نمایش داده شده است. نمودارهای بهره، پهنای باند بهره واحد و توان مصرفی به ازای تغییرات ولتاژ حالت_مشترک ورودی مانند شکل ۴-۹ نشان داده شده است. در جدول ۴-۳ کمیت‌های به‌دست آمده از ساختار فوق نشان داده شده است.



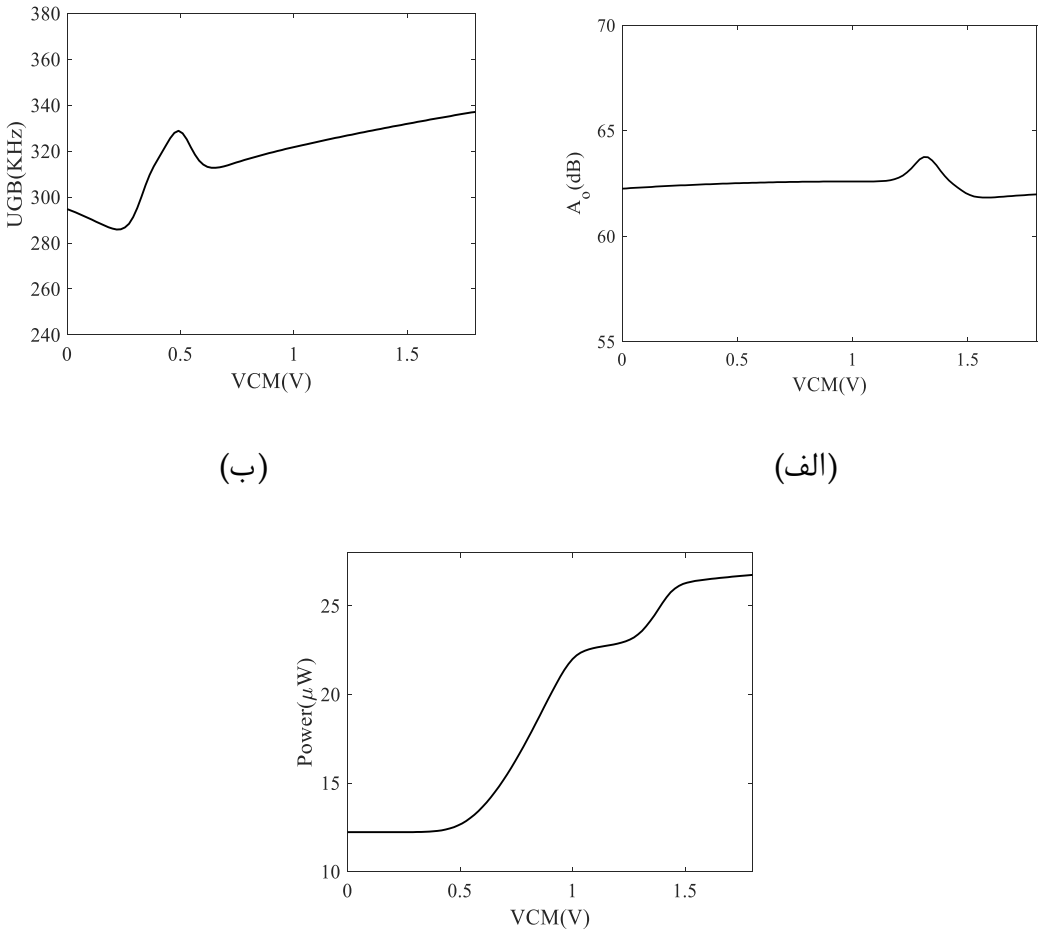
شکل ۴-۷: طرح مداری استفاده شده جهت شبیه‌سازی ساختار تغییر سطح دهنده DC با ورودی NMOS



شکل ۴-۸: تغییرات ترارسانایی به ازای ولتاژ حالت_مشترک ورودی در ساختار تغییر سطح دهنده DC با ورودی NMOS

در این دو ساختار مقدار تغییرات ترارسانایی طبقه ورودی به مقدار قابل ملاحظه‌ای نسبت به ساختار Rail-to-Rail مرسوم کاهش یافته است. کاهش تغییرات ترارسانایی در کاهش

تغییرات بهره و پهنای باند بهره واحد نیز قابل مشاهده است. این دو ساختار به علت استفاده از تغییر سطح دهنده DC جهت کاهش تغییرات ترارسانایی طبقه ورودی توان بیشتری مصرف می‌کنند.



(ب) (الف)

(ج)

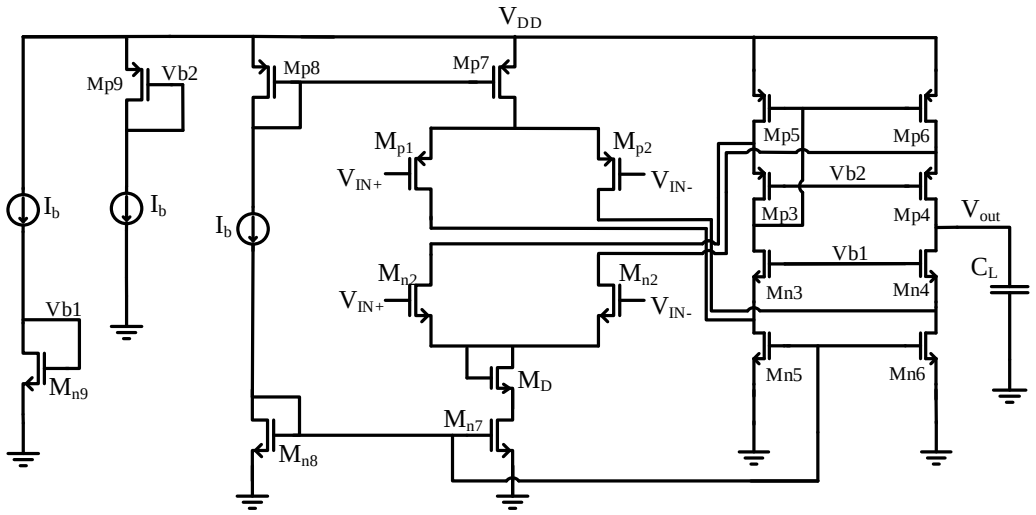
شکل ۴-۹: تغییرات نمودارهای (الف)بهره، (ب)پهنای باند بهره واحد، (ج)توان مصرفی به ازای تغییرات ولتاژ حالت_مشترک ورودی در ساختار تغییر سطح دهنده DC با ورودی NMOS

جدول ۴-۳: نتایج حاصل از شبیه‌سازی در ساختار تغییر سطح دهنده DC با ورودی NMOS

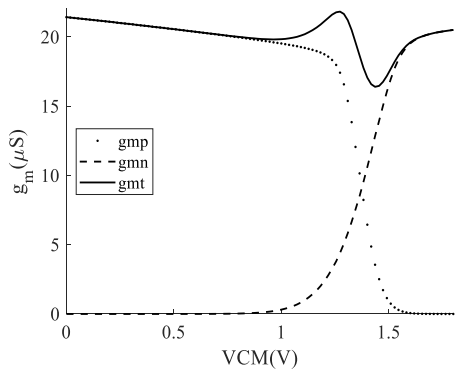
	واحد	ولتاژ حالت_مشترک ورودی			کمینه	بیشینه	میانگین
		۰ ولت	۰/۹ولت	۱/۸ولت			
بهره	دسیبل	۶۲/۲	۶۲/۶	۶۱/۹	۶۱/۸	۶۳/۷	۶۲/۴
پهنای باند بهره واحد	کیلوهرتز	۳۳۴/۳	۳۰۹/۵	۳۱۹/۸	۲۹۹/۹	۳۳۴/۳	۳۱۶/۷
حاشیه فاز	درجه	۹۰/۳	۹۰/۳	۹۰/۴	۹۰/۲	۹۰/۴	۹۰/۳
توان مصرفی	میکروات	۱۲/۲	۲۰/۱	۲۶/۷	۱۲/۲	۲۶/۷	۱۹
تغییرات ترارسانایی	درصد	۱۱					

۴-۲-۳ شبیه‌سازی ساختار تغییر سطح ولتاژ ورودی اصلاح‌شده

طرح مداری استفاده شده در این شبیه‌سازی در شکل ۴-۱۰ نشان داده شده است. در این ساختار، ابعاد اتصال‌ـ‌دیودی باید با توجه به تغییرات ترارسانایی طبقه ورودی تعیین می‌شود تا مقدار تغییرات ترارسانایی در بهترین وضعیت خود باشد. تغییرات ترارسانایی در شکل ۴-۱۱ نشان داده شده است. نمودارهای بهره، پهنای باند بهره واحد و توان مصرفی به ازای تغییرات ولتاژ حالت‌ـ‌مشترک ورودی مانند شکل ۴-۱۲ نشان داده شده است. در جدول ۴-۴ کمیت‌های به‌دست آمده از ساختار فوق نشان داده شده است.



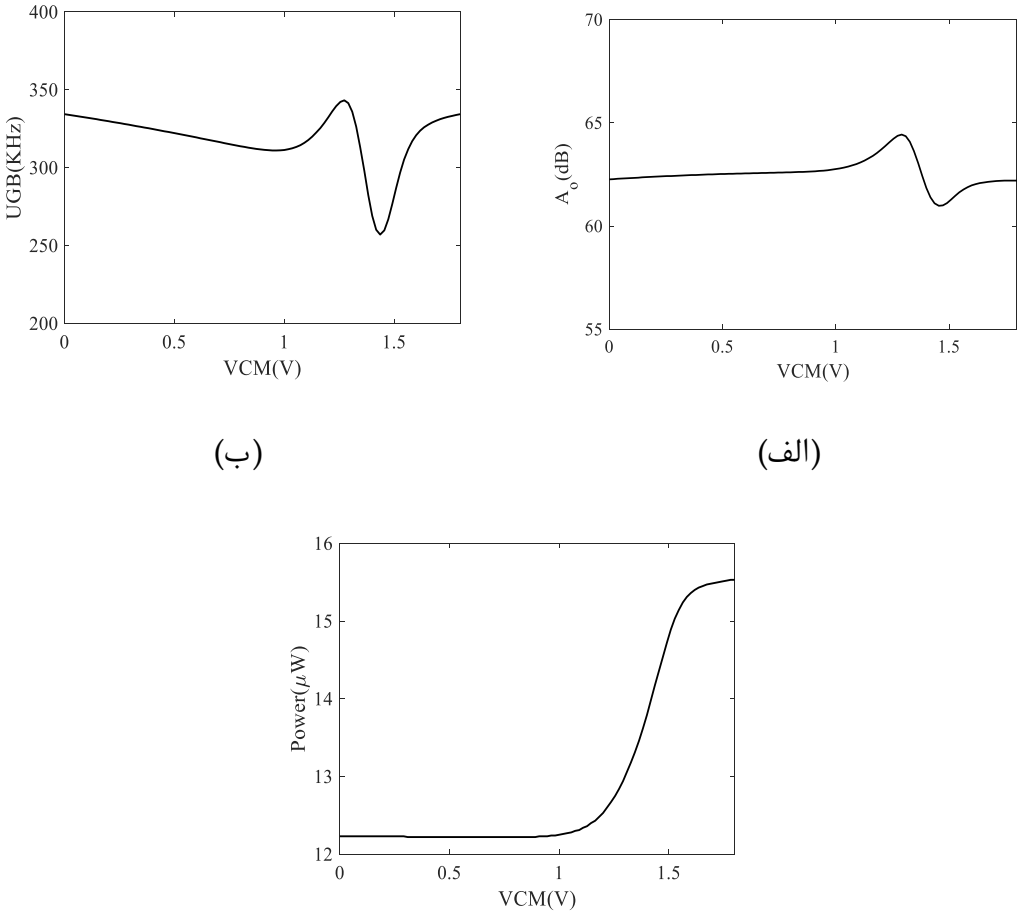
شکل ۴-۱۰: طرح مداری استفاده شده جهت شبیه‌سازی ساختار تغییر سطح ولتاژ ورودی اصلاح‌شده



شکل ۴-۱۱: تغییرات ترارسانایی به ازای ولتاژ حالت‌ـ‌مشترک ورودی در ساختار تغییر سطح ولتاژ ورودی اصلاح‌شده

در مورد این ساختار باید به دو نکته توجه کرد: (۱) تغییرات ترارسانایی طبقه ورودی نسبت به سایر ساختارها بیشتر است و علت آن مربوط به نحوه عملکرد اتصال‌ـ‌دیودی است.

(۲) توان مصرفی این ساختار که از توان مصرفی ساختار Rail-to-Rail مرسوم کم‌تر است. در این ساختار به ازای ولتاژهای حالت_ مشترک مختلف تنها یک جفت روشن است. هم‌چنین در این ساختار از مدارات جانبی در جهت کاهش تغییرات ترارسانایی استفاده نشده است .



(ب) (الف)

(ج)

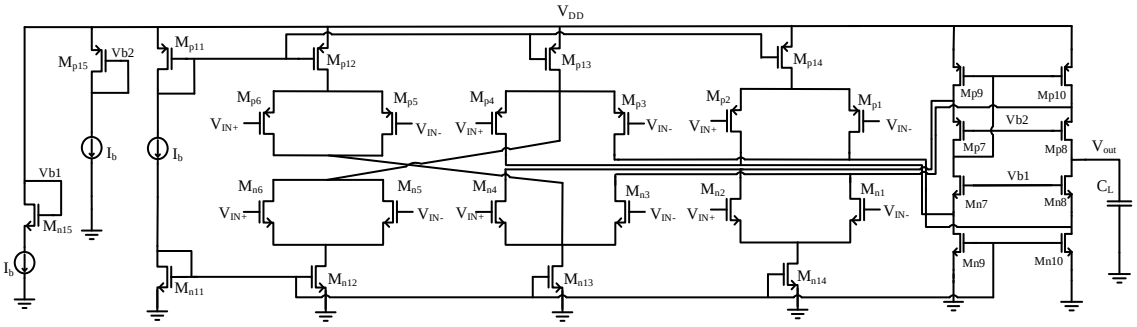
شکل ۴-۱۲: تغییرات نمودارهای (الف)بهره، (ب)پهنای باند بهره واحد، (ج)توان مصرفی به ازای تغییرات ولتاژ حالت_مشترک ورودی در ساختار تغییر سطح ولتاژ ورودی اصلاح‌شده

جدول ۴-۴: نتایج حاصل از شبیه‌سازی در تغییر سطح ولتاژ ورودی اصلاح‌شده

	واحد	ولتاژ حالت_مشترک ورودی			کمینه	بیشینه	میانگین
		۰ ولت	۰/۹ولت	۱/۸ولت			
بهره	دسیبل	۶۲/۲	۶۲/۶	۶۲/۲	۶۰/۹	۶۴/۴	۶۲/۵
پهنای باند بهره واحد	کیلوهرتز	۳۳۴/۳	۳۱۱/۴	۳۳۴/۳	۲۵۷	۳۴۳/۲	۳۱۸/۶
حاشیه فاز	درجه	۹۰/۳	۹۰/۳	۹۰/۲	۹۰/۱	۹۰/۳	۹۰/۲
توان مصرفی	میکروات	۱۲/۲	۱۲/۲	۱۵/۵	۱۲/۲	۱۵/۵	۱۲/۹
تغییرات ترارسانایی	درصد	۳۳					

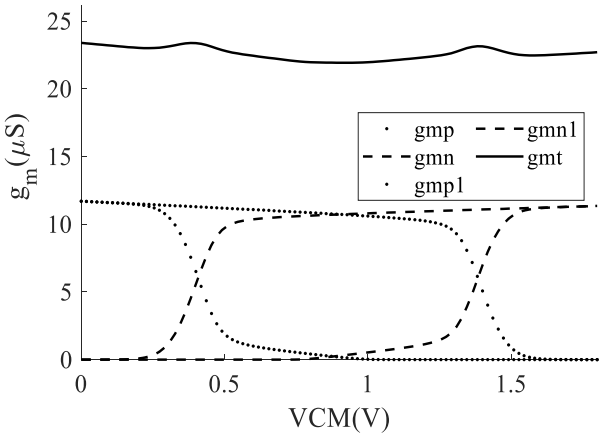
۴-۲-۴ شبیه‌سازی ساختار تغییر جریان دنباله

طرح مداری استفاده شده در این شبیه‌سازی در شکل ۴-۱۳ نشان داده شده است. نکته قابل ملاحظه در طراحی این ساختار برای دستیابی به تغییرات ترارسانایی مطلوب، یکسان بودن ابعاد تمامی زوج‌های ورودی NMOS و تمامی زوج‌های ورودی PMOS است.



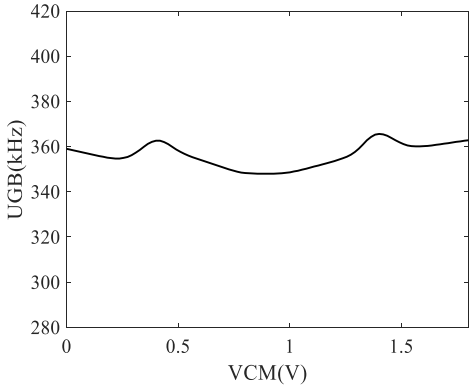
شکل ۴-۱۳: طرح مداری استفاده شده جهت شبیه‌سازی ساختار تغییر جریان دنباله

تغییرات ترارسانایی به‌دست آمده در این ساختار برابر با ۶ درصد می‌باشد که در شکل ۴-۱۴ نشان داده شده است. همان‌طور که در شکل ۴-۱۴ نشان داده شده، ترارسانایی این ساختار در سطح $2g_m$ قرار دارد.

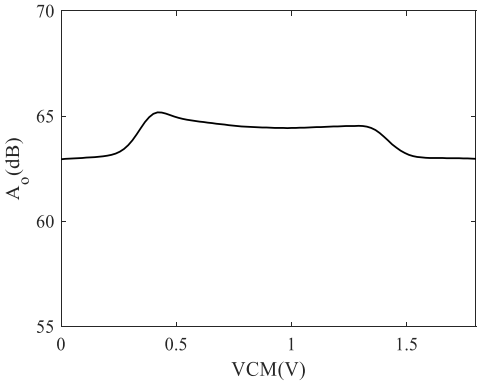


شکل ۴-۱۴: تغییرات ترارسانایی طبقه ورودی به ازای ولتاژ حالت_مشترک ورودی در ساختار تغییر جریان دنباله

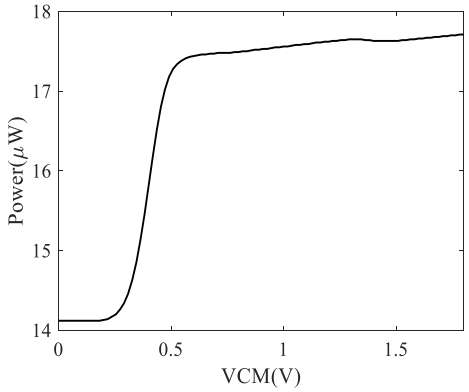
تغییرات ترارسانایی طبقه ورودی در این ساختار مقدار مناسبی به‌دست آمده است. توان مصرفی این ساختار از توان مصرفی ساختار Rail-to-Rail مرسوم بیشتر است. علت استفاده از دو زوج M_6-M_5 جهت کنترل زوج‌های کمکی M_4-M_3 است. در این ساختار به ازای ولتاژهای حالت_مشترک مختلف دو زوج روشن است. هم‌چنین طراحی این ساختار نسبت سایر ساختارها راحت‌تر است. نمودار تغییرات بهره، حاشیه فاز، پهنای باند بهره واحد و توان مصرفی در شکل ۴-۱۵ نشان داده شده است.



(ب)



(الف)



(ج)

شکل ۴-۱۵: تغییرات نمودارهای (الف)بهره، (ب)پهنای باند بهره واحد، (ج)توان مصرفی به ازای تغییرات ولتاژ حالت_مشترک ورودی در ساختار تغییر جریان دنباله

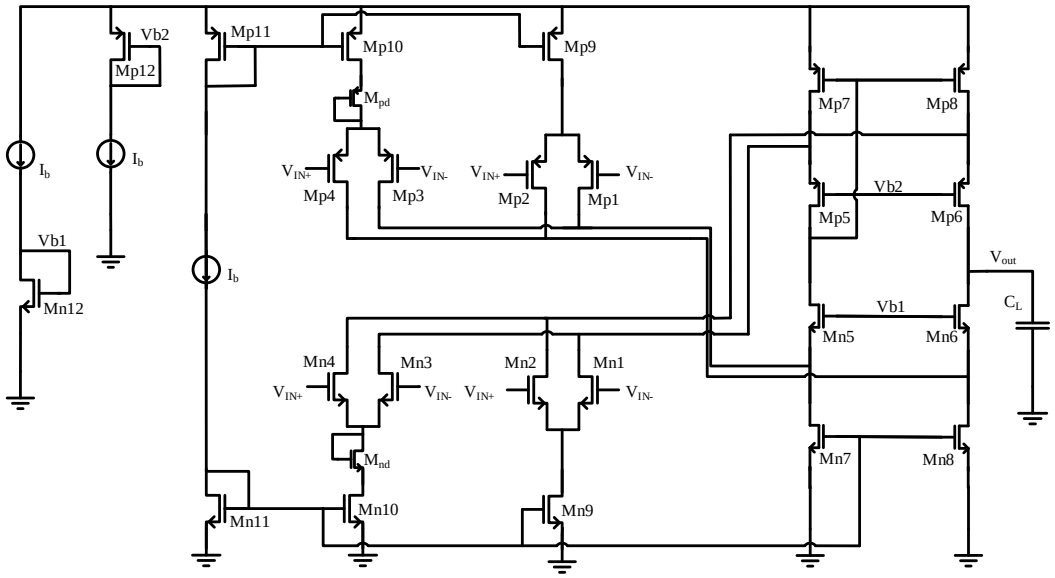
جدول ۴-۵: نتایج حاصل از شبیه‌سازی ساختار تغییر جریان دنباله

	واحد	ولتاژ حالت_مشترک ورودی			کمینه	بیشینه	میانگین
		۰ ولت	۰/۹ولت	۱/۸ولت			
بهره	دسیبل	۶۲/۹	۶۴/۴	۶۲/۹	۶۲/۹	۶۵/۱	۶۴
پهنای باند بهره واحد	کیلوهرتز	۳۵۹	۳۴۸	۳۶۲/۸	۳۴۸	۳۵۶/۶	۳۵۶/۲
حاشیه فاز	درجه	۹۰/۴	۹۰/۳	۹۰/۲	۹۰/۲	۹۰/۴	۹۰/۳
توان مصرفی	میکروووات	۱۴/۱	۱۷/۵	۱۷/۷	۱۴/۱	۱۷/۷	۱۶/۸
تغییرات ترارسانایی	درصد	۶					

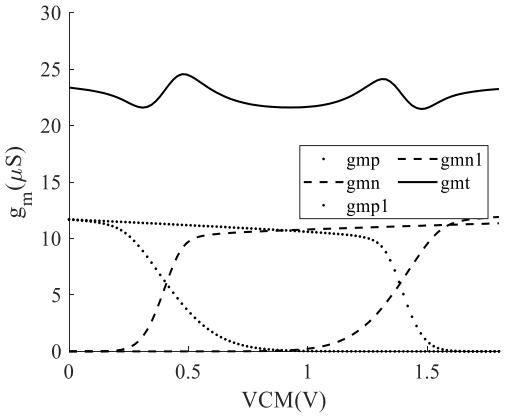
۴-۲-۵ شبیه‌سازی ساختار پیشنهادشده

طرح مداری استفاده شده در این شبیه‌سازی در شکل ۴-۱۶ نشان داده شده است. تغییرات ترارسانایی به‌دست آمده در این ساختار برابر با ۱۳ درصد است که در شکل ۴-۱۷ نشان داده

شده است. در ساختار پیشنهادی ترارسانایی در سطح $2g_m$ قرار دارد. در این ساختار ابعاد ترانزیستور اتصال‌ـ دیودی با توجه به نمودار تغییرات ترارسانایی تعیین می‌شود.

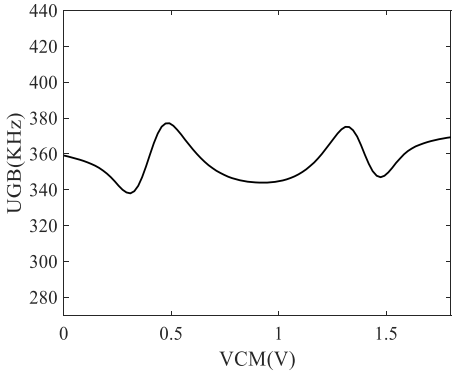


شکل ۴-۱۶: طرح مداری استفاده شده جهت شبیه‌سازی ساختار پیشنهادشده

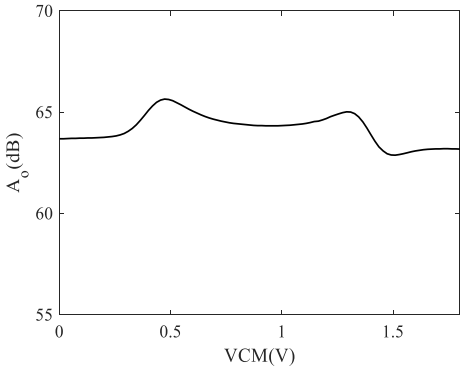


شکل ۴-۱۷: تغییرات ترارسانایی ساختار پیشنهادشده به ازای ولتاژ حالت‌ـ مشترک ورودی

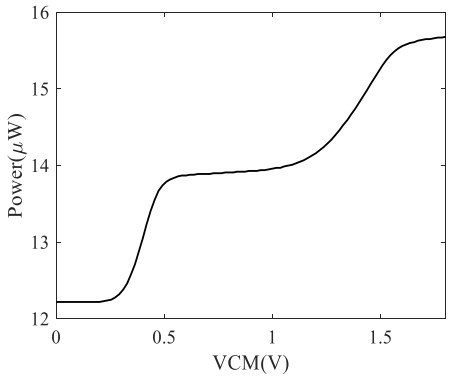
نمودارهای بهره، حاشیه فاز، پهنای باند بهره واحد و توان مصرفی مانند شکل ۴-۱۸ شده است. در جدول ۴-۶ کمیت‌های به‌دست آمده از ساختار فوق آورده شده است. توان مصرفی ساختار پیشنهاد شده در مقایسه با ساختار Rail-to-Rail مرسوم کاهش یافته است. در این طرح به ازای ولتاژهای حالت‌ـ مشترک مختلف دو زوج ورودی روشن است ولی توان مصرفی این ساختار با ساختار تغییر سطح ولتاژ ورودی اصلاح‌شده برابر است. در این ساختار تغییرات ترارسانایی نسبت به ساختار تغییر سطح ولتاژ ورودی اصلاح‌شده کاهش یافته است.



(ب)



(الف)



(ج)

شکل ۴-۱۸: تغییرات نمودارهای (الف)بهره، (ب)پهنای باند بهره واحد، (ج)توان مصرفی به ازای تغییرات ولتاژ حالت_مشترک ورودی در ساختار پیشنهادشده

جدول ۴-۶: نتایج حاصل از شبیه‌سازی ساختار پیشنهادشده

	واحد	ولتاژ حالت_مشترک ورودی			کمینه	بیشینه	میانگین
		۰ ولت	۰/۹ولت	۱/۸ولت			
بهره	دسیبل	۶۳/۶	۶۳/۳	۶۳/۱	۶۲/۸	۶۵/۶	۶۴/۱
پهنای باند بهره واحد	کیلوهرتز	۳۵۹/۱	۳۴۴	۳۶۹/۳	۳۳۸	۳۷۷/۱	۳۵۶/۲
حاشیه فاز	درجه	۹۰/۶	۹۰/۴	۹۰/۳	۹۰/۳	۹۰/۶	۹۰/۴
توان مصرفی	میکروواوت	۱۲/۲	۱۳/۹	۱۵/۶	۱۲/۲	۱۵/۶	۱۳/۹
تغییرات ترارسانایی	درصد	۱۳					

۴-۲-۶ جمع‌بندی

با استفاده از یک عدد شایستگی شبیه‌سازی‌های انجام شده با یکدیگر مقایسه می‌شود. بار خازنی ساختارها یکسان است، لذا می‌توان در این مقایسه در نظر گرفته نشود. حاشیه فاز تمامی ساختارها مقداری مطلوب دارد، لذا می‌توان این کمیت را نیز در نظر نگرفت. با توجه

به توان مصرفی، پهنای باند بهره واحد، توان متوسط می‌توان از معیار شایستگی معرفی شده در ۴-۱ استفاده کرد [۲۸].

$$FOM1 = \frac{UGB(MHz) \times Gain(dB)}{POWER(\mu W)} \quad (۱-۴)$$

با توجه به معیار شایستگی تعریف شده در ۴-۱ می‌توان جدول مقایسه‌ای برای ساختارهای فوق مانند جدول ۴-۷ بیان کرد. همان‌طور از جدول مقایسه پیداست ساختار پیشنهادشده دارای بیش‌ترین مقدار معیار شایستگی حاصل شده است.

جدول ۴-۷: جدول مقایسه

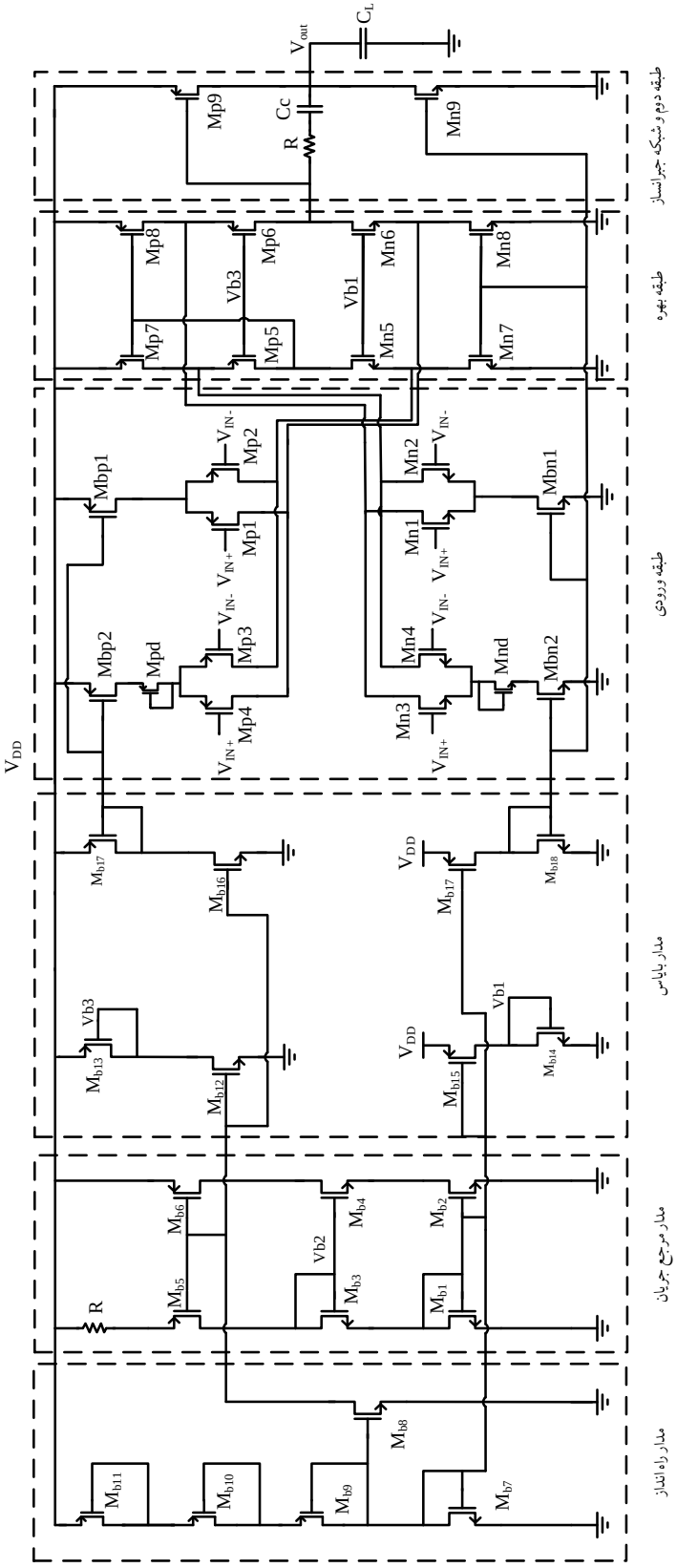
	معیار شایستگی در ولتاژ حالت_مشترک ورودی مختلف			معیار شایستگی در میانگین
	۰ولت	۰/۹ ولت	۱/۸ ولت	
منبع وابسته PMOS	۰/۷۷۶	۰/۸۵۷	۱/۳۳۵	۰/۹۵۲
منبع وابسته NMOS	۱/۷۰۴	۰/۹۵۷	۰/۷۴۱	۱/۰۴۰
تغییر سطح ولتاژ ورودی اصلاح‌شده	۱/۷۰۴	۱/۵۹۷	۱/۳۴۱	۱/۵۴۳
تغییر جریان دنباله	۱/۶۰۱	۱/۲۸۰	۱/۲۸۹	۱/۳۵۶
ساختار پیشنهادشده	۱/۸۷۲	۱/۵۶۶	۱/۴۹۳	۱/۶۴۲

۴-۳ دستیابی به Rail-to-Rail خروجی با یک سورس_مشترک به عنوان طبقه دوم

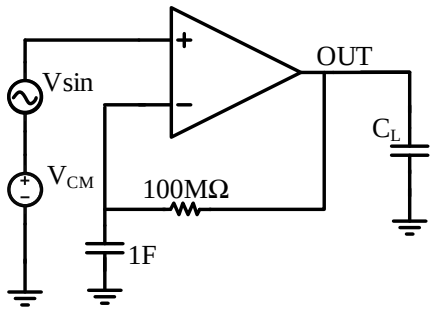
در این بخش به بیان نتایج شبیه‌سازی ساختار دوطبقه که در فصل سوم معرفی شده است پرداخته می‌شود. در این ساختار از یک مدار مرجع جریان نیز استفاده شده است [۲۹]. طرح مداری استفاده شده در شکل ۴-۱۹ نشان داده شده است. در ادامه با انجام آزمایش‌هایی مشخصات تقویت‌کننده پیشنهادشده به‌دست آورده می‌شود.

۴-۳-۱ پاسخ فرکانسی

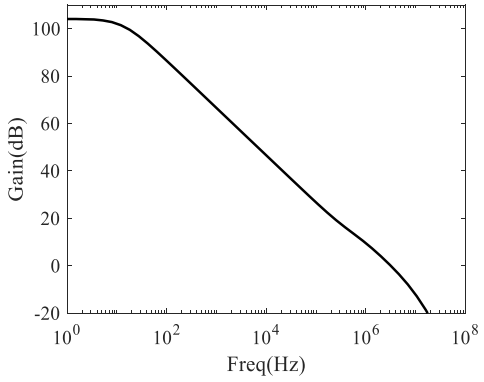
در این آزمایش از طرح مداری نشان داده شده در شکل ۴-۲۰ استفاده شده است. دلیل استفاده از این ساختار تست تقویت‌کننده در ساختار حلقه با است. مقاومت و خازن نقش یک فیلتر پایین گذر را دارند که منجر به عبور ولتاژ DC و عدم عبور سیگنال AC می‌شود. به ازای ولتاژ حالت_مشترک ۰/۹ ولت نمودار بهره و حاشیه فاز مانند شکل ۴-۲۱ است. به ازای ولتاژ حالت_مشترک ۰/۹ ولت، بهره این مدار ۱۰۳/۹ دسیبل، پهنای باند بهره واحد ۳/۱۶ مگاهرتز و حاشیه فاز برابر با ۷۳/۹ درجه است. هم‌چنین تغییرات بهره، پهنای باند بهره واحد و حاشیه فاز به ازای تغییرات ولتاژ حالت_مشترک در شکل ۴-۲۲ نشان داده شده است.



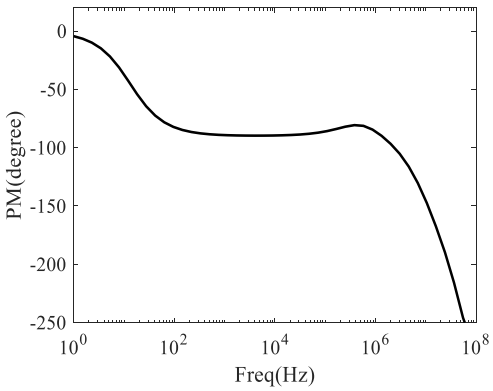
شکل ۴-۱۹: طرح مداری دوطبقه پیشنهادشده



شکل ۴-۲۰: طرح مداری استفاده در آزمایش پاسخ فرکانسی

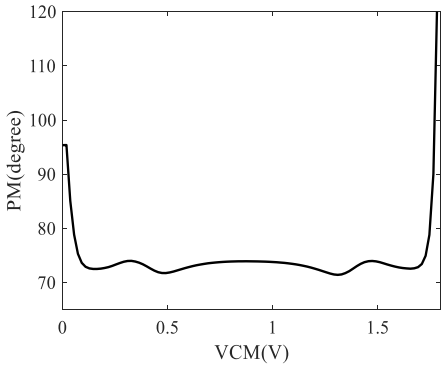


(الف)

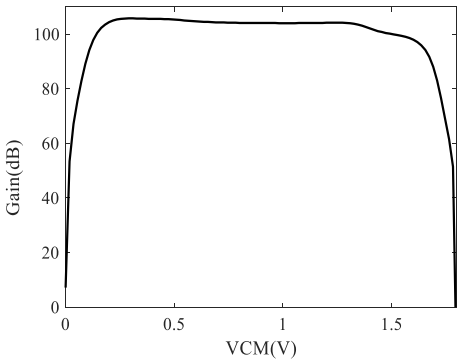


(ب)

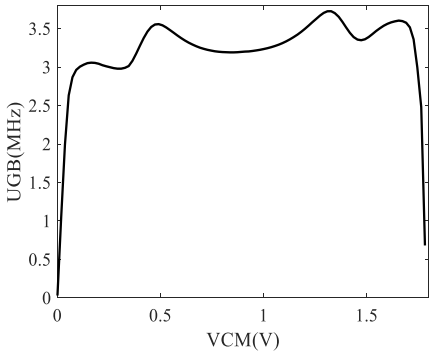
شکل ۴-۲۱: نمودارهای (الف)بهره، (ب)حاشیه فاز به ازای ولتاژ حالت_مشترک ۰/۹ ولت در ساختار دوطبقه پیشنهادی



(ب)



(الف)

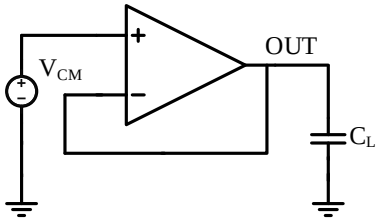


(ج)

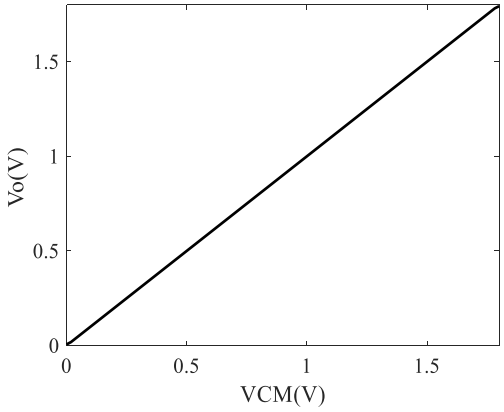
شکل ۴-۲۲: تغییرات (الف)بهره، (ب)حاشیه فاز، (ج)پهنای باند بهره واحد در ازای تغییرات ولتاژ حالت‌ـ مشترک در ساختار دوطبقه پیشنهادی

۴-۳-۲ محدوده حالت‌ـ مشترک ورودی

در این آزمایش محدوده حالت‌ـ مشترک ورودی اندازه گرفته می‌شود. برای این آزمایش از طرح مداری نشان داده شده در شکل ۴-۲۳ استفاده شده است. همان‌طور که در شکل ۴-۲۴ نشان داده شده، تقویت‌کننده طراحی شده Rail-to-Rail است.



شکل ۴-۲۳: طرح مداری استفاده شده در آزمایش محدوده حالت‌ـ مشترک ورودی



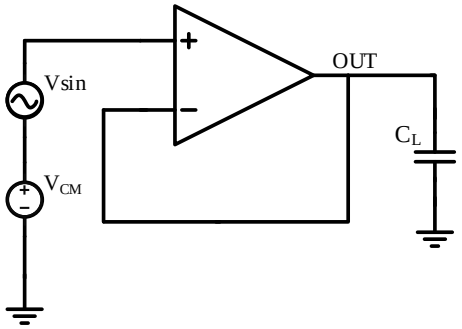
شکل ۴-۲۴: نمودار حاصل شده از آزمایش ولتاژ حالت_مشترک ورودی

۴-۳-۳ دامنه نوسان خروجی

در طبقه دوم تقویت‌کننده پیشنهادی، از یک ساختار سورس_مشترک استفاده شده است. با توجه به این موضوع تقویت‌کننده پیشنهادی دارای دامنه نوسان خروجی Rail-to-Rail با محدودیت ولتاژ درین_سورس ترانزیستورهای طبقه خروجی است.

۴-۳-۴ THD

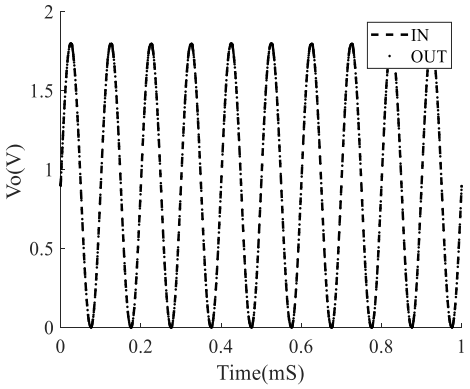
برای آزمایش THD [1] از طرح مداری نشان داده شده در شکل ۴-۲۵ استفاده شده است. به ورودی یک سینوسی Rail-to-Rail داده شده و THD خروجی با استفاده از Spectre نرم‌افزار کیدنس اندازه‌گیری شده است.



شکل ۴-۲۵: طرح مداری استفاده شده در آزمایش THD

[1] Total Harmonic Distortion

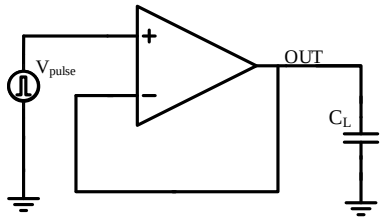
شکل موج ورودی و خروجی در شکل ۴-۲۶ نشان داده شده است. بر این اساس THD به‌دست آمده برابر با ۰/۱۹ درصد است.



شکل ۴-۲۶: شکل موج ورودی و خروجی حاصل از شبیه‌سازی تقویت‌کننده THD

۴-۳-۵ نرخ چرخش و زمان نشست

در این شبیه‌سازی که از طرح مداری نشان داده شده در شکل ۴-۲۷ استفاده شده است. به ورودی مثبت تقویت‌کننده یک پالس تمام‌مقیاس داده شده و نحوه دنبال کردن ورودی توسط پایه منفی، معیار محاسبه نرخ چرخش و زمان نشست تقویت‌کننده است.

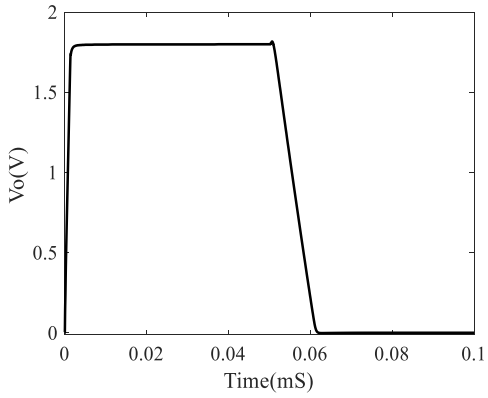


شکل ۴-۲۷: طرح مداری استفاده شده در آزمایش نرخ چرخش و زمان نشست

نتیجه به‌دست آمده برای نرخ چرخش مثبت و منفی در شکل ۴-۲۸ نشان داده شده است. میانگین نرخ چرخش برای این تقویت‌کننده برابر با $V/\mu s$ ۰/۳۳ است. هم‌چنین میزان زمان نشست تقویت‌کننده نیز برابر با ۲۱ میکروثانیه به ازای ۱/۸ ولت است.

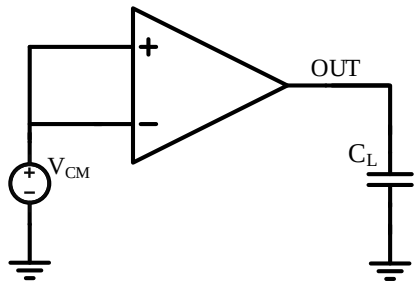
۴-۳-۶ توان مصرفی

برای آزمایش توان مصرفی با استفاده از طرح مداری شکل ۴-۲۹ و انجام یک جاروب DC توان مصرفی منبع تغذیه به‌دست می‌آید. نمودار توان مصرفی تقویت‌کننده به ازای ولتاژهای

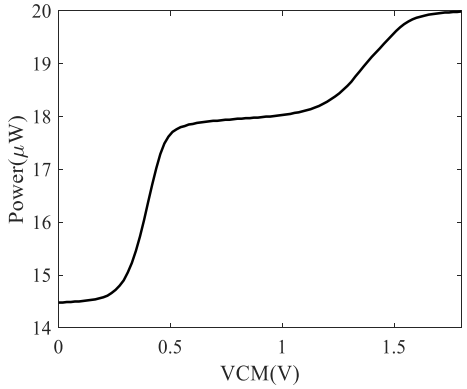


شکل ۴-۲۸: نمودار نرخ چرخش به‌دست آمده

حالت‌ـ‌مشترک مختلف در شکل ۴-۳۰ نشان داده شده است. بیش‌ترین توان مصرفی در این شبیه‌سازی ۲۰ میکروواتاست که به عنوان توان مصرفی این تقویت‌کننده گزارش شده است.



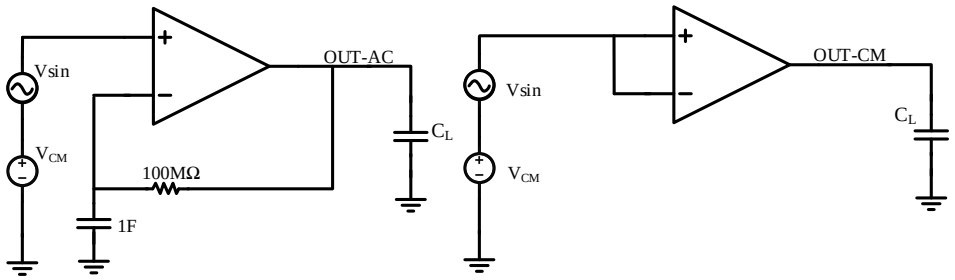
شکل ۴-۲۹: طرح مداری استفاده شده در آزمایش توان مصرفی



شکل ۴-۳۰: نمودار توان مصرفی به ازای ولتاژهای حالت‌ـ‌مشترک مختلف

CMRR ۷-۳-۴

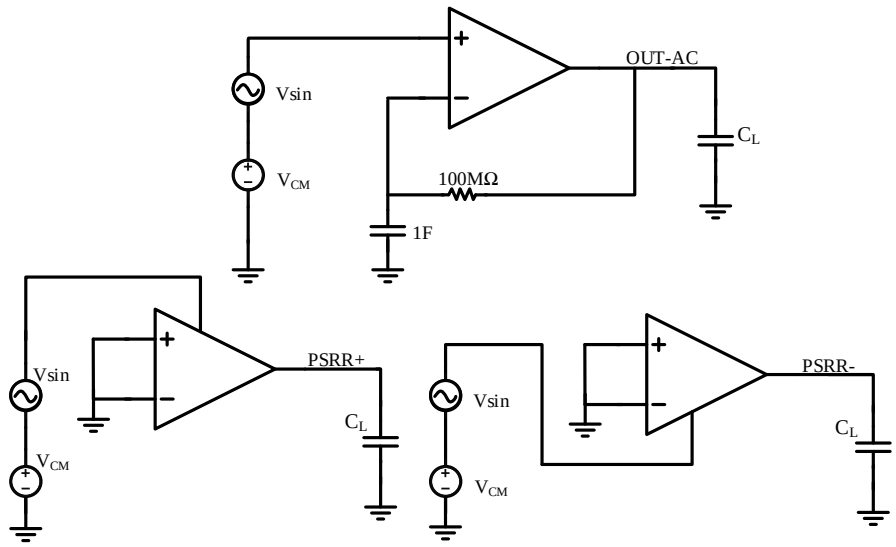
برای انجام آزمایش CMRR [1] از طرح مداری شکل ۴-۳۱ استفاده می‌شود. در این طرح مداری با تقسیم بهره پاسخ فرکانسی بر بهره ورودی حالت‌ـ مشترک، مقدار CMRR به‌دست می‌آید. مقدار CMRR برابر با ۱۱۱/۹ دسیبل است. ولتاژ حالت‌ـ مشترک ورودی در این آزمایش برابر با ۰/۹ ولت است.



شکل ۴-۳۱: طرح مداری استفاده شده در آزمایش CMRR

PSRR ۸-۳-۴

برای انجام آزمایش PSRR [2] از طرح مداری شکل ۴-۳۲ استفاده می‌شود.



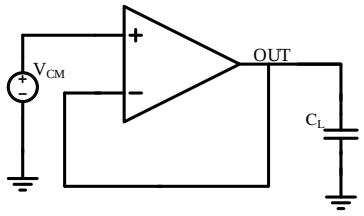
شکل ۴-۳۲: طرح مداری استفاده شده در آزمایش PSRR

[1] Common Mode Rejection Ratio
[2] Power Supply Rejection Ratio

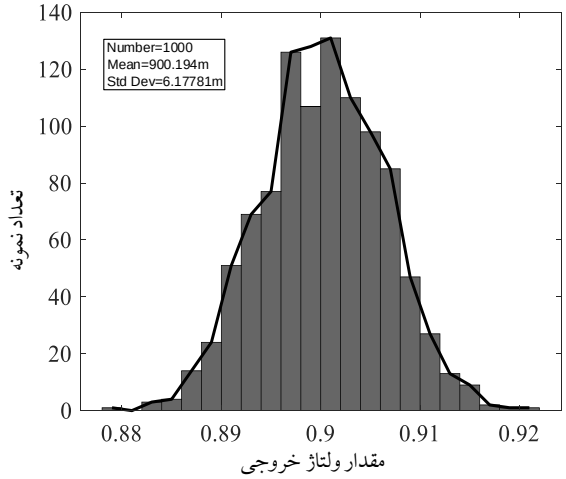
در این آزمایش PSRR از تقسیم بهره پاسخ فرکانسی بر بهره دیده شده از پایه مثبت تغذیه و یا از تقسیم بهره پاسخ فرکانسی بر بهره دیده شده از پایه منفی تغذیه به‌دست می‌آید. مقدار PSRR+ برابر با ۱۴۳/۵ و PSRR- برابر با ۱۳۲/۹ است.

۹-۳-۴ آفست

برای محاسبه آفست از طرح مداری نشان داده شده در شکل ۴-۳۳ استفاده می‌شود. به ولتاژ حالت‌ـ مشترک یک مقدار DC اختصاص داده شده و سپس با استفاده از یک شبیه‌سازی مونت‌کارلو مقدار آفست تقویت‌کننده به‌دست آورده می‌شود. همان‌طور که در نمودار هیستوگرام شکل ۴-۳۴ مشاهده می‌شود، مقدار آفست در ورودی تقویت‌کننده برابر با ۶/۱ میلی‌ولت است. شبیه‌سازی مونت‌کارلو برای ۱۰۰۰ نمونه انجام شده است.



شکل ۴-۳۳: طرح مداری استفاده شده در شبیه‌سازی آفست

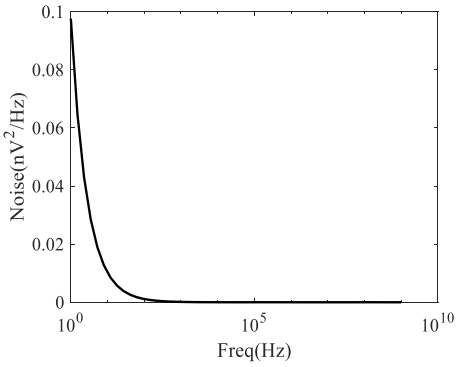


شکل ۴-۳۴: نمودار هیستوگرام به‌دست آمده از شبیه‌سازی مونت‌کارلو

۱۰-۳-۴ نویز ارجاع داده شده به ورودی

برای آزمایش نویز ارجاع داده شده به ورودی نیز از طرح مداری شکل ۴-۲۰ استفاده شده است. نمودار نویز ارجاع داده شده به ورودی در شکل ۴-۳۵ نشان داده شده است. نویز ارجاع

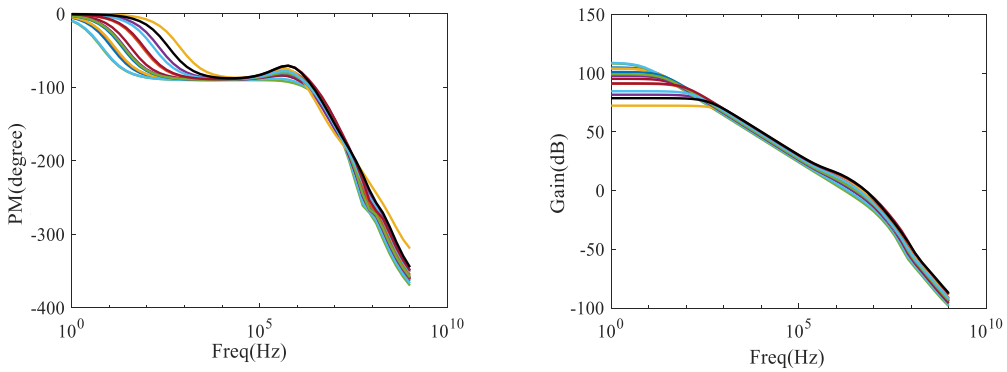
داده شده به ورودی در فرکانس‌های ۱ تا ۱۰۰ کیلوهرتز برابر با ۱/۲۹ nV^2/Hz است.



شکل ۴-۳۵: نمودار نویز در فرکانس‌های مختلف

۴-۳-۱۱ گوشه‌های پروسه و تغییرات دمایی

برای بررسی رفتار تقویت‌کننده در گوشه‌های مختلف با دماهای متفاوت از طرح مداری شکل ۴-۲۰ برای بهره و حاشیه فاز استفاده شده است. در این آزمایش مدار یاد شده برای گوشه‌های TT، SS، SF، FS و FF در دماهای ۰، ۲۵ و ۸۵ درجه سانتی‌گراد بررسی می‌شود. در شکل ۴-۳۶ نحوه رفتار تقویت‌کننده در گوشه‌های مختلف با دماهای متفاوت دیده می‌شود. تقویت‌کننده طراحی شده در تمامی گوشه‌ها پایدار و حداقل ۷۰ دسیبل بهره دارد. لازم به ذکر است که بیش‌ترین بهره و حاشیه فاز در گوشه SS با دمای ۲۵ درجه سانتی‌گراد، کم‌ترین بهره و حاشیه فاز در گوشه FF با دمای ۲۵ درجه سانتی‌گراد رخ می‌دهد.



(ب) (الف)

شکل ۴-۳۶: رفتار (الف)بهره، (ب)حاشیه فاز تقویت‌کننده در گوشه‌های مختلف با دماهای متفاوت

۴-۳-۱۲ جمع‌بندی

در جدول ۴-۸ مشخصات به‌دست آمده از تقویت‌کننده پیشنهادی آورده شده است.

جدول ۴-۸: مشخصات به‌دست آمده از شبیه‌سازی تقویت‌کننده دوطبقه پیشنهادی

عنوان	واحد	مقدار	عنوان	واحد	مقدار
منبع تغذیه	ولت	۱/۸	بهره	دسیبل	۱۰۳/۹
حاشیه فاز	درجه	۷۳/۹	پهنای باند بهره واحد	مگاهرتز	۳/۱۶
میانگین نرخ چرخش	$V/\mu s$	۰/۳۳	زمان نشست	میکروثانیه	۱۲
آفست	میلی‌ولت	۶/۱	CMRR	دسیبل	۱۱۹/۹
نویز ارجاع شده به ورودی	nV^2/Hz	۱/۲۹	PSRR(-/+)	دسیبل	۱۳۲/۹-۱۴۳/۵
توان مصرفی	میکروواط	۲۰	THD	درصد	۰/۱۹

در این قسمت با استفاده از FOM1،FOM2 و FOM_L، که در رابطه ۴-۲ و ۴-۳ معرفی شده است [۳۰]، به مقایسه تقویت‌کننده پیشنهادی با سایر کارهای انجام شده در این زمینه پرداخته می‌شود.

$$FOM2 = \frac{UGB(MHz) \times C_L(pF)}{POWER(\mu W)} \quad (۲-۴)$$

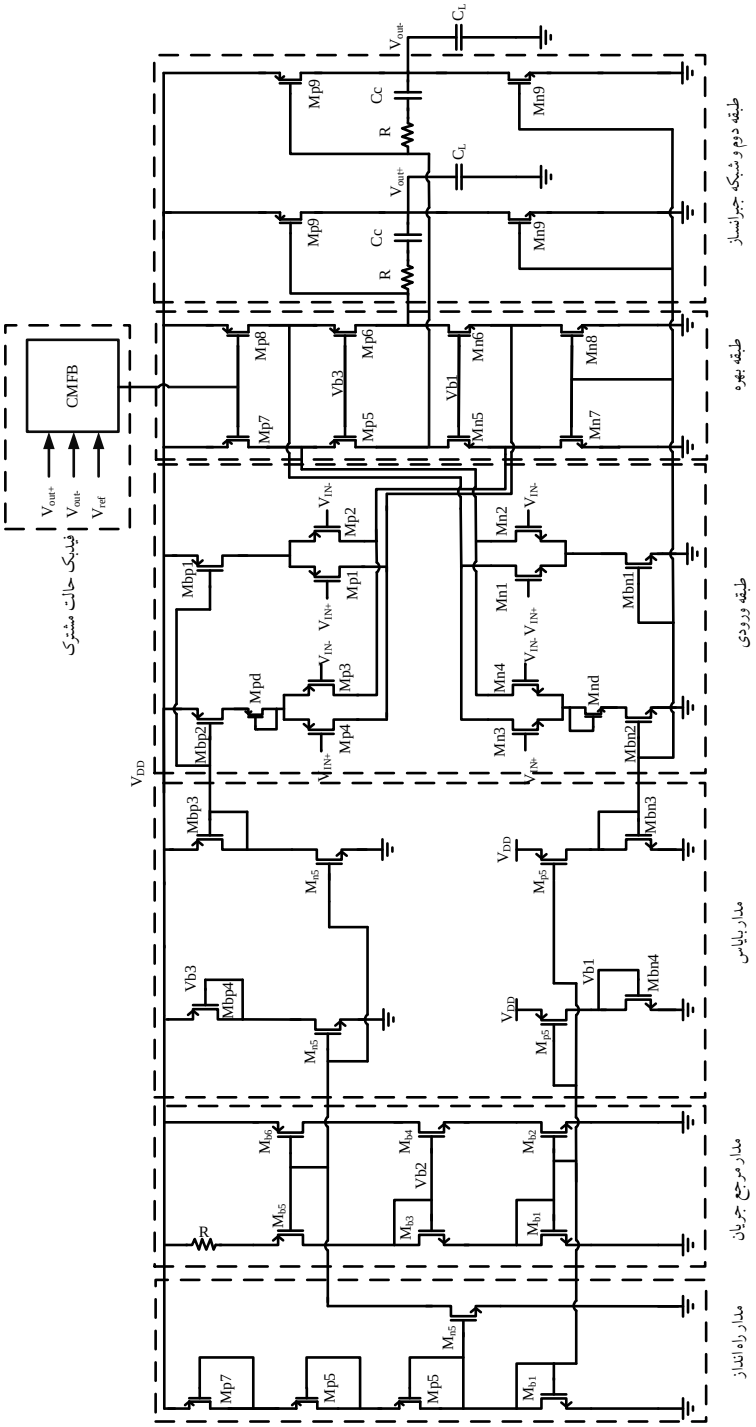
$$FOM_L = \frac{SR(V/\mu s) \times C_L(pF)}{POWER(\mu W)} \quad (۳-۴)$$

جدول ۴-۹: مقایسه با سایر کارهای انجام شده

	واحد	[۳]	[۳۱]	[۲۵]	[۳۲]	[۳۳]	[۳۰]	[۳۴]	پیشنهادشده
سال	–	۲۰۰۵	۲۰۱۵	۲۰۰۹	۲۰۱۲	۲۰۰۸	۲۰۰۵	۲۰۱۳	۲۰۲۱
فناوری	نانومتر	۳۵۰	۱۸۰	۱۸۰	۱۸۰	۱۸۰	۱۸۰	۱۳۰	۱۸۰
منبع تغذیه	ولت	۳	۰/۵	۱/۸	۰/۵	۰/۶۵	۱/۸	۱	۱/۸
بهره	دسیبل	۱۶۵	۷۷	۹۹/۶	۶۰	۶۵	۱۰۰	۹۵/۱	۱۰۳/۹
حاشیه فاز	درجه	۶۵/۵	۵۶	۶۷/۷	۵۲	۵۱	۴۷	۷۲	۷۳/۹
پهنای باند بهره واحد	مگاهرتز	۴۷/۸	۰/۰۰۴	۱۷/۳	۰/۱۰۲	۰/۲	۱۰۰	۳/۷	۳/۱۶
بار خازنی	پیکوفاراد	۱۵	۴۰	۵	۲۰	۲۰	۱۵	۹۵	۱۰
نرخ چرخش	$V/\mu s$	۴۲	۰/۰۰۲	۱۰/۷۱	۰/۳۳	۰/۰۱۹	۳۴/۲۵	۱/۶۶	۰/۳۳
توان مصرفی	میکروواط	۹۸۰۰	۰/۰۷	۸۹/۰۲	۱/۵	۲/۱	۳۵۵۰	۱۸۷	۲۰
تغییرات ترارسانایی	درصد	۵/۸	N/A	۵/۴	۶/۹	۱۴/۵	۴	۴/۸	۱۳
عدد شایستگی ۱	$\frac{MHz \times dB}{\mu W}$	۰/۸	۴.۴	۱۹/۳	۴/۰۸	۶/۱	۲/۸	۱۷/۵	۱۶/۴۱
عدد شایستگی ۲	$\frac{MHz \times pF}{\mu W}$	۰/۰۷	۲/۲۸	۰/۹۷	۱/۱۳	۱/۹۰	۰/۴۲	۱/۸۷	۱/۵۸
عدد شایستگی ۳	$\frac{MHz \times pF}{\mu W}$	۰/۰۶	۱/۱۴	۰/۶۰	۳	۰/۱۸	۰/۱۴	۰/۸۴	۰/۱۶۵

۴-۴ ساختار تمام‌تفاضلی

ساختار تمام‌تفاضلی پیشنهادشده در شکل ۴-۳۷ نشان داده شده است.

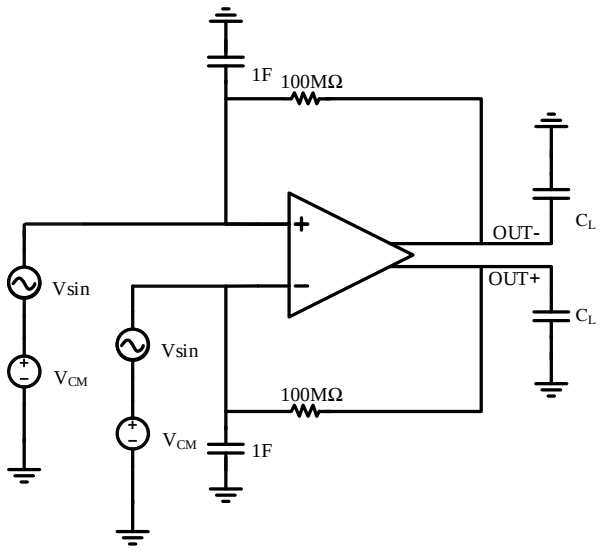


شکل ۴-۳۷: طرح مداری تمام‌تفاضلی پیشنهادشده

از مدار بازخورد حالت‌ـ مشترک معرفی شده در فصل سوم بخش ساختار تمام‌تفاضلی، در این مدار استفاده شده است. در ادامه همانند قسمت تک‌سر با انجام آزمایش‌هایی مشخصات تقویت‌کننده تمام‌تفاضلی پیشنهادشده به‌دست آورده می‌شود. ذکر این نکته قبل از شروع به انجام آزمایش‌ها مهم است که در تقویت‌کننده‌های تمام‌تفاضلی به علت حذف بهره مشترک، CMRR، PSRR و THD مقدار مطلوبی دارند لذا در این بخش از انجام این آزمایش‌ها خودداری شده است.

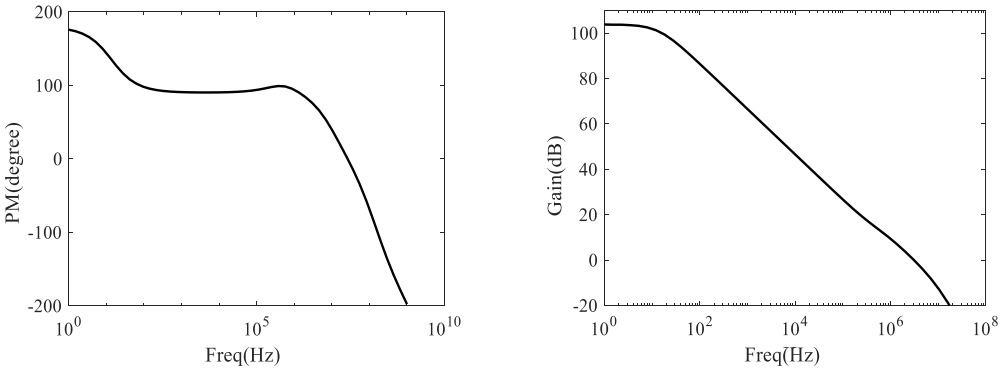
۱-۴-۴ پاسخ فرکانسی

برای یافتن پاسخ فرکانسی از طرح مداری نشان داده شده در شکل ۴-۳۸ استفاده شده است. پاسخ فرکانسی به ازای ولتاژ حالت‌ـ مشترک ۰/۹ ولت در شکل ۴-۳۹ نشان داده شده است. همان‌طور که در نمودار مشخص است به ازای ولتاژـ حالت مشترک ۰/۹ ولت بهره DC این مدار ۱۰۳/۷ دسیبل، پهنای باند بهره واحد ۳/۱۰ مگاهرتز و حاشیه فاز برابر با ۷۵/۵ درجه است. هم‌چنین تغییرات بهره، حاشیه فاز و پهنای باند بهره واحد به ازای ولتاژهای حالت‌ـ مشترک مختلف در شکل ۴-۴۰ نشان داده شده است.



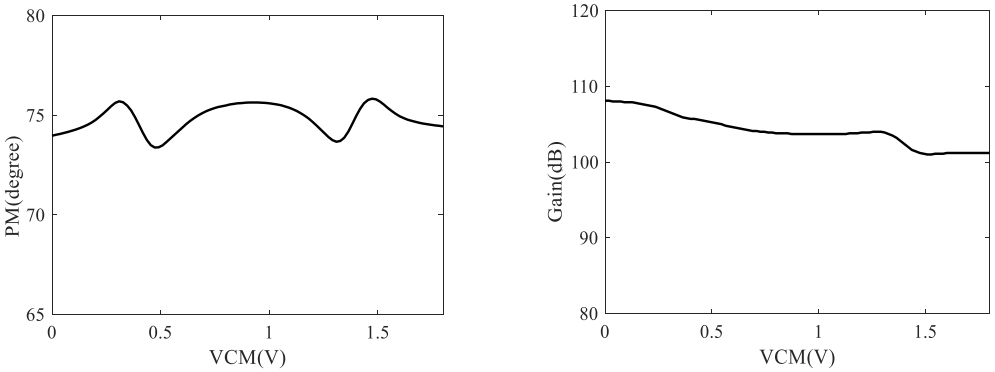
شکل ۴-۳۸: طرح مداری پیشنهادشده برای آزمایش پاسخ فرکانسی

با توجه به عدم تغییر ساختار ورودی تقویت‌کننده تمام‌تفاضلی نسبت به حالت تک‌سر، محدوده حالت‌ـ مشترک ورودی مشابه قسمت تک‌سر است. هم‌چنین دامنه نوسان خروجی نیز مشابه حالت تک‌سر Rail-to-Rail و محدود به ولتاژ درین‌ـ سورس ترانزیستورهای طبقه خروجی بوده با این تفاوت که عملکرد تقویت‌کننده به صورت تمام‌تفاضلی است.

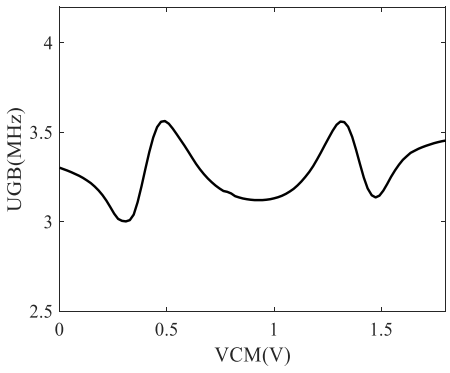


(ب) (الف)

شکل ۴-۳۹: نمودارهای (الف)بهره، (ب)حاشیه فاز به ازای ولتاژ حالت_مشترک ۰/۹ ولت



(ب) (الف)

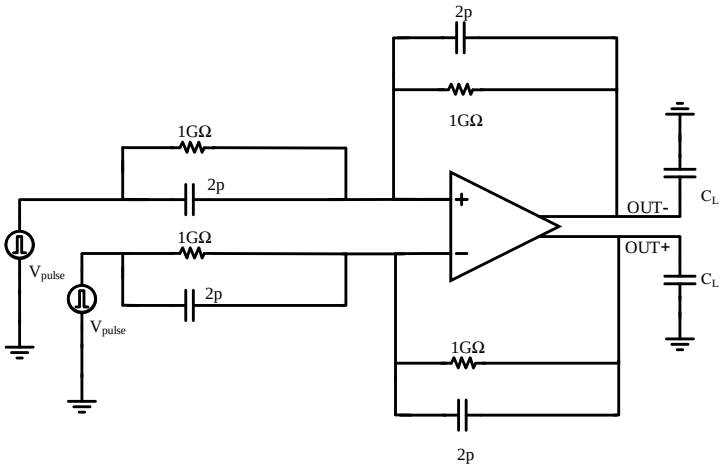


(ج)

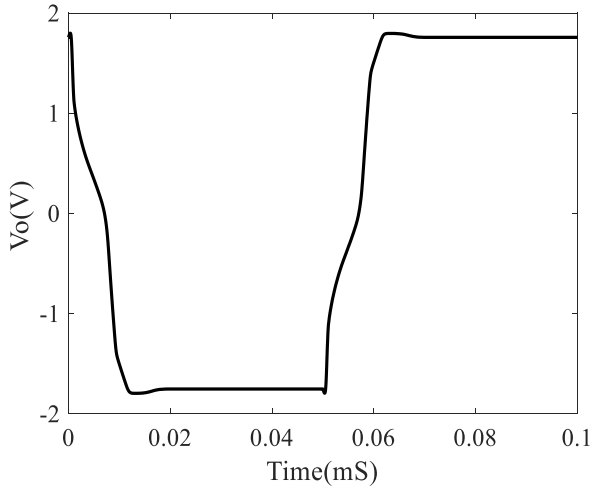
شکل ۴-۴۰: تغییرات (الف)بهره، (ب)حاشیه فاز، (ج)پهنای باند بهره واحد به ازای تغییرات ولتاژ حالت_مشترک ورودی

۲-۴-۴ نرخ چرخش و زمان نشست

در این شبیه‌سازی از طرح مداری نشان داده شده در شکل ۴-۴۱ استفاده شده است. نمودار نرخ چرخش در شکل ۴-۴۲ نشان داده شده است. میانگین نرخ چرخش برای این تقویت‌کننده برابر با ۰٫۲۷ $V/\mu s$ است. هم‌چنین میزان زمان نشست تقویت‌کننده نیز برابر با ۱۲٫۵ میکروثانیه است.



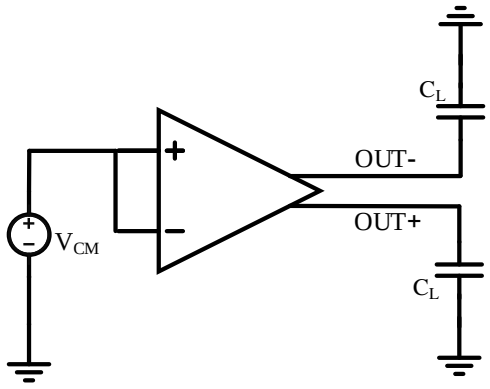
شکل ۴-۴۱: طرح مداری استفاده شده در آزمایش نرخ چرخش و زمان نشست



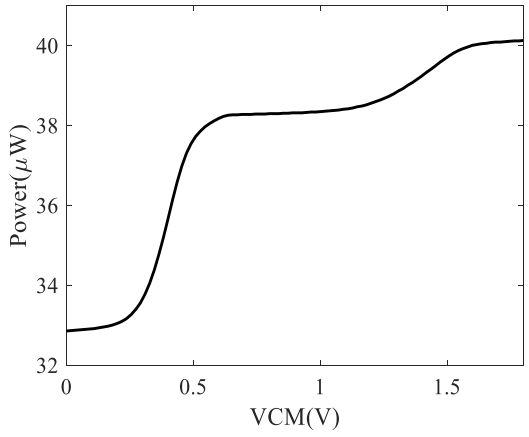
شکل ۴-۴۲: نمودار نرخ چرخش به‌دست آمده

۴-۴-۳ توان مصرفی

برای آزمایش توان مصرفی از طرح مداری شکل ۴-۴۳ استفاده کرده و با انجام یک جاروب DC توان مصرفی منبع تغذیه به‌دست می‌آید. نمودار توان مصرفی تقویت‌کننده به ازای ولتاژهای حالت‌ـ مشترک مختلف در شکل ۴-۴۴ نشان داده شده است. توان مصرفی در این شبیه‌سازی ۴۰/۱ میکروواوت است.



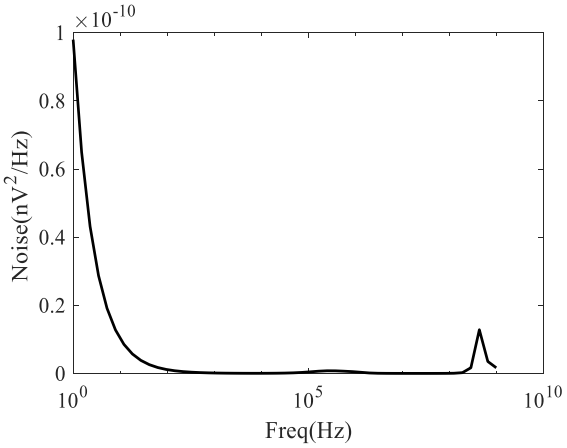
شکل ۴-۴۳: طرح مداری استفاده شده در آزمایش توان مصرفی



شکل ۴-۴۴: نمودار توان مصرفی به ازای ولتاژهای حالت‌ـ مشترک مختلف

۴-۴-۴ نویز ارجاع داده شده به ورودی

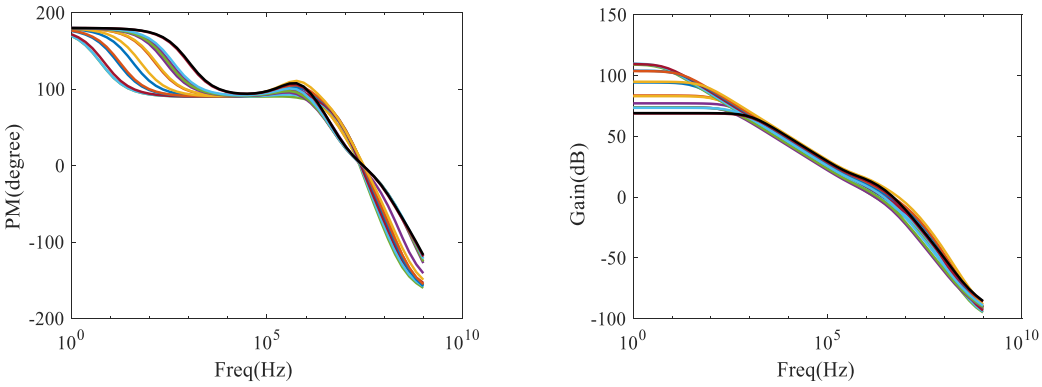
برای آزمایش نویز ارجاع داده شده به ورودی نیز از طرح مداری شکل ۴-۳۸ استفاده می‌شود. نمودار نویز ارجاع داده شده به ورودی در شکل ۴-۴۵ نشان داده شده است. نویز ارجاع داده شده به ورودی در فرکانس‌های ۱ تا ۱۰۰ کیلوهرتز برابر با nV^2/Hz ۱۸/۲ است.



شکل ۴-۴۵: نمودار نویز در فرکانس‌های مختلف

۴-۴-۵ گوشه‌های پروسه و تغییرات دمایی

همانند قسمت تک‌سر برای بررسی رفتار تقویت‌کننده در گوشه‌های مختلف با دماهای متفاوت از طرح مداری شکل ۴-۳۸ برای بهره و حاشیه فاز استفاده شده است. این آزمایش برای گوشه‌های TT، SS، SF، FS و FF در دماهای ۰، ۲۵ و ۸۵ درجه سانتی‌گراد بررسی می‌شود. در شکل ۴-۴۶ پاسخ فرکانسی تقویت‌کننده در گوشه‌های مختلف با دماهای متفاوت نشان داده شده است. تقویت‌کننده حداقل دارای ۷۰ دسیبل بهره و پایدار است.

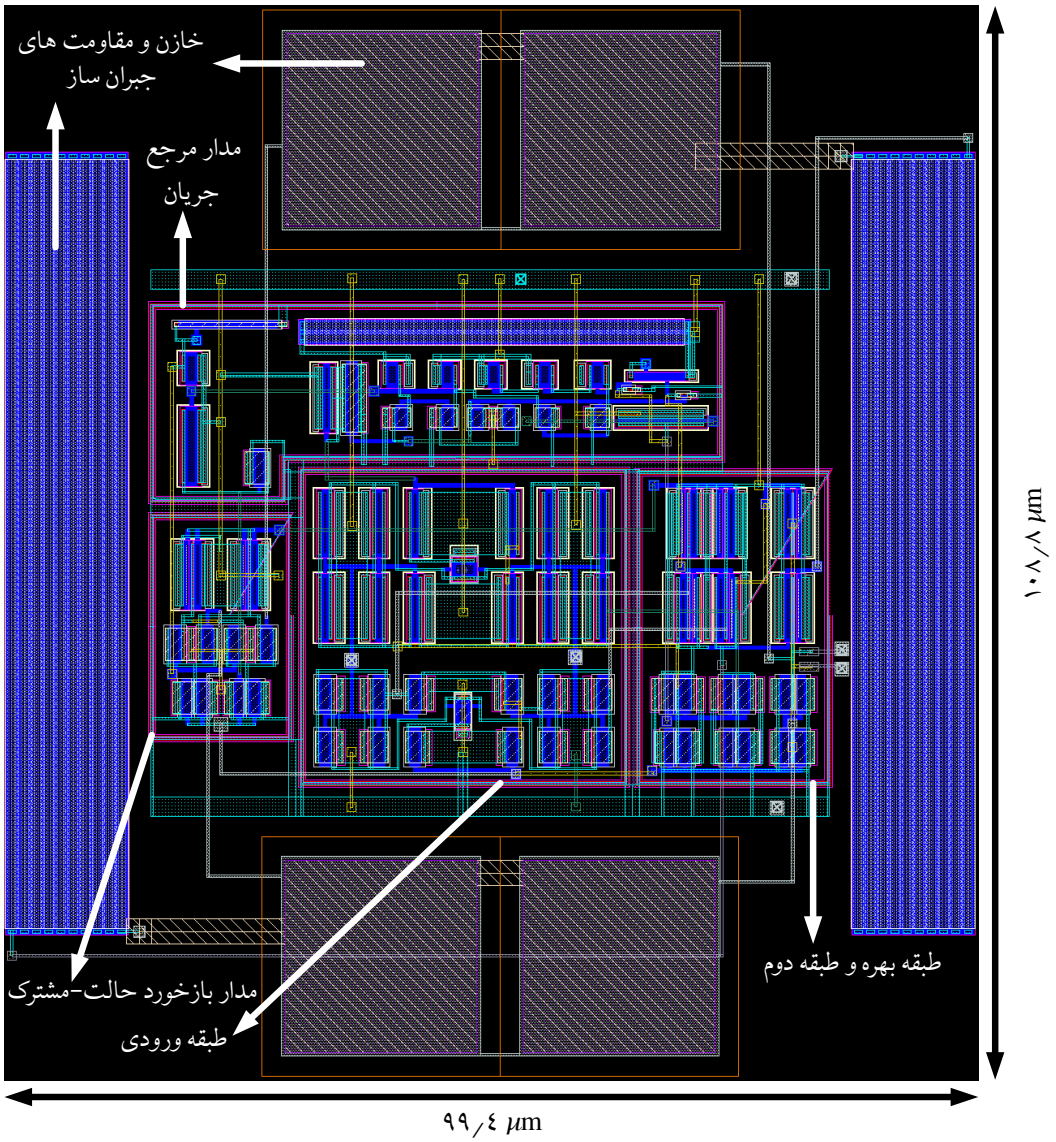


(ب) (الف)

شکل ۴-۴۶: رفتار (الف)بهره، (ب)حاشیه فاز تقویت‌کننده در گوشه‌های مختلف با دماهای متفاوت

۶-۴-۴ جانمایی

برای تقویت‌کننده تمام‌تفاضلی پیشنهادشده یک جانمایی نیز رسم شده که در شکل ۴-۴۷ نشان داده شده است. مساحت اشغالی جانمایی برابر با ۰/۰۱۰۸ میکرومتر مربع است.



شکل ۴-۴۷: جانمایی طرح تمام‌تفاضلی پیشنهادشده

۷-۴-۴ جمع‌بندی

نتایج حاصل از شبیه‌سازی تقویت‌کننده تمام‌تفاضلی پیشنهادشده در جدول ۴-۱۰ آورده شده است. طبق جدول ۴-۱۰ نتایج شبیه‌سازی نزدیک به نتایج شبیه‌سازی پس از جانمایی

است که نشان‌دهنده جانمایی مناسب است. ذکر این نکته لازم است که تست‌های انجام شده در این فصل بر اساس [۳۵]، [۳۶] انجام شده است.

جدول ۴-۱۰: نتایج شبیه‌سازی تقویت‌کننده تمام‌تفاضلی پیشنهادشده

عنوان	واحد	نتایج شبیه‌سازی	نتایج شبیه‌سازی پس از جانمایی
بهره	دسیبل	۱۰۳/۷	۱۰۳/۶
حاشیه فاز	درجه	۷۵/۵	۷۲/۳
پهنای باند بهره واحد	مگاهرتز	۳/۱۰	۳/۰۵
میانگین نرخ چرخش	$\mathrm{V}/\mu\mathrm{s}$	۰/۲۷	۰/۲۸
زمان نشست	میکروثانیه	۱۲/۵	۱۲/۶
نویز ارجاع شده به ورودی	nV^2/Hz	۱۸/۲	۱۹/۶
توان مصرفی	میکروووات	۴۰/۱	۴۰/۲

فصل ۵

نتیجه‌گیری و پیشنهادها

۵-۱ پیش‌گفتار

در این فصل ابتدا یک نتیجه‌گیری از پژوهش انجام شده بیان می‌شود و سپس پیشنهادهایی جهت ادامه کار در زمینه تقویت‌کننده‌های Rail-to-Rail ارائه می‌گردد.

۵-۲ نتیجه‌گیری

تقویت‌کننده، با توجه به کاربردهای مختلفی که در وسایل گوناگون دارد، جزء جدایی ناپذیر مدارهای آنالوگ است. نوعی از تقویت‌کننده‌ها، تقویت‌کننده‌های Rail-to-Rail هستند که باعث دستیابی به تمام محدوده منبع تغذیه می‌شوند. مهم‌ترین چالش این نوع از تقویت‌کننده‌ها تغییرات ترارسانایی طبقه ورودی است. در پژوهش حاضر تغییرات ترارسانایی طبقه ورودی تقویت‌کننده‌های Rail-to-Rail و اثرات آن بر روی پارامترهای مختلف تقویت‌کننده بررسی شده و یک ساختار طبقه ورودی جهت کاهش تغییرات ترارسانایی پیشنهاد شده است. ساختار معرفی‌شده براساس تغییر سطح ولتاژ ورودی باعث می‌شود نواحی افت ترارسانایی طبقه ورودی در یک ساختار Rail-to-Rail مرسوم جبران شود. در طرح معرفی شده از چهار زوج ورودی، دو زوج اصلی و دو زوج کمکی، استفاده شده است. دو زوج کمکی، با استفاده از اتصال‌ـ دیودی باعث تغییر سطح ولتاژ ورودی و جابه‌جایی نمودار ترارسانایی این دو زوج می‌شود. هم‌چنین در این ساختار از یک تقویت‌کننده سورس‌ـ مشترک به عنوان طبقه دوم جهت دستیابی به Rail-to-Rail خروجی استفاده شده است.

تقویت‌کننده پیشنهادی در نرم‌افزار Cadence، در فناوری ۱۸۰ نانومتر TSMC و با منبع تغذیه ۱٫۸ ولت شبیه‌سازی شده است. تقویت‌کننده با بار خازنی ۱۰ پیکوفاراد دارای بهره ۱۰۳٫۹ دسیبل، پهنای باند واحد ۳٫۱۶ مگاهرتز، توان مصرفی ۲۰ میکروووات و نرخ چرخش ۰٫۳۳ $V/\mu s$ است.

۵-۳ پیشنهادها

به طور کلی یکی از مشکلاتی که تقویت‌کننده‌های طراحی شده با جریان دنباله کم، نرخ چرخش است. در طرح پیشنهاد شده نیز این مشکل وجود دارد. لذا یکی از پیشنهادات ارائه تقویت‌کننده‌های Rail-to-Rail پرسرعت با استفاده از روش‌های مداری است.

ساختار پیشنهاد شده برخلاف ساختار تغییر سطح ولتاژ ورودی اصلاح شده که ساختاری نامتقارن بود، ساختاری متقارن دارد اما به دلیل استفاده از اتصال‌ـ دیودی و در نتیجه وابستگی به ولتاژ آستانه باعث افزایش آفست ورودی می‌شود. لذا یک پیشنهاد دیگر کاهش آفست ولتاژ ورودی است.

مراجع

[1] B. Razavi. *Design of analog CMOS integrated circuits*. Tata McGraw-Hill Education, 2002.

[2] S. Yan, J. Hu, T. Song, and E. Sánchez-Sinencio, "Constant gm techniques for rail-to-rail cmos amplifier input stages: a comparative study," in *2005 IEEE International Symposium on Circuits and Systems*, pp.2571–2574, IEEE, 2005.

[3] T. Song, J. Hu, X. Li, and S. Yan, "A constant gm constant-slew-rate rail-to-rail input stage with static feedback and dynamic current steering for vlsi cell libraries," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol.54, no.1, pp.76–80, 2007.

[4] D. A. Johns and K. Martin. *Analog integrated circuit design*. John Wiley & Sons, 2008.

[5] S. Sakurai and M. Ismail, "Robust design of rail-to-rail cmos operational amplifiers for a low power supply voltage," *IEEE Journal of Solid-State Circuits*, vol.31, no.2, pp.146–156, 1996.

[6] R. Hogervorst, J. P. Tero, R. G. Eschauzier, and J. H. Huijsing, "A compact power-efficient 3 v cmos rail-to-rail input/output operational amplifier for vlsi cell libraries," *IEEE journal of solid-state circuits*, vol.29, no.12, pp.1505–1513, 1994.

[7] J. H. Huijsing, R. Hogervorst, and K.-J. De Langen, "Low-power low-voltage vlsi operational amplifier cells," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol.42, no.11, pp.841–852, 1995.

[8] R. Hogervorst, S. M. Safai, J. P. Tero, and J. H. Huijsing, "A programmable 3-v cmos rail-to-rail opamp with gain boosting for driving heavy resistive loads," in *Proceedings of ISCAS'95-International Symposium on Circuits and Systems*, vol.2, pp.1544–1547, IEEE, 1995.

[9] J. Botma, R. Wassenaar, and R. J. Wiegerink, “A low-voltage cmos op amp with a rail-to-rail constant gm input stage and a class ab rail-to-rail output stage,” in *1993 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp.1314–1317, IEEE, 1993.

[10] J. M. Carrillo, J. F. Duque-Carrillo, J. L. Ausín, and G. Torelli, “Rail-to-rail constant gm operational amplifier for video applications,” *Integration*, vol.37, no.1, pp.1–16, 2004.

[11] C. Hwang, A. Motamed, and M. Ismail, “Universal constant gm input-stage architectures for low-voltage op amps,” *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol.42, no.11, pp.886–895, 1995.

[12] T. Fischer and A. Karsilayan, “Rail-to-rail amplifier input stage with constant gm and commonmode elimination,” *Electronics Letters*, vol.38, no.24, pp.1491–1492, 2002.

[13] T. W. Fischer, A. I. Karsilayan, and E. Sánchez-Sinencio, “A rail-to-rail amplifier input stage with 0.35% gm fluctuation,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol.52, no.2, pp.271–282, 2005.

[14] T. Song and S. Yan, “A robust rail-to-rail input stage with constant gm and constant slew rate using a novel level shifter,” in *2007 IEEE International Symposium on Circuits and Systems*, pp.477–480, IEEE, 2007.

[15] R. Hogervorst, J. P. Tero, and J. Hoijising, “Compact cmos constant gm rail-to-rail input stage with gm control by an electronic zener diode,” *IEEE Journal of Solid-State Circuits*, vol.31, no.7, pp.1035–1040, 1996.

[16] K.-C. Woo and B.-D. Yang, “A 0.25-v rail-to-rail three-stage ota with an enhanced dc gain,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol.67, no.7, pp.1179–1183, 2019.

[17] N. Tang, W. Hong, J.-H. Kim, Y. Yang, and D. Heo, “A sub-1-v bulk-driven opamp with an effective transconductance-stabilizing technique,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol.62, no.11, pp.1018–1022, 2015.

[18] E. Cabrera-Bernal, S. Pennisi, A. D. Grasso, A. Torralba, and R. G. Carvajal, “0.7-v three-stage class-ab cmos operational transconductance amplifier,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol.63, no.11, pp.1807–1815, 2016.

[19] J. S. H. K. E. M. Wang, T. L. Mayhugh and E. S. anchezSinencio, "Constant rail-to-rail cmos op-amp input stage with overlapped transition region," *IEEE J. Solid-State Circuits*, vol.34, 1999.

[20] B. Lee and T. Higman, "Extremely simple constant gm technique for low voltage rail-to-rail amplifier input stage," in *2011 18th IEEE International Conference on Electronics, Circuits, and Systems*, pp.314–317, IEEE, 2011.

[21] B. Lee and T. Higman, "1.2 v constant gm rail-to-rail cmos op-amp input stage with new overlapped transition regions technique for ecg amplifier," in *2013 35th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC)*, pp.3451–3454, IEEE, 2013.

[22] W. Redman-White, "A high bandwidth constant gm and slew-rate rail-to-rail cmos input circuit and its application to analog cells for low voltage vlsi systems," *IEEE Journal of solid-state circuits*, vol.32, no.5, pp.701–712, 1997.

[23] Y. Zhang, Q. Meng, Z. Wang, and S. Chen, "Constant gm low-power rail-to-rail operational amplifier," in *2009 International Conference on Wireless Communications & Signal Processing*, pp.1–4, IEEE, 2009.

[24] M. M. Ahmadi and R. Lotfi, "A new architecture for rail-to-rail input constant gm cmos operational transconductance amplifiers," in *Proceedings of the 2003 international symposium on Low power electronics and design*, pp.353–358, 2003.

[25] A. Lopez-Martin, M. Garde, and J. Ramirez-Angulo, "Class ab differential difference amplifier for enhanced common-mode feedback," *Electronics Letters*, vol.53, no.7, pp.454–456, 2017.

[26] O. Choksi and L. R. Carley, "Analysis of switched-capacitor common-mode feedback circuit," *IEEE Transactions on Circuits and Systems II: Analog and digital signal processing*, vol.50, no.12, pp.906–917, 2003.

[27] S. Mallya and J. H. Nevin, "Design procedures for a fully differential folded-cascode cmos operational amplifier," *IEEE Journal of Solid-State Circuits*, vol.24, no.6, pp.1737–1740, 1989.

[28] M. Akbari and O. Hashemipour, "Enhancing transconductance of ultra-low-power two-stage folded cascode ota," *Electronics Letters*, vol.50, no.21, pp.1514–1516, 2014.

[29] P. R. Gray, P. Hurst, R. G. Meyer, and S. Lewis. *Analysis and design of analog integrated circuits*. Wiley, 2001.

[30] H.-Y. Huang, B.-R. Wang, and J.-C. Liu, "High-gain and high-bandwidth rail-to-rail operational amplifier with slew rate boost circuit," in *2006 IEEE International Symposium on Circuits and Systems*, pp.4–pp, IEEE, 2006.

[31] Z. Qin, A. Tanaka, N. Takaya, and H. Yoshizawa, "0.5-v 70-nw rail-to-rail operational amplifier using a cross-coupled output stage," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol.63, no.11, pp.1009–1013, 2016.

[32] E. K. Lee, "A sub-0.5 v, 1.5 μw rail-to-rail constant g m opamp and its filter application," in *2012 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp.197–200, IEEE, 2012.

[33] E. K. Lee, A. Lam, and T. Li, "A 0.65 v rail-to-rail constant g m opamp for biomedical applications," in *2008 IEEE International Symposium on Circuits and Systems*, pp.2721–2724, IEEE, 2008.

[34] M. M. Ahmadi, "An adaptive biased single-stage cmos operational amplifier with a novel rail-to-rail constant-gm input stage," *Analog Integrated Circuits and Signal Processing*, vol.45, no.1, pp.71–78, 2005.

[35] R. Gopal. *Single Ended and Fully Differential Folded Cascode Operational Amplifier*. NM State University, 2010.

[36] Y. T. S. Wang. *CMOS Operational Amplifier*. The George Washington University, 2005.

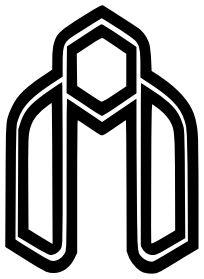
Aabstract

Operation Amplifiers (Op-Amp) are the main building block in analog circuits. OAs have different structures for different applications. With the advances in technology and reducing the power supply voltage, the need to use the entire power supply range at both input and output of amplifiers have increased. Rail-to-rail amplifiers were proposed to address these new needs. The biggest challenge with traditional rail-to-rail amplifiers, (implemented with an NMOS and PMOS differential pair), is the input transconductance (gm) variation. These variations have significant effects on amplifier performance such as gain, stability, bandwidth and linearity.

In this study, a new structure for the input stage of Rail-to-Rail amplifiers has been proposed. The proposed structure reduces input stage gm variation by 13 percent. This structure uses four input pairs, which reduces input stage gm variation by changing the input voltage range of the two pairs. This compensates for the non-overlapping areas by the other two pairs. To change the voltage range, a diode connection structure is used in the tail current path.

The proposed amplifier is simulated in Cadence enviroment using 180nm CMOS technology in 1.8V power supply. The proposed amplifier drives a capacitive load of 10pF and achieves a DC gain of 103.9dB, uniy gain bandwidth (GBW) of 3.1MHz, and Slew rate 0.33$V/\mu s$, while consuming 20uW of power.

keywords: Rail-to-Rail, Low power, Operational amplifier, Constant gm



Shahrood University of Technology

Faculty Of Electrical and Robotics Engineering

MSc Thesis in: Electronic Integrated Circuits Engineering

Design and simulation of a low power constant-Gm Rail-to-Rail op amp

By: Mohammadmahdi Dezyani

Supervisor

Mohammadreza Ashraf

Advisor

Mohammadjavad Dezyani

September 2021