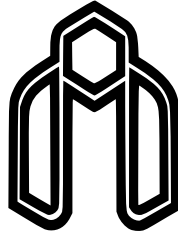


سلام افضل





دانشگاه صنعتی شاهرود

دانشکده مهندسی برق و رباتیک

رشته الکترونیک، گرایش افزارهای میکرو و نانوالکترونیک

پایان نامه کارشناسی ارشد

# طراحی و شبیه‌سازی ترانزیستور HBT با بهره جریان کنترل شده توسط گیت

نگارنده: امیر هونان مهربانی

استادان راهنما

دکتر احسان رحیمی  
دکتر علی فتاح حصاری

شهریور ۱۳۹۹



شماره: ۱۷۵۵، ت.ا.ب  
تاریخ: ۹۹، ۶، ۲۹

باسمه تعالی



فرم شماره (۳) صورتجلسه نهایی دفاع از پایان نامه دوره کارشناسی ارشد

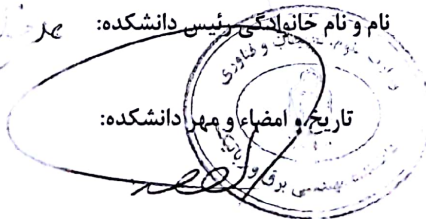
با نام و یاد خداوند متعال، ارزیابی جلسه دفاع از پایان نامه کارشناسی ارشد خانم / آقای امیر هونان مهربانی با شماره دانشجویی ۹۵۳۵۳۷۴ رشته برق گرایش (افزاره‌های میکرو و نانوالکترونیک) تحت عنوان: طراحی و شبیه‌سازی ترانزیستور HBT با بهره کنترل‌شده توسط گیت که در تاریخ ۱۳۹۹/۰۶/۲۹ با حضور هیأت محترم داوران در دانشگاه صنعتی شاهرود برگزار گردید به شرح ذیل اعلام می‌گردد:

الف) درجه عالی: نمره ۱۹-۲۰  ب) درجه خیلی خوب: نمره ۱۸-۱۷/۹۹   
 ج) درجه خوب: نمره ۱۶-۱۷/۹۹  د) درجه متوسط: نمره ۱۴-۱۵/۹۹   
 ه) کمتر از ۱۴ غیر قابل قبول و نیاز به دفاع مجدد دارد   
 نوع تحقیق: نظری  عملی

عضو هیأت داوران	نام و نام خانوادگی	مرتبه علمی	امضاء
۱- استاد راهنمای اول	احسان رحیمی	استادیار	
۲- استاد راهنمای دوم	علی صباح	استادیار	
۳- استاد مشاور	-	-	-
۴- نماینده تحصیلات تکمیلی	سید علی حسینی	دانشیار	
۵- استاد دمج اول	عبدالرحیمی	استادیار	
۶- استاد ممتحن دوم	محمد رضا آرف	استاد	

نام و نام خانوادگی رئیس دانشکده:

تاریخ و امضاء و مهر دانشکده:





تقدیم به

پدر و مادر عزیزم

و به تمام کسانی که نیک می اندیشند و جز رضای الهی و پیشرفت و  
سعادت جامعه، مدنی ندارند.

## تقدیر و تشکر

پروردگارا در لحظه لحظه زندگی‌ام پشتیبان و یاورم هستی تو را سپاس...  
اکنون که با یاری پروردگار یکتا این پژوهش به پایان رسید، بر خود وظیفه می‌دانم که  
از صمیم قلب از تمامی عزیزانی که مرا مورد لطف و محبت خویش قرار داده‌اند کمال  
تشکر و قدردانی را به عمل آورم.

در آغاز، سپاس خود را با فروتنی، نثار پدر و مادر مهربانم می‌کنم.  
به مصداق «من لم یشکر المخلوق لم یشکر الخالق» بسی شایسته است از اساتید  
فرهیخته و فرزانه جناب آقای دکتر احسان رحیمی و آقای دکتر علی فتاح حصارى و  
سایر اساتید دانشگاه صنعتی شاهرود که با کرامتی چون خورشید، سرزمین دل را روشنی  
بخشیدند و گلشن سرای علم و دانش را با راهنمایی‌های کارساز و سازنده بارور ساختند؛  
تقدیر و تشکر نمایم.

امیر هونان مهربانی

شهریور ۱۳۹۹



## تعهد نامه

اینجانب امیر هونان مهربانی دانشجوی کارشناسی ارشد رشته الکترونیک مهندسی برق و رباتیک دانشگاه صنعتی شاهرود، نویسنده پایان نامه با عنوان طراحی و شبیه سازی ترانزیستور HBT با بهره جریان کنترل شده توسط گیت، تحت راهنمایی دکتر احسان رحیمی و دکتر علی فتاح حصاری متعهد می شوم:

- تحقیقات در این پایان نامه توسط اینجانب انجام شده است و از صحت و اصالت برخوردار است.
- در استفاده از نتایج پژوهش های دیگر پژوهشگران، به مرجع مورد استفاده استناد شده است.
- مطالب این پایان نامه، تا کنون توسط خود، یا فرد دیگری برای دریافت هیچ نوع مدرک یا امتیازی در هیچ جا ارایه نشده است.
- حقوق معنوی این اثر، به دانشگاه صنعتی شاهرود تعلق دارد، و مقالات مستخرج با نام “ دانشگاه صنعتی شاهرود ” یا “ Shahrood University of Technology ” به چاپ خواهد رسید.
- حقوق معنوی تمام افرادی که در به دست آوردن نتایج اصلی پایان نامه تأثیرگذار بوده اند، در مقالات مستخرج از پایان نامه رعایت می گردد.
- در تمام مراحل انجام این پایان نامه، در مواردی که از موجود زنده (یا بافت های آنها) استفاده شده است، ضوابط و اصول اخلاقی رعایت شده است.
- در تمام مراحل انجام این پایان نامه، در مواردی که به حوزه اطلاعات شخصی افراد دسترسی یافته (یا استفاده شده است)، اصل رازداری و اصول اخلاق انسانی رعایت شده است.

امیر هونان مهربانی

شهریور ۱۳۹۹

### مالکیت نتایج و حق نشر

- تمام حقوق معنوی این اثر و محصولات آن (مقالات مستخرج، کتاب، برنامه های رایانه ای، نرم افزارها و تجهیزات ساخته شده) متعلق به دانشگاه صنعتی شاهرود می باشد. این مطلب باید به نحو مقتضی، در تولیدات علمی مربوطه ذکر شود.
- استفاده از اطلاعات و نتایج موجود در این پایان نامه بدون ذکر منبع مجاز نمی باشد.



## چکیده

در این پژوهش یک ساختار ترانزیستور دوقطبی نامتجانس از نوع SiGe طراحی و شبیه‌سازی شده است. تفاوت این ساختار با ساختارهای معمول اضافه‌کردن یک پایه دیگر علاوه بر بیس، به نام پایه گیت در این ترانزیستور است که با کنترل ولتاژ اعمالی به این پایه می‌توانیم بهره جریان‌های متفاوتی داشته باشیم. به این صورت که با اعمال ولتاژ به گیت عرض مؤثر بیس تغییر می‌کند و باعث می‌شود برخورد و بازترکیب حامل‌ها در بیس کمتر شده و راحت‌تر از امیتر به کلکتور بروند و در نتیجه بهره جریان ( $\beta$ ) افزایش پیدا می‌کند.

افزودن این پایه دو رویکرد خواهد داشت که یکی بهبود بهره جریان ترانزیستور با اعمال ولتاژ ثابت به این پایه افزاره است و دیگری امکان تغییر مشخصات ترانزیستور مانند بهره جریان که با مدوله کردن عرض بیس اتفاق می‌افتد. این قطعه هیبرید ۴ پایه می‌تواند در کاربردهایی مانند مدارهای مخلوط‌کننده و تقویت‌کننده با بهره متغیر (VGA) استفاده شود و بازدهی خوبی داشته باشد.

برای پیاده‌سازی این ساختار، مشابه مراجع بررسی شده، مدل فیزیکی افزاره در نرم‌افزار سیلواکو پیاده شده است و پس از افزودن پایه گیت در محل پیش‌بینی شده، شبیه‌سازی‌هایی برای بررسی تأثیر جنس و ابعاد مواد استفاده‌شده در ساختار و همچنین تأثیر اعمال ولتاژهای مختلف به پایه گیت انجام شده است. در ادامه تأثیر مواردی مانند محل و ابعاد گیت و سایر پارامترها مانند جنس عایق زیر گیت بررسی شده است. در آخر نیز پارامترهای دیگر ترانزیستور مانند ولتاژ شکست و فرکانس قطع اندازه‌گیری شده است.

نتایج شبیه‌سازی نشان می‌دهد با تغییر ولتاژ گیت از صفر ولت تا ۵ ولت می‌توان بهره جریان ترانزیستور را تا ۱۵ برابر در جریان‌های بالای کلکتور افزایش داد. بهره جریان ( $\beta$ ) این ترانزیستور بدون اعمال ولتاژ گیت و در حالت عادی در حدود ۵۰ بود که با اعمال ولتاژ ۵ ولت تا ۷۵۰ افزایش پیدا کرد. دلیل استفاده از ترانزیستور HBT مشخصه فرکانسی بهتر آن نسبت به BJT معمولی است که باعث می‌شود ترانزیستور نهایی سرعت بالاتری داشته باشد. همچنین ابعاد و میزان ناخالصی‌ها مشابه مقالات بررسی شده در پژوهش، طوری انتخاب شده‌اند که قطعه نهایی از نظر فرکانس قطع و ولتاژ شکست نزدیک به افزاره‌های بررسی شده در مقالات باشد تا بتوانیم میزان تغییر بهره را به خوبی مشاهده کنیم. در این افزاره ولتاژ شکست ۸ ولت، فرکانس قطع ۱۱ گیگاهرتز و ولتاژ ارلی حدود ۳۰ ولت است.

واژه‌های کلیدی: بهره جریان، ترانزیستور GC-HBT، ترانزیستور HBT، ترانزیستور SiGe، سیلواکو



# لیست مقالات مستخرج از پایان نامه

مقاله‌ای از این پایان نامه استخراج نشده است.



# فهرست مطالب

ق	فهرست شکل‌ها
ث	فهرست جدول‌ها
۱	۱ مقدمه
۱	۱-۱ مقدمه
۲	۲-۱ ضرورت پژوهش
۳	۳-۱ روش پژوهش
۴	۴-۱ ساختار پایان‌نامه
۷	۲ مروری بر مبانی ترانزیستورهای دوقطبی
۷	۱-۲ پارامترهای دوقطبی
۱۲	۲-۲ انحراف از ترانزیستور ایده‌آل
۱۴	۳-۲ دوقطبی با کارایی زیاد
۱۵	۴-۲ ترانزیستورهای نامتجانس HBT
۱۷	۱-۴-۲ پیوند ناهمگون
۱۷	۲-۴-۲ ویژگی پیوند ناهمگون
۱۸	۳-۴-۲ خواص مواد
۲۰	۵-۲ ترانزیستور HBT(SiGe)
۲۱	۱-۵-۲ ساختمان ترانزیستور HBT(SiGe)
۲۱	۲-۵-۲ مزایای استفاده از HBT(SiGe) به جای BJT(Si)
۲۲	۳-۵-۲ مدل سیگنال کوچک HBT(SiGe)
۲۳	۴-۵-۲ کاربردهای ترانزیستور HBT(SiGe)
۲۵	۳ ترانزیستورهای دوقطبی با بهره جریان کنترل‌شده
۲۵	۱-۳ مقدمه
۲۶	۲-۳ روش‌های کلی برای بهبود افزاره

۲۶	۳-۲-۱ بهبود مشخصات ترانزیستور
۲۶	۳-۲-۲ کنترل مشخصات ترانزیستور
۲۷	۳-۳ دوقطبی با بهره بالا در یک ساختار MOSFET
۲۷	۳-۳-۱ ساختار افزاره
۲۸	۳-۴ دوقطبی جانبی GC-LNPN با جریان کنترل شده توسط گیت
۲۸	۳-۴-۱ ساختار و مشخصات افزاره
۳۰	۳-۵ ساخت مخلوط کننده جدید با استفاده از GC-LPNP
۳۱	۳-۵-۱ ساختار افزاره
۳۱	۳-۵-۲ مدار طراحی شده با افزاره جدید
۳۲	۳-۶ ترانزیستور دوقطبی جانبی کنترل شده با گیت
۳۴	۳-۶-۱ ساختار افزاره
۳۵	۳-۷ ترانزیستور BJT جدید با قابلیت کنترل بهره جریان
۳۵	۳-۷-۱ ساختار افزاره
۳۶	۳-۷-۲ عملکرد افزاره
۳۷	۳-۸ ساختار جدید دوقطبی با قابلیت کنترل بهره
۴۰	۳-۹ جمع بندی
۴۳	۴ شبیه سازی افزاره و تفسیر نتایج
۴۳	۴-۱ مقدمه
۴۴	۴-۲ شبیه سازی افزاره های میکرو و نانوالکترونیک
۴۴	۴-۳ شبیه سازی افزاره
۴۶	۴-۴ تعیین محل گیت
۵۴	۴-۵ تأثیر خازن اکسید
۶۰	۴-۵-۱ تأثیر ضخامت عایق زیر گیت
۶۰	۴-۵-۲ شکست عایق گیت
۶۱	۴-۶ کارکرد فیزیک افزاره
۶۳	۴-۷ مشخصه یابی سایر پارامترهای ترانزیستور
۶۴	۴-۷-۱ جریان خاموش ترانزیستور
۶۴	۴-۷-۲ ولتاژ شکست معکوس
۶۵	۴-۷-۳ فرکانس قطع
۶۷	۴-۸ مقایسه با چند مرجع دیگر
۶۸	۴-۹ نتیجه گیری



۷۱	۵ جمع‌بندی و پیشنهادها
۷۱	۱-۵ مقدمه
۷۲	۲-۵ جمع‌بندی
۷۳	۳-۵ نوآوری
۷۴	۴-۵ پیشنهادها
۷۵	مراجع



# فهرست شکل‌ها

۴	۱-۱ ساختار پیشنهادی ترانزیستور HBT با بهره جریان قابل کنترل توسط پایه گیت (GC-HBT) . . . . .
۸	۱-۲ پیوند امیتر- بیس بایاس مستقیم و پیوند بیس- کلکتور با بایاس معکوس . . . . .
۱۱	۲-۲ یک ترانزیستور دوقطبی خودتنظیم پیشرفته به همراه مؤلفه‌های پارازیتی . . . . .
۱۲	۳-۲ منحنی $f_T$ بر حسب $I_C$ یک نمونه ترانزیستور دوقطبی . . . . .
۱۴	۴-۲ نمایشی از اثر یورش بیس در جریان‌های مختلف کلکتور . . . . .
۱۵	۵-۲ مقایسه بین چگالی ناخالصی ناحیه‌ها در HBT و دوقطبی متداول . . . . .
۱۶	۶-۲ نوارهای انرژی مربوط به HBT با امیتر با شکاف انرژی بزرگ و بیس با شکاف انرژی کوچک قبل و بعد از اتصال . . . . .
۱۶	۷-۲ نمودار نوارهای انرژی افزاره در ناحیه فعال . . . . .
۲۰	۸-۲ ساختار ترانزیستور HBT(SiGe) . . . . .
۲۱	۹-۲ ساختار ترانزیستور HBT(SiGe) . . . . .
۲۲	۱۰-۲ مدل سیگنال کوچک HBT(SiGe) . . . . .
۲۲	۱۱-۲ مدل سیگنال کوچک داخلی HBT(SiGe) . . . . .
۲۸	۱-۳ نمای بالا و برش مقطعی ترانزیستور و مدل مداری ارائه شده در مرجع . . . . .
۲۹	۲-۳ ساختار ترانزیستور ساخته شده و نحوه اعمال ولتاژها . . . . .
۳۰	۳-۳ منحنی تغییرات بهره به ازای مقادیر مختلف ولتاژ گیت . . . . .
۳۱	۴-۳ تصویر برش مقطعی و ساختار ترانزیستور GC-LPNP BJT . . . . .
۳۲	۵-۳ نقشه مدار مخلوط کننده با استفاده از LPNP BJT کنترل شده با گیت . . . . .
۳۳	۶-۳ مدل مداری پیشنهاد شده برای افزاره GC-LPNP . . . . .
۳۴	۷-۳ ساختار ترانزیستور PNP جانبی با گیت کنترل کننده بهره جریان . . . . .
۳۵	۸-۳ نمای دید بالا از ترانزیستور PNP جانبی با گیت کنترل کننده بهره جریان . . . . .
۳۶	۹-۳ ساختار افزاره دوقطبی جانبی با گیت کنترل کننده بهره جریان . . . . .
۳۷	۱۰-۳ جریان‌های بیس و کلکتور بدون اعمال ولتاژ گیت به افزاره . . . . .

- ۳۸ ..... ۱۱-۳ بهره جریان افزاره جانبی با گیت کنترل‌کننده بهره جریان
- ۳۸ ..... ۱۲-۳ بهره جریان افزاره با تغییر عرض فیزیکی بیس
- ۳۸ ..... ۱۳-۳ ساختار پیشنهادی برای ترانزیستور HBT با بهره جریان قابل‌کنترل توسط گیت
- ۳۹ ..... (GC-HBT)
- ۴۰ ..... ۱۴-۳ چگونگی کم‌شدن عرض مؤثر بیس در اثر اعمال ولتاژ به گیت
- ۴۵ ..... ۱-۴ ساختار اولیه برای ترانزیستور دوقطبی نامتجانس
- ۴۵ ..... ۲-۴ توزیع ناخالصی‌ها در افزاره در محیط اتلس
- ۴۶ ..... ۳-۴ مش‌بندی ساختار افزاره در محیط اتلس توسط نرم‌افزار سیلوآکو
- ۴۶ ..... ۴-۴ چگالی جریان افزاره در اثر اعمال ولتاژ کلکتور ۳ ولت
- ۴۷ ..... ۵-۴ جریان‌های بیس و کلکتور به ازای ولتاژ کلکتور ۳ ولت
- ۴۸ ..... ۶-۴ نمودار مقادیر  $\beta$  بر حسب ولتاژ بیس
- ۴۹ ..... ۷-۴ چگالی جریان افزاره در اثر اعمال ولتاژ کلکتور ۳ ولت و ولتاژ گیت ۵ ولت
- ۴۹ ..... ۸-۴ جریان‌های بیس و کلکتور با گیت روی کلکتور
- ۵۰ ..... ۹-۴ چگالی جریان افزاره در اثر اعمال ولتاژ کلکتور ۳ ولت
- ۵۰ ..... ۱۰-۴ جریان‌های بیس و کلکتور با گیت روی بیس
- ۵۱ ..... ۱۱-۴ چگالی جریان افزاره در اثر اعمال ولتاژ کلکتور ۳ ولت
- ۵۱ ..... ۱۲-۴ جریان‌های بیس و کلکتور با گیت روی محل اتصال کلکتور و بیس
- ۵۲ ..... ۱۳-۴ چگالی جریان افزاره در اثر اعمال ولتاژ کلکتور ۳ ولت
- ۵۳ ..... ۱۴-۴ جریان‌های بیس و کلکتور با گیت روی تمام سطح کلکتور و بیس
- ۵۴ ..... ۱۵-۴ نمودار مقادیر  $\beta$  بر حسب ولتاژ بیس برای حالت‌های مختلف گیت
- ۵۵ ..... ۱۶-۴ نمودار مقادیر  $\beta$  بر حسب ولتاژ گیت برای حالت‌های مختلف گیت
- ۵۶ ..... ۱۷-۴ نمودار جریان‌های ترانزیستور با استفاده از ماده  $SiO_2$  به عنوان عایق زیر گیت
- ۵۷ ..... ۱۸-۴ ساختار ترانزیستور با استفاده از ماده  $HfO_2$  به عنوان عایق زیر گیت
- ۵۷ ..... ۱۹-۴ نمودار لگاریتمی جریان‌های ترانزیستور با استفاده از ماده  $HfO_2$  به عنوان عایق زیر گیت
- ۵۸ ..... ۲۰-۴ نمودار خطی جریان‌های ترانزیستور با استفاده از ماده  $HfO_2$  به عنوان عایق زیر گیت
- ۵۸ ..... ۲۱-۴ چگالی جریان ترانزیستور با استفاده از ماده  $HfO_2$  به عنوان عایق زیر گیت
- ۵۹ ..... ۲۲-۴ نمودار مقادیر  $\beta$  بر حسب ولتاژ بیس
- ۵۹ ..... ۲۳-۴ نمودار مقادیر  $\beta$  بر حسب ولتاژ گیت و ضخامت‌های مختلف عایق زیر گیت
- ۶۰ ..... ۲۴-۴ میدان یکنواخت در قسمت اتصال بیس و کلکتور در افزاره بدون گیت
- ۶۱ ..... ۲۵-۴ میدان غیریکنواخت در قسمت اتصال بیس و کلکتور در افزاره پس از اعمال ولتاژ به گیت
- ۶۲ ..... ولتاژ به گیت

- ۶۳ . . . . . ۲۶-۴ نمودار جریان کلکتور بر حسب ولتاژ گیت به ازای جریان ثابت در بیس
- ۶۴ . . . . . ۲۷-۴ نمودار مقادیر  $\beta$  بر حسب ولتاژ گیت
- ۶۵ . . . . . ۲۸-۴ نمودار جریان کلکتور بر حسب ولتاژ بیس و مقادیر جریان خاموش افزاره
- ۶۶ . . . . . ۲۹-۴ مشخصه جریان- ولتاژ خروجی ترانزیستور و ولتاژ شکست معکوس کلکتور- بیس
- ۶۶ . . . . . ۳۰-۴ تراکم الکترون‌ها در افزاره در اثر اعمال ولتاژ به گیت
- ۶۷ . . . . . ۳۱-۴ نمودار مقادیر  $\beta$  بر حسب فرکانس برای ترانزیستور قبل و بعد از اضافه کردن گیت



# فهرست جدول‌ها

۱۸	۱-۲	مشخصات باند اتصال ناهمگون برای ساختارهای ناهمگون مختلف . . .
۱۸	۲-۲	عوامل مهم در طول انتقال الکترون‌ها در بیس . . . . .
۱۹	۳-۲	پارامترهای مهم زیرلایه‌های مختلف برای ساخت HBT . . . . .
۴۱	۱-۳	جدول مقایسه نتایج مقالات مرور شده گذشته . . . . .
۵۳	۱-۴	جریان کلکتور و ضریب $\beta$ در حالت‌های مختلف برای ابعاد و مکان گیت .
۵۶	۲-۴	مواد قابل استفاده به عنوان عایق و ضریب گذردهی الکتریکی . . . . .
۶۸	۳-۴	جدول مقایسه نتایج بدون گیت و با گیت . . . . .
۶۸	۴-۴	جدول مقایسه نتایج این پژوهش با مقالات گذشته . . . . .





# فصل ۱

## مقدمه

### ۱-۱ مقدمه

در چند دهه اخیر پیشرفت‌های شگرفی در زمینه ساخت افزاره‌های نیم‌رسانا حاصل شده است. ترانزیستورهای پیوند دوقطبی<sup>۱</sup> از مهمترین افزاره‌های مورد استفاده در سیستم‌های میکروالکترونیک پیشرفته و مدارهای مجتمع هستند. محدوده کاربردهای دوقطبی‌ها از تقویت‌کننده‌های صدا تا سیستم‌های ارتباطی ماهواره‌ای گسترده است.

ترانزیستور دوقطبی در سال ۱۹۴۸ در آزمایشگاه بل اختراع شد [۱] و در پنج دهه گذشته دوقطبی‌ها دائما توسعه یافته‌اند. از دهه ۸۰ همزمان با انقلاب دیجیتال، فناوری CMOS<sup>۲</sup> به طور جدی به عنوان رقیب فناوری دوقطبی‌ها مطرح شده است؛ اما در بسیاری از کاربردهای سرعت بالا و RF<sup>۳</sup>، دوقطبی‌ها هنوز کارایی بالاتر دارند. اگرچه در سال‌های اخیر دوقطبی‌ها درصدی از بازار را حفظ کرده‌اند، اما نیاز به طراحی دوقطبی‌هایی با کارایی بالا هنوز احساس می‌شود.

بسیاری از دوقطبی‌ها هنوز مشکل فرایند ساخت پیچیده را دارند، که نتیجه آن هزینه ساخت بالا است. از سال‌های ۱۹۹۰ میلادی تا کنون ترکیب CMOS و دوقطبی به شکل یک دوقطبی جانبی LBJT<sup>۴</sup> به طور گسترده مطالعه شده است [۲-۴].

<sup>۱</sup>Bipolar Junction Transistor (BJT)

<sup>۲</sup>Complimentary Metal-Oxide-Semiconductor

<sup>۳</sup>Radio Frequencey

<sup>۴</sup>Lateral BJT

ویژگی ترکیب دوقطبی جانبی، مجتمع‌سازی بالا و هزینه پایین فناوری CMOS همراه با خصوصیات دوقطبی است. همزمان با پیشرفت فناوری، صنعت نیم‌رسانا به سمت استفاده از CMOS و دوقطبی‌ها بر روی یک تراشه پیش رفته است. فناوری CMOS پیشرفت قابل توجهی در مدارهای فرکانس بالا و سرعت بالا داشته است. با این حال ترانزیستورهای دوقطبی سیلیکونی نیز مزیت‌های قابل توجهی در زمینه سرعت و قابلیت راه‌اندازی جریان‌های بالاتر نسبت به ترانزیستورهای فناوری CMOS دارند [۲-۴].

در فناوری نیم‌رسانا، هم ترانزیستورهای دوقطبی و هم ترانزیستورهای اثر میدان<sup>۱</sup> برای کاربردهای مختلف آنالوگ و دیجیتال مورد نیاز هستند. امروزه در کاربردهای RF ترانزیستورهای دوقطبی به دلیل سرعت بالاتر، عملکرد بهتر در فرکانس‌های بالا و بهره بالاتر نسبت به ترانزیستورهای اثر میدان برتری دارند اما از نظر تعداد ترانزیستورهای داخل تراشه، ترانزیستورهای ماسفت<sup>۲</sup> برتری دارند.

در ترانزیستورهای دوقطبی بهره جریان ( $\beta$ ) یکی از پارامترهای مهم افزاره است که هنگام ساخت با توجه به مواد استفاده شده در آن و فناوری ساخت تعیین می‌گردد و یک مقدار ثابت است که با عواملی مانند دما نیز ممکن است تغییر کند و روی کارکرد مدار تأثیرگذار باشد. همچنین تمایل زیادی برای افزایش این پارامتر توسط روش‌های مختلف وجود دارد.

سؤالی که با آن روبه‌رو هستیم این است که آیا می‌توان ساختار ترانزیستور موجود را به گونه‌ای بازطراحی کرد که کنترل مقدار بهره جریان نیز در دست طراح مدار قرار بگیرد. پیشنهادی که در مقاله سال ۱۹۹۵ آقای هانگ<sup>۳</sup> [۵] ارائه شده نشان می‌دهد با اضافه کردن یک پایه ۴ام به افزاره که پایه گیت نامیده می‌شود این امر امکان‌پذیر است و می‌توان بهره جریان ترانزیستور دوقطبی را تغییر داد. افزاره فوق در فناوری دو چاه CMOS معمولی ساخته شده است [۵].

## ۲-۱ ضرورت پژوهش

با ساخت چنین افزاره‌ای با توجه به بایاس اعمال شده امکان افزایش بهره ترانزیستور با اعمال ولتاژ ثابت به پایه گیت وجود دارد. به دلیل استفاده از ساختار HBT انتظار می‌رود افزاره نهایی نسبت به نمونه BJT سرعت و بازدهی بالاتری داشته باشد. با ساخت چنین افزاره‌ای، طراحی بعضی از مدارهای الکترونیکی خاص مانند مخلوط‌کننده<sup>۴</sup> و تقویت‌کننده با بهره متغیر<sup>۵</sup> بسیار ساده‌تر خواهد شد.

یکی از پارامترهای مهم ترانزیستور دوقطبی بهره جریان آن است که ساختارهای مختلفی در مراجع [۶-۹] برای بهبود ترانزیستور و افزایش بهره جریان ارائه شده است؛ ولی در رابطه با

<sup>۱</sup>FET

<sup>۲</sup>MOSFET

<sup>۳</sup>Huang

<sup>۴</sup>Mixer

<sup>۵</sup>VGA

کنترل این پارامتر مقالات کمی منتشر شده است. افزودن پایه گیت به ترانزیستور سبب امکان افزایش بهره با اعمال ولتاژ به این پایه می‌شود و همچنین ساخت مدارهای تقویت‌کننده با بهره متغیر VGA و کاربردهای مدارهای مخلوط‌کننده و مدولاسیون، بسیار راحت می‌شود [۱۰، ۱۱]. تمامی کارهای انجام‌شده برای کنترل بهره جریان، ترانزیستور BJT<sup>۱</sup> را مورد بررسی قرار داده‌اند و پژوهشی روی ترانزیستور HBT<sup>۲</sup> صورت نگرفته است.

لذا با توجه به مشخصات بهتر این قطعه نسبت به دوقطبی معمولی که در زیر آورده شده است امکان طراحی و ساخت افزاره جدید GC-HBT<sup>۳</sup> وجود دارد [۱۲، ۱۳].

● افزاره خطی بهتر، به دلیل بزرگ‌تر بودن حاصل ضرب بهره جریان در ولتاژ ارلی نسبت به BJT های معمولی.

● فرکانس قطع بالاتر

● راندمان بالا به علت توانایی خاموش کردن افزاره به‌طور کامل با یک تغییر کوچک ولتاژ

بیس.

لازم به یادآوری است که از معایب این افزاره می‌توان به هزینه ساخت بالاتر آن نسبت به دوقطبی معمولی و ولتاژ شکست پایین‌تر آن اشاره کرد.

## ۳-۱ روش پژوهش

ابتدا افزاره مورد نظر که طرح اولیه آن در شکل ۱-۱ نشان داده شده است، توسط نرم‌افزار سیلوکو<sup>۴</sup> طراحی می‌شود. در این افزاره جدید هدف اضافه‌کردن پایه گیت به HBT و کنترل بهره جریان آن است که تاکنون انجام نشده است. با اعمال ولتاژ به پایه گیت پیش‌بینی می‌شود با توجه به انباشتگی الکترون در زیر گیت، عرض مؤثر بیس تغییر کند و شاهد کنترل‌پذیری بهره جریان ترانزیستور به ازای ولتاژهای متفاوت گیت و حتی افزایش بهره در بازه‌ای از ولتاژ باشیم.

در ابتدا هدف اصلی این پژوهش کنترل‌کردن بهره در ترانزیستور است و ساختارهای معمول با ابعاد در حد چند میکرومتر مورد بررسی قرار می‌گیرد. همچنین می‌توان برای بهبود عملکرد افزاره از مواد مختلف گروه III-V در شبیه‌سازی استفاده کرد و یا فیزیک افزاره را با توجه به نتایج به‌دست‌آمده تغییر داد.

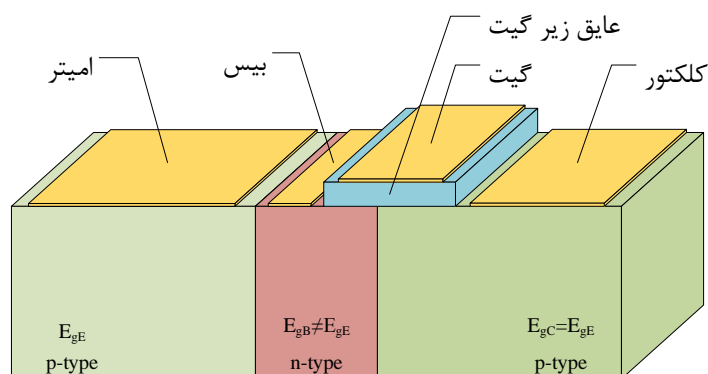
موارد پیشنهادی در این مورد استفاده از مواد مختلف برای عایق استفاده‌شده در ساختار، تغییر ناخالصی‌های اضافه‌شده به قسمت‌های مختلف نیم‌رسانا، تغییر ابعاد فیزیکی بخش‌هایی از افزاره و روش‌های مشابه دیگر هستند.

<sup>1</sup>Bipolar Junction Transistor

<sup>2</sup>Heterojunction Bipolar Transistor

<sup>3</sup>Gate-Controlled Heterojunction Bipolar Transistor

<sup>4</sup>Silvaco



شکل ۱-۱: ساختار پیشنهادی ترانزیستور HBT با بهره جریانی قابل کنترل توسط پایه گیت (GC-HBT)

## ۴-۱ ساختار پایان نامه

در فصل نخست به مقدمه‌ای از ترانزیستور و انواع آن پرداخته شده است. ابتدای این فصل در رابطه با اهمیت وجود ترانزیستورهای دوقطبی در دنیای دیجیتال است و اشاره به این نکته که در خیلی از کاربردها هنوز این نوع ترانزیستور جای خود را به ترانزیستورهای CMOS نداده است. سپس به راه‌های بهبود این افزاره پرداخته و نهایتاً ساختار جدید مطرح شده در این پایان‌نامه ارائه شده است. در ادامه فصل هم در مورد روش شبیه‌سازی و ساختار ارائه شده توضیحات مختصری آورده شده است.

در فصل دوم به تشریح کارکرد ترانزیستور دوقطبی پرداخته شده است. همانطور که از نام این فصل مشخص است مبانی اولیه ترانزیستور دوقطبی و برخی ویژگی‌ها، مشخصات و غیرایده‌آلی‌های ترانزیستور دوقطبی در این فصل گردآوری شده است. در ادامه توضیحاتی در رابطه با ترانزیستورهای نامتجانس<sup>۱</sup> گفته شده تا مقدمه‌ای برای ساختار پیشنهاد شده در این پژوهش باشد.

در فصل سوم به مرور ادبیات و تاریخچه موضوع پرداخته شده است که در ابتدا اصول و مبانی ترانزیستورهای دوقطبی آورده شده است. سپس به روش‌های مختلف بهبود این افزاره پرداخته می‌شود و در ادامه روش استفاده شده در این پژوهش مورد بررسی قرار گرفته است. پس از بررسی ساختارهای موجود، ساختار پیشنهادی برای شبیه‌سازی و توضیح کیفی کارکرد افزاره آورده شده است. در انتهای فصل نیز مقایسه‌ای برای شفافیت موضوع و مرتب شدن ذهن خواننده انجام خواهد شد.

فصل چهارم نتایج شبیه‌سازی‌های انجام شده توسط محقق است و سعی بر این بوده تا مطالب با پیوستگی و همان ترتیبی که انجام شده، کنار هم گردآوری شوند. همچنین مسیر انجام این پژوهش در این فصل با جزئیات بیشتری دیده می‌شود و خواننده به درستی درک می‌کند که محقق

<sup>۱</sup>Heterojunction

برای حل موانع پیش رو و مشکلاتی که با آن مواجه می‌شود چه راهکارهایی انتخاب می‌کند و کاملاً خود را در کنار محقق و همگام با او احساس می‌کند. پس از تکمیل گام به گام ساختار و بهبود آن، پارامترهای مورد نیاز برای مقایسه افزاره با سایر مقالات گذشته، شبیه‌سازی شده و در پایان نیز مقایسه‌ای بین آن‌ها صورت گرفته است.

در فصل پنجم که فصل آخر این پایان‌نامه است ابتدا به جمع‌بندی و نتیجه‌گیری از کار انجام‌شده در طول انجام پژوهش پرداخته شده است. در پایان نیز پیشنهاداتی برای ادامه کار دیگر محققین علاقه‌مند به این موضوع ارائه شده است.



## فصل ۲

# مروری بر مبانی ترانزیستورهای دوقطبی

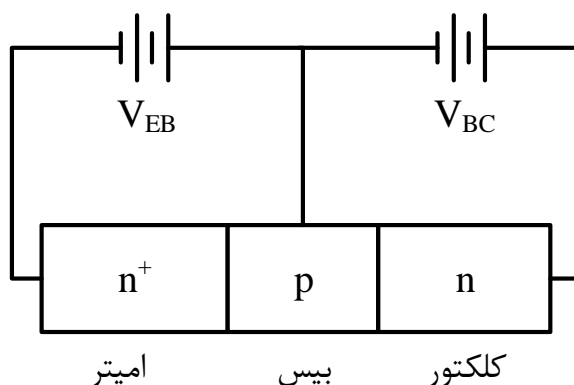
هدف از این فصل مرور مبانی اولیه ترانزیستور دوقطبی، انواع دوقطبی‌ها، غیرایده‌آلی‌های این افزاره‌ها و در نهایت آشنایی با ترانزیستورهای دوقطبی نامتجانس و برتری و نقاط ضعف آنها نسبت به دوقطبی معمولی است.

## ۱-۲ پارامترهای دوقطبی

در شکل ۱-۲ یک ترانزیستور دوقطبی نشان داده شده است، که در آن ناحیه امیتر  $n^+$ ، ناحیه بیس  $p$  و ناحیه کلکتور  $n$  است. در این افزاره امیتر-بیس بایاس مستقیم شده است و باعث می‌شود که الکترون‌ها به بیس تزریق شوند. برخی از الکترون‌ها در بیس با حفره‌ها بازترکیب می‌شوند، ولی اگر ناحیه بیس کوتاه‌تر از طول نفوذ حامل‌های اقلیت باشند، اکثر این حامل‌ها به ناحیه تخلیه دیود  $p-n$  بیس-کلکتور می‌رسند و از آنجا به سمت کلکتور رانده می‌شوند و جریان کلکتور را بوجود می‌آورند.

جریان کلکتور با حامل‌های اقلیتی (الکترون‌ها) متناسب است که به لبه ناحیه تخلیه  $p-n$  می‌رسند. از آنجا که حامل‌های اقلیت تزریق شده، از جریان امیتر ناشی می‌شوند داریم:

$$I_C = \beta I_{E_n} \quad (1-2)$$



شکل ۲-۱: پیوند امیتر- بیس با یاس مستقیم و پیوند بیس- کلکتور با یاس معکوس [۱۴]

که در آن  $I_{En}$  بخش مربوط به الکترون‌ها در جریان امیتر است. ضریب  $B$  ضریب انتقال بیس<sup>۱</sup> نامیده می‌شود و مقدار آن کوچکتر از واحد است زیرا بخشی از الکترون‌ها در بیس بازترکیب می‌شوند و به کلکتور نمی‌رسند. جریان امیتر از الکترون‌های تزریق شده از طرف  $n$  به طرف  $p$  ( $I_{En}$ ) و حفره‌های تزریق شده از طرف  $p$  به طرف  $n$  ( $I_{Ep}$ ) تشکیل می‌شود. جریان کلکتور فقط به الکترون‌های تزریق شده بستگی دارد و بازده امیتر<sup>۲</sup>  $\gamma_e$  به صورت زیر تعریف می‌شود [۱۵].

$$\gamma_e = \frac{I_{En}}{I_{En} + I_{Ep}} \quad (2-2)$$

نسبت جریان کلکتور به امیتر برابر است با:

$$\frac{I_C}{I_E} = \frac{BI_{En}}{I_{En} + I_{Ep}} = B\gamma_e = \alpha \quad (3-2)$$

که در آن،  $\alpha$  نسبت انتقال جریان<sup>۳</sup> نامیده می‌شود. این نسبت در ترانزیستورهای دوقطبی خوب نزدیک به واحد است. نسبت جریان کلکتور به جریان کنترل‌کننده بیس نیز اهمیت زیادی دارد، زیرا تقویت جریان را نشان می‌دهد. جریان بیس از جریان حفره‌هایی که به امیتر تزریق می‌شوند  $I_{Ep}$  و جریان حفره‌هایی که با الکترون‌های تزریق شده از امیتر بازترکیب می‌شوند تشکیل یافته است.

$$I_B = I_{Ep} + (1 - B)I_{En} \quad (4-2)$$

$$\frac{I_C}{I_E} = \frac{B\gamma_e}{1 - B\gamma_e} \quad (5-2)$$

<sup>1</sup>Base Transport Factor

<sup>2</sup>Emitter Efficiency

<sup>3</sup>Current transfer Ratio



و در نتیجه:

$$\beta = \frac{\alpha}{1 - \alpha} \quad (۶-۲)$$

که در آن  $\beta$  ( $h_{FE}$  نیز خوانده می‌شود) ضریب تقویت جریان بیس به کلکتور نامیده می‌شود. از طرفی جریان کلکتور برابر است با:

$$I_C \cong An_p e v_n \cong An_p \frac{eW_b}{\tau_t} \quad (۷-۲)$$

که در آن  $\tau_t$  زمان عبور الکترون‌ها از ناحیه بیس،  $\tau_B$  زمان بازترکیب الکترون‌ها با حفره‌ها در بیس،  $n_p$  تراکم الکترون‌های تزریق‌شده در بیس،  $A$  مساحت ترانزیستور و  $V_n$  سرعت الکترون در درون بیس است.

جریان بیس برابر است با:

$$I_B = \frac{AeW_b n_p}{\tau_B} \quad (۸-۲)$$

بنابراین جریان کلکتور و جریان بیس به هم وابسته‌اند. کاهش پتانسیل پیوند امیتر-بیس موجب کاهش چگالی الکترون‌های تزریق‌شده می‌شود و جریان بیس کاهش می‌یابد. حال بهره جریان برابر است با:

$$\frac{I_C}{I_B} = \frac{\tau_B}{\tau_t} \quad (۹-۲)$$

بنابراین بهره جریان زیاد مستلزم بازترکیب اندک ( $\tau_B$  بزرگ) و زمان گذر کوچک است. حال پس از ارائه تصویر فیزیکی از ترانزیستور دوقطبی، پارامترهای مهم ترانزیستور در ادامه بیان می‌شود.

#### ● بازده تزریق امیتر ( $\gamma_e$ )

بازده تزریق امیتر، برابر است با نسبت جریان الکترون که در اثر تزریق الکترون از امیتر ایجاد می‌گردد به جریان امیتر [۱۴]:

$$\gamma_e = \frac{I_{En}}{I_{En} + I_{Ep}} \quad (۱۰-۲)$$

واضح است که برای حصول بازده امیتر زیاد، جریان تزریقی برگشتی از بیس  $I_{Ep}$  باید حداقل شود.

#### ● ضریب انتقال بیس (B)

ضریب انتقال بیس بیانگر نسبت جریان الکترونی است که به پیوند بیس-کلکتور می‌رسد، به جریانی که در پیوند بیس-امیتر تزریق می‌شود. الکترون‌ها ضمن عبور از درون بیس با حفره‌ها بازترکیب می‌شوند. بنابراین ضریب انتقال بیس از واحد کمتر است.

$$B = \frac{I_C}{I_{En}} \quad (۱۱-۲)$$

اگر پهنای بیس کوچک باشد داریم:

$$B \approx 1 - \frac{W_{bn}^2}{2L_b} \quad (۱۲-۲)$$

### • بهره جریان ( $\beta$ )

بهره جریان یک ترانزیستور دوقطبی به صورت نسبت جریان کلکتور به جریان بیس تعریف می‌شود و به صورت زیر بیان می‌شود [۱۴]:

$$\beta = \frac{I_C}{I_B} = \frac{D_{nb} \cdot L_{pe} \cdot N_{de}}{D_{pe} \cdot W_b \cdot N_{ab}} \quad (۱۳-۲)$$

در این رابطه  $D_{nb}$  طول نفوذ الکترون در بیس و  $D_{pe}$  طول نفوذ حفره در امیتر و  $N_{de}$  و  $N_{ab}$  به ترتیب غلظت ناخالصی در امیتر و بیس هستند. شکل ۲-۲ یک ترانزیستور دوقطبی npn را نشان می‌دهد. به منظور بدست آوردن بهره بزرگ، غلظت ناخالصی امیتر باید بیشتر از ناخالصی بیس و عرض بیس ( $W_b$ ) باید کمینه باشد. پارامترهای دیگر مانند  $N_{ab}$ ،  $N_{de}$  و  $W_b$  بر روی  $f_T$  و  $BV_{CEO}$  نیز مؤثر هستند.

### • فرکانس قطع

پارامتر مهمی که پاسخ فرکانسی ترانزیستور را مشخص می‌کند، فرکانس قطع  $f_T$  است که به زمان تأخیر کل  $\tau_{ec}$  مرتبط است و تأخیر انتشار حامل‌ها را از امیتر به کلکتور نشان می‌دهد [۱۴]. فرکانس قطع برابر است با:

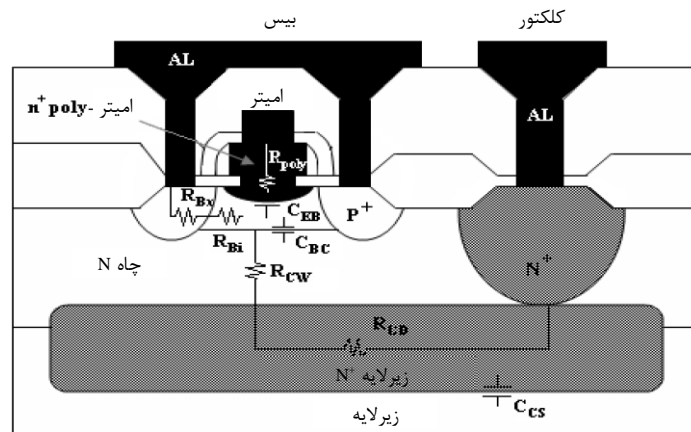
$$f_T = \frac{1}{2\pi\tau_{ec}} \quad (۱۴-۲)$$

زمان تأخیر کل  $\tau_{ec}$  به صورت زیر بیان می‌شود:

$$\tau_{ec} = \tau_e + \tau_t + \tau_d + \tau_c \quad (۱۵-۲)$$

که در آن،  $\tau_{ec}$  تأخیر امیتر به کلکتور،  $\tau_e$  مدت زمان پر شدن خازن پیوند امیتر-بیس،  $\tau_t$  زمان گذر بیس،  $\tau_d$  زمان گذر از ناحیه تخلیه کلکتور و  $\tau_c$  زمان پر شدن خازن کلکتور است. این زمان‌ها عبارتند از:

$$\tau_e = r'_e C_{je} \quad (۱۶-۲)$$



شکل ۲-۲: یک ترانزیستور دوقطبی خودتنظیم پیشرفته به همراه مؤلفه‌های پارازیتی [۱۵]

$$\tau_t = \frac{W_b^2}{2D_b} \quad (17-2)$$

$$\tau_d = \frac{W_{dc}}{v_s} \quad (18-2)$$

$$\tau_c = r_c(C_\mu + C_s) \quad (19-2)$$

که در این روابط:

$r'_e$  مقاومت امیتر است که از شیب منحنی  $I_E$  بر حسب  $V_{BE}$  بدست می‌آید.

$C_{je}$  خازن پیوند امیتر-بیس است.

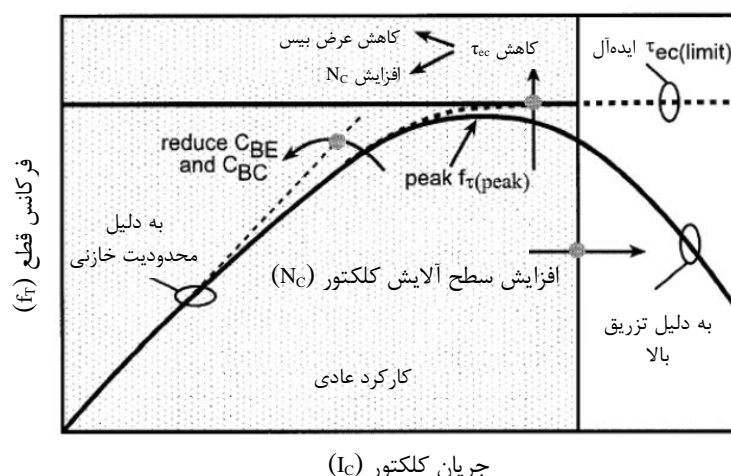
$W_{dc}$  پهنای تخلیه پیوند کلکتور-بیس است.

$v_s$  سرعت اشباع است.

در شکل ۲-۲ یک ترانزیستور دوقطبی خودتنظیم پیشرفته<sup>۱</sup> به همراه مؤلفه‌های پارازیتی آن دیده می‌شود. مؤلفه‌های پارازیتی شامل: خازن‌های پیوندی امیتر-بیس ( $C_{EB}$ )، بیس-کلکتور ( $C_{BC}$ ) و کلکتور-زیرپایه ( $C_{CS}$ )، مقاومت امیتر ( $R_{poly}$ )، مقاومت بیس ( $R_B$ ) و مقاومت کلکتور ( $R_C$ ) هستند.

$f_T$  یک مقدار ثابت نیست و با تغییر چگالی جریان کلکتور تغییر می‌کند. بطور کلی دوقطبی یک قطعه کنترل‌شده با جریان است. شکل ۲-۳ ارتباط بین  $f_T$  و  $I_C$  را نشان می‌دهد. در واقع

<sup>1</sup>Self-aligned Base and Emitter regions



شکل ۲-۳: منحنی  $f_T$  بر حسب  $I_C$  یک نمونه ترانزیستور دوقطبی [۱۶]

بیشینه  $f_T$  در تزریق سطح بالا اتفاق می‌افتد. به منظور بیشینه کردن  $f_T$ ، ترانزیستور دوقطبی باید به دقت طراحی و بهینه شود. عرض بیس و خازن‌های پارازیتی  $C_{BE}$  و  $C_{BC}$  باید کمینه شوند. بهبود کارایی فرکانسی ترانزیستور بوسیله کاهش عرض بیس یا افزایش ناخالصی کلکتور باعث کاهش ولتاژ شکست ترانزیستور خواهد شد.

#### • ولتاژ شکست

بیشینه ولتاژ عملکرد ترانزیستور دوقطبی بوسیله ولتاژ شکست آن تعیین می‌شود. برای ترانزیستورهای دوقطبی چند منبع عمده شکست وجود دارد. ولتاژ شکست نهایی ترانزیستور بوسیله شکستی که در ولتاژ کمتر اتفاق می‌افتد تعیین می‌شود.

## ۲-۲ انحراف از ترانزیستور ایده‌آل

در بالا برای استخراج مشخصه‌های ترانزیستورهای دوقطبی، از تعدادی تقریب ساده استفاده شده است. اثرات درجه دوم مهمی وجود دارند که مشخصه‌های افزاره را نسبت به آنچه تا کنون دیده‌ایم تغییر می‌دهد. این تغییرات آثار قابل توجهی بر طراحی مدار و محدودیت‌های عملکرد افزاره می‌گذارند. از مهمترین اثرات غیر ایده‌آل که نقش زیادی در تغییر مشخصات ترانزیستور دارند می‌توان به موارد زیر اشاره کرد.

#### • مدولاسیون پهنای بیس<sup>۱</sup>

به طور خلاصه می‌توان گفت پهنای بیس با بایاس کلکتور-بیس تغییر می‌کند. این امر جریان خروجی افزاره را تغییر می‌دهد. به عبارتی کمیت  $W_{bn}$  که طبق معادله زیر در مشخصه جریان ولتاژ ترانزیستور ظاهر می‌شود، پهنای واقعی بیس یعنی  $W_b$  نیست، بلکه فاصله بین دو ناحیه

<sup>1</sup>Base Width Modulation

تخلیه ترانزیستور است. ناحیه تخلیه با شرایط بایاس تغییر می‌کند، به طوری که  $W_{bn}$  و در نتیجه جریان، وابستگی دیگری به بایاس پیدا می‌کنند. این مدوله کردن پهنای بیس و اثر آن بر جریان، اثر ارلی<sup>۱</sup> نام دارد.

$$W_b \cong \frac{eAD_b n_{bo}}{W_{bn}} \left( \exp\left(\frac{eV_{BE}}{K_B T}\right) - 1 \right) \quad (20-2)$$

در نتیجه با افزایش ولتاژ بایاس، عرض مؤثر بیس کاهش یافته و بنابراین جریان کلکتور افزایش می‌یابد.

#### • اثرات رانشی در بیس

اثر مربوط به آرایش<sup>۲</sup> غیریکنواخت در بیس است که باعث ایجاد یک میدان غیریکنواخت در آن شده و در نتیجه بر حامل‌های تزریق‌شده به بیس از امیتر تأثیر می‌گذارد و زمان گذر بیس را ایجاد می‌کند.

#### • شکست بهمنی

در بایاس معکوس و شرایط اعمال ولتاژ بسیار زیاد به پیوند بیس-کلکتور، افزاره در پیوند بیس-کلکتور می‌شکند و چگالی جریان بسیار بالایی ایجاد می‌شود.

#### • تزریق بالا (اثر یورش بیس)

محدودیت مهم دیگر در چگالی جریان کلکتور بالا، اثر کرک<sup>۳</sup> نامیده می‌شود. وقتی چگالی الکترون‌های تزریقی به چگالی اتم‌های دهنده<sup>۴</sup> نزدیک می‌شود، میدان در ناحیه تخلیه شروع به کاهش می‌یابد و پهنای ناحیه تخلیه زیاد می‌شود و در نتیجه پهنای مؤثر بیس زیاد می‌شود. تا اینکه پهنای تخلیه، کل ناحیه کلکتور را در بر می‌گیرد. برای اجتناب از این پدیده، بویژه در افزاره‌های کوچک، باید آرایش کلکتور به اندازه کافی زیاد باشد [۱۷].

#### • اثر تجمع جریان<sup>۵</sup>

همچنین یک افت پتانسیل نیز در اثر مقاومت پخش‌شده بیس روی وجه امیتر وجود دارد. مرکز امیتر کمتر از لبه‌های خارجی آن در بایاس مستقیم قرار می‌گیرد. این باعث می‌شود که جریان در لبه‌ها بزرگتر از جریان در مرکز امیتر باشد؛ این وضعیت را تجمع جریان می‌گویند. برای حل این مشکل تلاش می‌شود که ناحیه بیس بیشترین سطح مشترک را با ناحیه امیتر داشته باشد [۱۸].

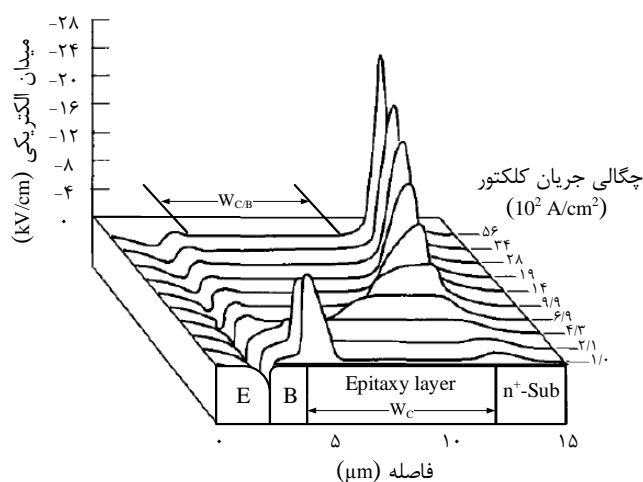
<sup>1</sup>Early Effect

<sup>2</sup>Doping

<sup>3</sup>Kirk Effect

<sup>4</sup>Donor

<sup>5</sup>Current Crowding Effect



شکل ۲-۴: نمایشی از اثر یورش بیس در جریان‌های مختلف کلکتور [۱۷]

## ۲-۳ دوقطبی با کارایی زیاد

می‌توان شرایط کلی برای کارایی بالای دوقطبی‌ها را به صورت زیر نوشت.

- بهره جریان بالا
- بازده امیتر بالا
- سرعت بالا

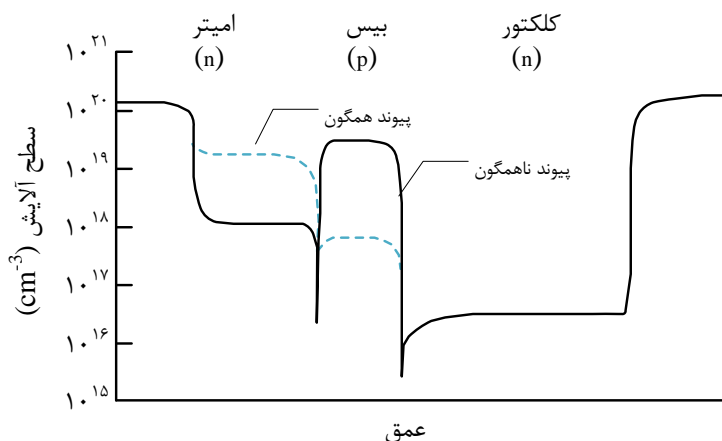
برای داشتن شروط ذکر شده در ساختار اولیه دوقطبی نیاز به آرایش زیاد امیتر، آرایش کم بیس و پهنای بیس باریک است که این خود باعث ایجاد مشکلاتی از جمله کوتاه شدن شکاف انرژی و در نتیجه تزریق بیس و افزایش مقاومت بیس خواهد شد. سال‌ها تلاش برای یافتن ساختاری مناسب با کارایی بالا، منجر به معرفی ساختارهای مختلف دوقطبی شده است که بیشتر بحث آنها پیرامون بهره جریان و سرعت افزاره است.

بهره جریان امیتر مشترک ( $\beta$ ) ترانزیستورهای دوقطبی یکی از مهمترین پارامترهای طراحی آنها به حساب می‌آید که با بالا بردن آن می‌توان علاوه بر داشتن کارایی بهتر، سرعت افزاره را نیز بالا برد. بهره جریان ترانزیستورهای دوقطبی را می‌توان با استفاده از ساختارهای HBT با بیس SiGe، امیتر با چگالی ناخالصی غیر یکنواخت، امیتر پلی‌سیلیکون و ... افزایش داد. تمام این ترندها اگرچه کاربرد زیادی دارند اما مراحل ساخت پیچیده‌ای دارند [۱۴].

امروزه صنعت مدارهای مجتمع به سمت استفاده از ترانزیستورهای ساخته شده بر روی زیرلایه<sup>۱</sup> SOI<sup>۲</sup> پیش می‌رود. ترانزیستورهای ساخته شده بر روی زیرلایه عایق برتری‌هایی بر ترانزیستورهایی که در عمق نیم‌رسانا ساخته می‌شوند دارند [۱۹، ۲۰].

<sup>۱</sup>Substrate

<sup>۲</sup>Silicon on Insulator



شکل ۲-۵: مقایسه بین چگالی ناخالصی ناحیه‌ها در HBT و دوقطبی متداول [۱۴]

در این ترانزیستورها به دلیل عایق بودن زیرلایه، جریان زیرلایه صفر است؛ همچنین مقدار نویز نیز کم است. این ویژگی‌ها موجب شده که این ترانزیستورها مورد توجه زیادی قرار گیرند و تحقیق برای بهبود عملکرد آنها و ایجاد کاربردهای جدید مورد نظر باشد [۲۱].

## ۲-۴ ترانزیستورهای نامتجانس HBT

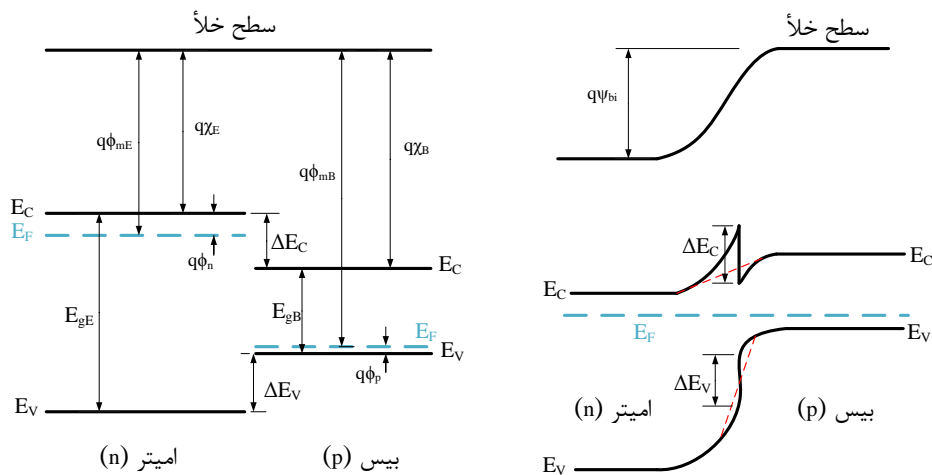
شاتکی و کرومر در دهه ۵۰ ترانزیستورهای دوقطبی نامتجانس را به این صورت معرفی کردند که اگر در ترانزیستور دوقطبی به جای استفاده از یک نوع نیم‌رسانا، از دو یا چند نوع نیم‌رسانا مانند Si و Ge به ترتیب برای بیس و امیتر استفاده کنیم، به طوری که شکاف انرژی در امیتر بیشتر از بیس باشد یک HBT خواهیم داشت. شکل ۲-۵ مقایسه‌ای بین چگالی ناخالصی ناحیه‌ها در HBT و دوقطبی متداول را نشان می‌دهد [۱۴].

شکل ۲-۶ نمودار نوار انرژی دو قطعه نیم‌رسانای مجزا را قبل و بعد از تشکیل پیوند نشان می‌دهد. واضح است که به دلیل یکسان نبودن شکاف انرژی و الکترون‌خواهی دو قطعه، شکستی در ناحیه اتصال آنها ایجاد می‌شود.

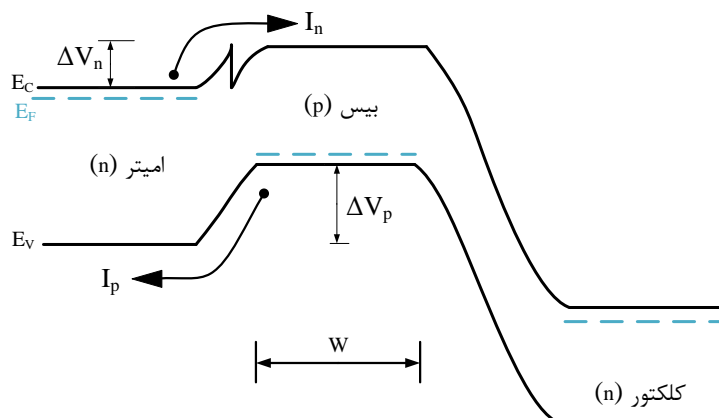
شکل ۲-۷ نمودار نواری این قطعه را نشان می‌دهد که در حالت فعال عمل می‌کند. اگرچه کار قطعه مشابه با کار ترانزیستورهای معمولی است، اما برای ترانزیستور دوقطبی با پیوند ناهمگن<sup>۱</sup> مزایای زیادی وجود دارد که عبارتند از:

- بازده بالاتر امیتر، زیرا حفره‌هایی (حامل‌های اقلیت برای امیتر در ترانزیستور npn) که از بیس به امیتر جاری می‌شوند به وسیله سد بالاتری در نوار ظرفیت متوقف می‌شوند.
- مقاومت بیس کاهش یافته، زیرا بیس بدون قربانی کردن بهره امیتر می‌تواند به شدت

<sup>۱</sup>Heterojunction



شکل ۲-۶: نوارهای انرژی مربوط به HBT با امیتر با شکاف انرژی بزرگ و بیس با شکاف انرژی کوچک قبل و بعد از اتصال [۱۴]



شکل ۲-۷: نمودار نوارهای انرژی افزاره در ناحیه فعال [۱۷]

ناخالص شود.

- پاسخ فرکانسی سریع‌تر، به دلیل بهره جریان بالاتر و مقاومت پایین‌تر بیس. فقط در ساخت افزاره‌های HBT باید دقت شود که ثابت شبکه مربوط به ناحیه بیس و امیتر به هم نزدیک باشند [۱۷].

این افزاره‌های HBT شامل ترانزیستورهایی هستند که بیس آنها مواد مرکب شیبدار<sup>۱</sup> هستند (برای مثال: استفاده از  $Al_xGa_{1-x}As$ ، با مقادیر متفاوتی از  $x$  که از امیتر تا کلکتور، کاهش می‌یابد) تا میدان داخلی ایجادشده و زمان عبور از بیس را کاهش دهند. بنابراین طراحان افزاره‌های نیم‌رسانا شروع به استفاده از AlGaAs به عنوان امیتر در HBT‌های پرکاربرد کردند. همچنین SiGe یک نیم‌رسانای امیدبخش در مدارهای سرعت بالا مثل کاربردهای RF (VCOها،

<sup>۱</sup>Graded



LNAها، مدلاتورها و ...)، مبدل‌های دیجیتالی به آنالوگ و مدارهای دقیق آنالوگ (آینه‌های جریان، مراجع ولتاژ باندگپ<sup>۱</sup>، مقایسه‌کننده‌ها و ...) است و در بعضی HBTها به عنوان ناحیه بیس به کار می‌رود [۲۲].

## ۱-۴-۲ پیوند ناهمگون

هنگامی که دو ماده نامتشابه با استفاده از یکی از روش‌های رشد مواد به یکدیگر متصل می‌گردند، اتصالات ناهمگون<sup>۲</sup> شکل می‌گیرد. هر گونه ترکیب دلخواه از نیم‌رسانا و عایق‌ها، با استفاده از هر روش رشد نمی‌تواند منجر به مرز اتصال مفید برای افزاره گردد. ترکیبات خاصی مانند  $SiO_2/Si$  با بسیاری از نیم‌رساناهایی که دارای شبکه‌های کریستالی همسانی هستند، باعث ایجاد سطوح مشترک با چگالی حالت‌های پایین در نتیجه پراش<sup>۳</sup> متناظر پائین می‌گردد. این خواص است که ما را از مزایای این افزاره بهره‌مند می‌کند.

پیوندهای ناهمگون سومین رده مهم از پیوندها شامل پیوند بین نیم‌رسانای با شبکه تطبیق‌یافته ولی با شکاف نوار متفاوت است. مرز مشترک بین اینگونه نیم‌رساناها عاری از نقایص بلوری بوده و می‌تواند بلورهای پیوسته‌ای شامل یک یا چند پیوند ناهمگون بوجود آورد. قابلیت دسترسی به پیوندهای ناهمگون و ساختارهای چند لایه در نیم‌رساناهای مرکب، افق وسیعی از امکان گسترش قطعات الکترونیک را در پیش رو قرار داده است. در پیوندهای ناهمگون ترازهای فرعی دو نیم‌رسانا را هم‌سطح می‌کنند و یک فضای خالی برای ناحیه گذر در نظر می‌گیرند. با ثابت نگه داشتن شکاف نوری در هر ماده نواحی نوار هدایت و ظرفیت به هم متصل می‌شود [۲۳].

## ۲-۴-۲ ویژگی پیوند ناهمگون

بازدهی<sup>۴</sup> تزریق الکترون از امیتر به بیس، تا حد زیادی به ناپیوستگی ظرفیت نوری<sup>۵</sup> در اتصال ناهمگون امیتر-بیس وابسته است. وضعیت ایده‌آل این است که یک اتصال ناهمگون با یک  $\Delta E_C$  نزدیک به صفر و یک  $\Delta E_V$  تا حد ممکن بزرگ داشته باشیم تا از تزریق حفره‌ها از بیس به امیتر اجتناب گردد. جدول ۱-۲ اتصال ناهمگون اصلی که امروزه برای سه نوع بستر وجود دارد را نشان دهد. اتصال ناهمگونی که به بهترین شکل با این شرط مطابقت دارد، از طریق  $Ga_{0.51}In_{0.49}P/GaAs$  به دست می‌آید. در مقیاس بسیار پایین بازدهی قرار می‌گیرد. نگاهی دقیق به افزاره نشان می‌دهد که طرح چنین HBT اغلب نزدیک به یک دوقطبی استاندارد است، اما غلظت ژرمانیم درجه‌بندی شده در بیس، انتقال حامل به کمک یک میدان داخلی را تضمین می‌کند که منجر به کاهش زمان انتقال الکترون‌ها در بیس می‌گردد. این تأثیر در مورد

<sup>1</sup>Bandgap Voltage References

<sup>2</sup>Heterojunction

<sup>3</sup>Interface Scattering

<sup>4</sup>Efficiency

<sup>5</sup>Band gap

افزاره‌هایی که برای کاربردهای دیجیتال طراحی شده‌اند و در آنها ولتاژ شکست کلکتور-امیتر پایین مدنظر قرار دارد، از اهمیت بالا برخوردار است. در این مورد، ضخامت کلکتور در دامنه ۲۰۰ نانومتر است و سهم زمان گذر بیس، در مقایسه با سهم کلکتور از اهمیت بیشتری برخوردار است [۲۴].

جدول ۲-۱: مشخصات باند اتصال ناهمگون برای ساختارهای ناهمگون مختلف [۲۴]

Si/Si <sub>0.75</sub> Ge <sub>0.25</sub>	InP/Ga <sub>0.47</sub> In <sub>0.53</sub> As	Ga <sub>0.51</sub> In <sub>0.49</sub> P/GaAs	Al <sub>0.3</sub> Ga <sub>0.7</sub> As/GaAs	واحد	پارامترهای فیزیکی
Si	InP	GaAs	GaAs		زیرلایه
۰/۰۴	۰/۲۶	۰/۱۷	۰/۲۴	الکترون‌ولت	$\Delta E_c$
۰/۰۶	۰/۳۴	۰/۳۱	۰/۱۵	الکترون‌ولت	$\Delta E_c$
۲۲	۵۸	۶۵	۳۸	درصد	$\Delta E_c/\Delta E_g$

مدت زمان انتقال الکترون‌ها در بیس بسیار حائز اهمیت است. مواد بیس عناصر گروه سوم و پنجم عملکرد بسیار بهتری را در مقایسه با SiGe نشان می‌دهند.

جدول ۲-۲: عوامل مهم در طول انتقال الکترون‌ها در بیس [۲۴]

In <sub>0.53</sub> Ga <sub>0.47</sub> As	GaAs	Si <sub>0.75</sub> Ge <sub>0.25</sub>	واحد	نماد	پارامترهای فیزیکی
۱۳۰۰۰	۸۶۰۰	۲۰۰۰	cm <sup>2</sup> /Vs	$\mu_{no}$	قابلیت تحرک پذیری الکترون (ذاتی)
~۱۰۰۰	~۲۰۰۰	~۱۰۰	cm <sup>2</sup> /Vs	$\mu_{no}$	قابلیت تحرک پذیری الکترون در بیس آلاینش شده
۵۰	۱۳۰	۵۲	cm <sup>2</sup> /Vs	$\mu_h$	قابلیت تحرک پذیری حفره (N <sub>b</sub> ~5×10 <sup>19</sup> cm <sup>-3</sup> )

## ۲-۴-۳ خواص مواد

مواد و اتصالات ناهمگون مختلف نیم‌رساناها که از سوی تولیدکنندگان افزاره‌های ریزموج<sup>۱</sup> برای تولید افزاره‌های HBT برای کاربردهای فرکانس بالا استفاده می‌شوند در جدول ۲-۲ آمده است. برای ساخت افزاره‌های HBT سه نوع زیرلایه<sup>۲</sup> Si، GaAs و InP مورد استفاده قرار می‌گیرند. هرکدام از این زیرلایه‌ها دارای خواص منحصر به فرد و متفاوت هستند که برای عملکردهای کلی افزاره‌ها، کاملاً حائز اهمیت است. جدول ۲-۳ مشخصات فیزیکی ویفر<sup>۳</sup> این مواد و بعضی

<sup>۱</sup>Microwave

<sup>۲</sup>Substrate

<sup>۳</sup>Wafer

از پارامترهای مهم برای ساخت افزاره‌های الکترونیکی را نشان می‌دهد. هرکدام از این زیرلایه‌ها محاسن و معایبی را دارند که در ادامه همراه با توضیح مختصری بیان خواهند شد.

جدول ۲-۳: پارامترهای مهم زیرلایه‌های مختلف برای ساخت HBT [۲۴]

InP	GaAs	Si	پارامترهای فیزیکی
۷۵-۵۰	۱۵۰-۷۵	۳۰۰-۱۵۰	ابعاد در دسترس (mm)
شکننده	متوسط	بالا	استحکام
$\sim 5 \times 10^4$	$\sim 1000$	۱	تراکم نقص ( $\text{mm}^{-2}$ )
۱/۳۵	۱/۴۲۴	۱/۱۲	شکاف انرژی (eV)
$1/2 \times 10^8$	$1/79 \times 10^6$	$1/45 \times 10^{10}$	غلظت حامل‌های ذاتی ( $\text{cm}^{-3}$ )
$10^8$	$10^8$	$10^4$	بالاترین مقاومت در دسترس ( $\Omega \text{ cm}$ )
۱۳/۱	۱۲/۶۱	۱۱/۹	ثابت دی‌الکتریک
۱۰۷۰	۱۲۳۸	۱۴۱۵	نقطه ذوب ( $^{\circ}\text{C}$ )
$4/44 \times 10^{-4}$	$1/87 \times 10^{-4}$	$1/41 \times 10^{-4}$	ضریب انبساط گرمایی $\beta$ ( $\text{K}^{-1}$ )
۱/۵	۰/۴۶	۰/۶۸	رسانایی گرمایی ( $\text{W/cm K}$ )

#### ● زیرلایه Si:

این زیرلایه بزرگ‌ترین ویفر را در بین سه زیرلایه گفته‌شده دارد و به دلیل اندازه ویفر خود و تراکم نقص<sup>۱</sup> پایین، دارای قیمت ارزانتری است و پایداری گرمایی خوبی را به دلیل رسانایی گرمایی بالاتر نسبت به دو زیرلایه دیگر نشان می‌دهد. همچنین Si در مقایسه با GaAs و InP شکاف انرژی کوچک‌تری دارد. از معایب اصلی این زیرلایه می‌توان به ضریب مقاومت واحد سطح<sup>۲</sup> پایین‌تر نسبت به سایر زیرلایه‌ها اشاره کرد.

#### ● زیرلایه GaAs:

ویفر GaAs در اندازه ۱۵۰ میلی‌متر موجود است و تراکم نقص قابل‌قبولی را از خود نشان می‌دهد. همچنین این زیرلایه ضریب مقاومت واحد سطح بالایی دارد که از مزایای اصلی آن است. از معایب این زیرلایه می‌توان به رسانایی گرمایی پایین آن اشاره کرد که بدترین مورد در میان این سه زیرلایه را دارد.

#### ● زیرلایه InP:

همواره تولید تراشه‌های ارزان‌قیمت، به عنوان یک دغدغه تلقی می‌گردد و استفاده از ویفرهای کوچک و شکننده می‌تواند هزینه ساخت تراشه‌ها را تحت تأثیر قرار دهد. از معایب InP اندازه ویفر و دوام پایین و شکنندگی آن است. از ویژگی‌های خوب این زیرلایه می‌توان به ضریب

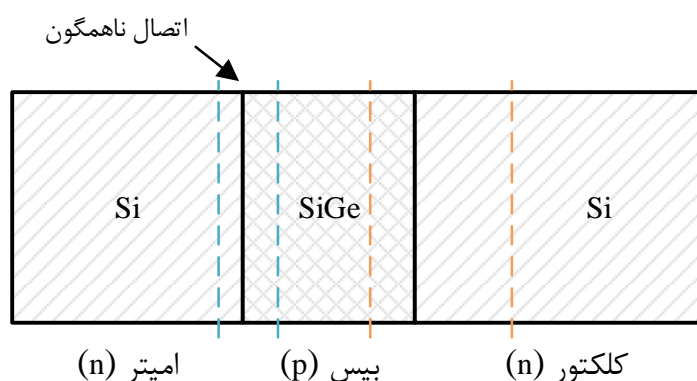
<sup>1</sup>Defect density

<sup>2</sup>Sheet Resistance

مقاومت واحد سطح بزرگ و ویژگی‌های گرمایی خوب آن اشاره کرد. از مزایای استفاده از مواد III-V به عنوان زیرلایه، بالابودن ضریب مقاومت واحد سطح و در نتیجه کاهش ظرفیت خازن پارازیتی<sup>۱</sup> افزاره است. این امر منجر به افزایش فرکانس قطع افزاره ساخته‌شده بر روی این زیرلایه‌ها می‌گردد. در رابطه با رسانایی گرمایی زیرلایه‌ها، مهندسی فناوری روش‌هایی را برای بهبود این پارامتر ارائه کرده‌اند. یکی از این اقدامات نصب زیرلایه بر روی مواد دارای رسانایی حرارتی بالا مانند الماس یا فلز است [۲۴، ۲۵].

## ۵-۲ ترانزیستور HBT(SiGe)

ترانزیستور دوقطبی نامتجانس نوع سیلیکون-ژرمانیم شامل سه لایه است که لایه امیتر آن از جنس سیلیکون است، لایه بیس آن از جنس سیلیکون-ژرمانیم است و لایه کلکتور آن از جنس سیلیکون است که شکل ساختار آن در شکل ۲-۸ آمده است.



شکل ۲-۸: ساختار ترانزیستور HBT(SiGe) [۲۶]

همانطور که از شکل بالا مشخص است پیوند بین بیس-امیتر از نوع پیوند ناهمگون<sup>۲</sup> است، به این معنی که پیوند بیس-امیتر بین دو لایه ناهمگون تشکیل شده است. به پیوند بین بیس-کلکتور که بین دو لایه همگون و همانند تشکیل شده است پیوند همگون<sup>۳</sup> گفته می‌شود. لازم به ذکر است این ترانزیستور بیشتر در جاهایی که به سرعت بالا نیاز است مورد استفاده قرار می‌گیرد. این نوع ترانزیستور معمولاً در مدارهای فرکانس بالا (RF) کاربرد دارد و برای ساخت آی‌سی‌های فرستنده یا گیرنده با سرعت بالا استفاده می‌شود [۲۶].

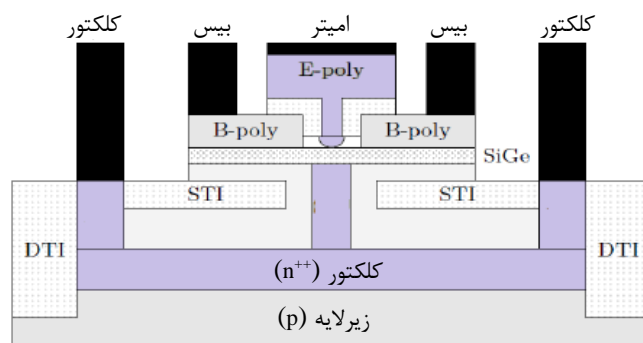
<sup>1</sup>Parasitic capacitance

<sup>2</sup>Heterojunction

<sup>3</sup>Homojunction

## ۱-۵-۲ ساختمان ترانزیستور HBT(SiGe)

در شکل ۲-۹ ساختمان این ترانزیستور را مشاهده می‌کنید که همانطور که از شکل مشخص است ساخت این افزاره با زیرلایه نوع p شروع می‌شود که زیرلایه کلکتور به آرامی روی سطح ویفر تشکیل می‌شود که با غلیظ شدن ناحیه n سطح را برای رشد فراهم می‌کند. بعد از اینکه جداسازی انجام شد و لایه کلکتور تشکیل شد لایه بیس که از نوع سیلیسیوم - ژرمانیم است رشد داده می‌شود و همچنین ارتباط آن با محیط بیرون مهیا می‌شود. بالاخره در انتها امیتر که از نوع سیلیسیوم است تشکیل می‌شود. لازم به ذکر است در شکل قسمت‌هایی را که با عنوان DTI و STI مشخص شده‌اند به ترتیب به معنی برش عمیق<sup>۱</sup> و برش کم عمق<sup>۲</sup> هستند که در مراحل ساخت و با ماسک‌های متفاوت ایجاد می‌شوند [۲۶].



شکل ۲-۹: ساختار ترانزیستور HBT(SiGe) [۲۶]

## ۲-۵-۲ مزایای استفاده از HBT(SiGe) به جای BJT(Si)

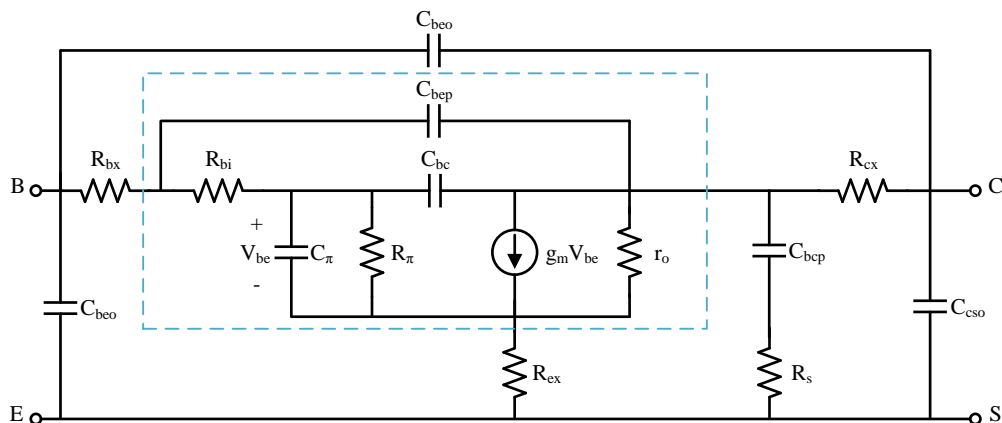
در این قسمت چند مورد از مزایای ترانزیستورهای ناهمگون که در بیس آن به جای Si از SiGe استفاده شده است در مقایسه با دوقطبی‌های معمولی آورده شده است [۲۶].

- ۱- کاهش مقاومت بیس به علت بالا بودن ناخالصی بیس
- ۲- افزایش  $f_T$  و  $f_{max}$  که به علت کاهش زمان گذر بیس است.
- ۳- جریان بالاتر کلکتور به دلیل مقاومت کوچک بیس
- ۴- بهره بالا به علت افزایش جریان کلکتور
- ۵- ولتاژ ارلی بالاتر

<sup>1</sup>Deep Trench Isolation

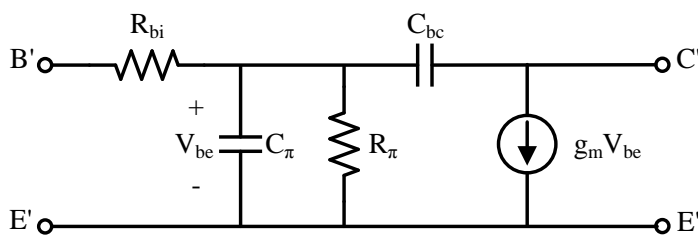
<sup>2</sup>Shallow Trench Isolation

### ۲-۵-۳ مدل سیگنال کوچک HBT(SiGe)



شکل ۲-۱۰: مدل سیگنال کوچک HBT(SiGe) [۲۶]

شکل ۲-۱۰ مدل سیگنال کوچک ترانزیستور HBT(SiGe) را که علاوه بر پارامترهای خروجی که بستگی به مداری دارد که ترانزیستور در آن استفاده شده است؛ پارامترهای داخلی را نیز که از اهمیت بالایی برخوردارند را در قالب یک مدل به عنوان مدل داخلی این ترانزیستور نشان می‌دهد. به طور جداگانه در شکل ۲-۱۱ مدل داخلی این ترانزیستور آورده شده است [۲۶].



شکل ۲-۱۱: مدل سیگنال کوچک داخلی HBT(SiGe) [۲۶]

همانطور که از شکل ۲-۱۱ مشخص است مدل داخلی سیگنال کوچک ترانزیستور HBT(SiGe) دارای پارامترهایی است که به طور مختصر به معرفی آنها خواهیم پرداخت:

۱-  $C_\mu$  یا  $C_{bc}$  که خازن بین بیس و کلکتور است.

۲-  $C_\pi$  خازن بین بیس و امیتر است.

۳-  $g_m$  که ضریب هدایت یا رسانایی است.

۴-  $R_\pi$  که مقاومت بین بیس و امیتر است.

۵-  $R_{bi}$  مقاومت بیس داخلی است.

## ۴-۵-۲ کاربردهای ترانزیستور HBT(SiGe)

با توجه به روند سریع رشد فناوری‌های امروزی نیاز به افزاره‌ها و ترانزیستورهای با سرعت بالاتر هر روز بیشتر از روز قبل احساس می‌شود. سیلیکون به عنوان زیربنای اصلی افزاره‌های الکترونیک مانند هر ماده دیگری مشخصاتی را دارد که تا به امروز محدودیتی برای سرعت افزاره‌های الکترونیکی ایجاد نمی‌کرد. ولی با پیشرفت فناوری و نیاز به افزاره‌هایی با سرعت بالاتر این ماده محدودیت‌های خود را نشان می‌دهد و مهندسان فناوری ساخت برای حل این مشکل به سراغ مواد نیم‌رسانای دیگر با خصوصیات متفاوت برای ساخت افزاره‌های سریع‌تر رفته‌اند. یکی از این افزاره‌ها ترانزیستور HBT(SiGe) است که به دلیل استفاده از ماده SiGe در بیس آن و امکان آرایش<sup>۱</sup> بالای بیس و خصوصیات متفاوت افزاره به دلیل اختلاف نوارهای انرژی در نواحی تخلیه سرعت بالاتری نسبت به دوقطبی‌های متداول دارد [۲۷].

امروزه از ترانزیستورهای HBT(SiGe) که در فناوری BiCMOS ساخته می‌شوند در کاربردهای فرکانس بالا به عنوان تقویت‌کننده سیگنال و همچنین در بسیاری از کاربردهای دیگر مانند مبدل‌های آنالوگ به دیجیتال استفاده می‌شود [۲۸، ۲۹].

<sup>۱</sup>Doping





## فصل ۳

# ترانزیستورهای دوقطبی با بهره جریان کنترل شده

### ۱-۳ مقدمه

ترانزیستور پیوندی دوقطبی<sup>۱</sup> در سال ۱۹۴۸ در آزمایشگاه بل اختراع شد. بعد از اختراع ترانزیستور برتری‌های این افزاره نسبت به لامپ‌های الکترونی، آشکار گردید. از مزایای مهم ترانزیستور نسبت به لامپ الکترونی می‌توان به کوچک بودن آن، وزن کمتر، کاهش تلفات حرارتی به دلیل حذف فیلامان و عمر طولانی و کار در ولتاژهای پایین‌تر اشاره کرد. با معرفی دستگاه‌هایی که با ترانزیستور نیم‌رسانا کار می‌کردند انقلابی در دنیا پدید آمد. ترانزیستور دوقطبی برای سال‌های متمادی انتخاب اول برای انواع دستگاه‌های دیجیتال و آنالوگ بود اما در دهه‌های اخیر به سرعت با ماسفت جایگزین گشته است. ترانزیستور دوقطبی امروزه در مدارات آنالوگ و به‌خصوص در مدارهای فرکانس بالا کاربرد زیادی دارد [۳۰، ۳۱].

همچنین رشد سریع سیستم‌های ارتباطی بی‌سیم منجر به افزایش تقاضا برای مدارهای کم‌توان و کم‌نویز برای کاربردهای آنالوگ مانند تقویت‌کننده‌های RF، فیلترها و مخلوط‌کننده‌ها شده است. به دلیل رشد زیاد در ارتباطات بی‌سیم، تحقیقات زیادی در رابطه با مطالعه ساختارهای افزاره‌های جدید با چندین پایه بیس و امیتر یا کلکتور انجام شده است. استفاده از ماسفت‌ها و فناوری‌های

<sup>۱</sup>Bipolar Junction Transistor (BJT)

دیگر مانند ترانزیستورهای Si-Ge توسعه یافته‌اند تا ساختارهای جدید و افزاره‌هایی با کارایی بالاتر در اختیار مهندسان صنعت الکترونیک و طراحان مدار قرار بگیرد [۱۱].

## ۲-۳ روش‌های کلی برای بهبود افزاره

در ادامه این فصل به چند مرجع اشاره شده است که ابتدا هدفشان بهبود پارامترهای ترانزیستور مانند بهره جریان  $\beta$  بوده است که روش‌های مختلفی برای این کار در این مقالات ارائه شده است. یکی از این روش‌ها افزودن پایه گیت به ترانزیستور دوقطبی است. در مقالات معمولاً اضافه کردن پایه گیت به ترانزیستور دو هدف کلی را دنبال می‌کند.

۱- ترکیب دوقطبی با ماسفت

۲- تغییر مشخصات دوقطبی با استفاده از گیت

هر دوی این روش‌ها در مقالات مرور شده در این بخش به طور مفصل توضیح داده شده است اما در ابتدا برای روشن شدن بیشتر موضوع در این قسمت توضیح مختصری توسط نگارنده ارائه شده است.

### ۱-۲-۳ بهبود مشخصات ترانزیستور

برای این منظور پس از ساخت ترانزیستور دوقطبی و افزودن گیت، پایه بیس و گیت ترانزیستور به یکدیگر متصل می‌شوند. این کار سبب می‌شود که ولتاژ گیت همواره ولتاژی برابر با ولتاژ بیس داشته باشد و به دلیل روشن شدن یک ماسفت در کنار ترانزیستور دوقطبی عملاً بهره جریان  $\beta$  در این نوع ترانزیستورها بیشتر از ترانزیستور ساده دوقطبی فاقد گیت است. در مقالات ابتدایی به بررسی این نوع از ترانزیستورها پرداخته شده است [۶].

### ۲-۲-۳ کنترل مشخصات ترانزیستور

در سال ۱۹۹۵ آقای هانگ<sup>۱</sup> پیشنهاد داد تا پایه گیت و بیس به یکدیگر متصل نشوند و پایه گیت به طور جداگانه و با ولتاژ دیگری بایاس شود. سپس در همان پژوهش نشان داد که با تغییر ولتاژ گیت و اعمال مقادیر مختلف به آن می‌توان مشخصات ترانزیستور را تغییر داد و برای مثال بهره جریان  $\beta$  را در این افزاره تغییر داد.

نام این قطعه در این مرجع GC-LPNP<sup>۲</sup> ذکر شده است که برگرفته از خاصیت کنترل پذیری دوقطبی توسط گیت را نشان می‌دهد [۵].

پس از معرفی قطعه در همان سال در پژوهش دیگری کاربردهایی برای افزاره جدید طراحی شده معرفی شد. سپس در سال ۱۹۹۷ مدل مداری و مدل SPICE این قطعه معرفی شد [۱۱].

<sup>۱</sup>Haug

<sup>۲</sup>Gate Controlled - Lateral PNP

## ۳-۳ دوقطبی با بهره بالا در یک ساختار MOSFET

در سال ۱۹۹۱ یک افزاره هیبریدی ۳ پایه برای فناوری CMOS ارائه شد. این افزاره ترکیبی مبتنی بر یک فناوری CMOS استاندارد ارائه شده است. افزاره اساساً یک ترانزیستور ماسفت است که در آن گیت و چاه به طور داخلی متصل هستند تا بیس یک ترانزیستور اتصال دوقطبی را تشکیل بدهند.

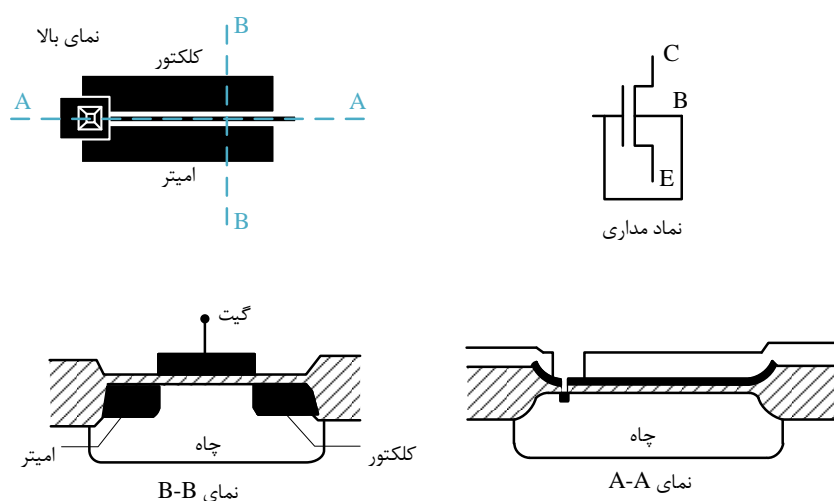
در سطوح پایین جریان کلکتور، این افزاره یک دوقطبی جانبی با امکان رسیدن به بهره جریان بالاتر از ۱۰۰۰ را فراهم می‌کند. زمانی که ترانزیستور ماسفت به درستی طراحی شده باشد، هیچ مرحله فرایند اضافی برای ساخت دوقطبی با شرایط ذکر شده مورد نیاز نیست. ترانزیستور npn دوقطبی ذکر شده، با عرض بیس ۰/۲۵ میکرومتر در یک چاه p-well در بدنه با عمق ۰/۲۵ میکرومتر با موفقیت ساخته شده است [۶].

افزاره ساخته شده در مرجع [۶]، یک افزاره حالت ترکیبی سه پایه است که با استفاده از فناوری CMOS ساخته شده است. این افزاره در واقع یک ماسفت است که در آن گیت و چاه داخلی به هم وصل شده‌اند تا بیس یک BJT جانبی را تشکیل دهند. در سطح جریان پایین کلکتور، افزاره دارای یک جریان متداول با  $\beta$  بزرگتر از ۱۰۰۰ است. مشخصات الکتریکی آن قابل مقایسه با نمونه‌های به دست آمده در BJT معمولی است. در سطح جریان بالا، منطقه زیر اکسید گیت معکوس شده و ساختار و جریان ترانزیستور ماسفت غالب است. با اتصال گیت و چاه به هم، ناحیه بیس زیر اکسید گیت کاملاً تخلیه می‌شود. عملکرد افزاره مشابه عملکرد BJT جانبی است [۶].

### ۱-۳-۳ ساختار افزاره

این افزاره که ساختار آن در ۱-۳ نشان داده شده است یک ترانزیستور دوقطبی است که بیس از پایین اتصال دارد و امیتر و کلکتور به صورت سطحی قرار گرفته‌اند و روی سطح افزاره عایق قرار گرفته است. سپس در فاصله بین امیتر تا کلکتور یک گیت قرار داده شده است و در نهایت پایه گیت و بیس به یکدیگر متصل شده‌اند [۶]. افزاره ذکر شده بدون افزایش مراحل ساخت قادر بود بهره جریان ترانزیستور را در جریان‌های پایین کلکتور تا ۱۰۰۰ افزایش دهد [۶].

افزاره ذکر شده یک افزاره حالت ترکیبی است که به عنوان یک دوقطبی جانبی n-p-n در سطوح پایین جریان کلکتور رفتار می‌کند و یک بهره جریان بالاتر از ۱۰۰۰ را دارد. دوقطبی جانبی n-p-n دارای ویژگی‌های خروجی ایده‌آلی در دمای اتاق است. در ولتاژهای پایین بیس و گیت، قابلیت راه‌اندازی جریان و بهره ولتاژ مدار باز این ترانزیستور بیشتر از ترانزیستور ماسفت است. ساختار n-p-n جانبی ذاتاً در هر فرآیند ساخت CMOS در دسترس است [۶].



شکل ۳-۱: نمای بالا و برش مقطعی ترانزیستور و مدل مداری ارائه شده در مرجع [۶].

### ۳-۴ دوقطبی جانبی GC-LNPN با جریان کنترل شده توسط گیت

اولین پژوهش در رابطه با کنترل بهره جریان کلکتور بوسیله گیت در سال ۱۹۹۵ به چاپ رسید. در این افزاره برخلاف ساختارهای دیگر، پایه بیس و گیت به یکدیگر متصل نشده‌اند و پایه‌های بیس و گیت با ولتاژهای جداگانه بایاس شده‌اند [۵].

ترانزیستور دوقطبی جانبی معرفی شده در مرجع [۵] دارای یک گیت بر پایه ساختار ترانزیستورهای ماسفت است و از لحاظ تجربی ویژگی‌های جدیدی از قبیل بهره جریان زیاد، فرکانس قطع زیاد و ویژگی‌های دمای پایین را به نمایش گذاشته است. نکته مهم این است که فرآیند ساخت برای چنین ترانزیستورهای دوقطبی با فناوری مبتنی بر MOS سازگار است، که می‌تواند هزینه و پیچیدگی فرآیند را برای مدارهای مجتمع دوقطبی-ماسفت ترکیبی کاهش دهد.

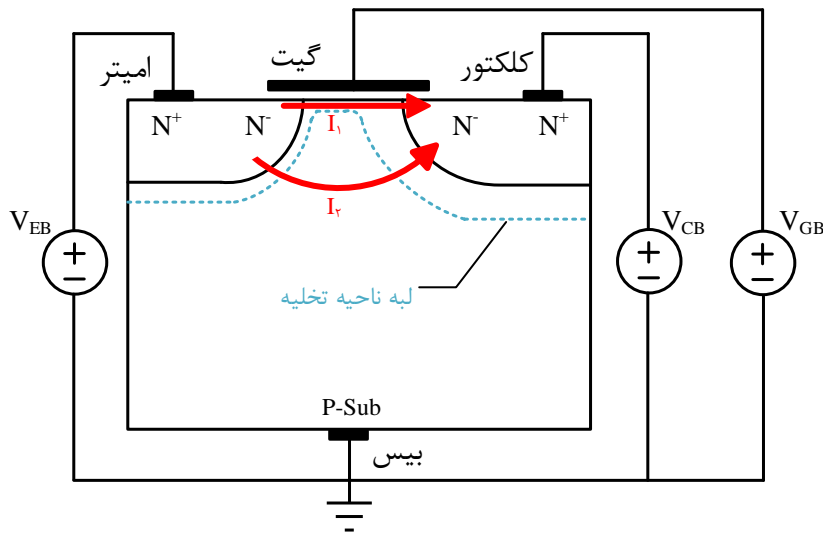
برای توضیح بهره جریان بالا در ترانزیستورهای دوقطبی جانبی دارای گیت، اثر کاهش سد القاء شده گیت<sup>۱</sup> بیان شده است که باعث افزایش تزریق حامل از امیتر شده و برای تفسیر کیفی عملکرد حالت ترکیبی ترانزیستورهای دوقطبی جانبی دارای گیت استفاده می‌شود [۵].

#### ۳-۴-۱ ساختار و مشخصات افزاره

در شکل ۳-۲ ساختار ترانزیستور بررسی شده در مرجع [۵] نشان داده شده است. همانطور که در شکل مشخص است افزاره از یک نیم‌رسانا نوع p تشکیل شده است که دو ناحیه n بعنوان

<sup>۱</sup>Gate Induced Barrier Lowering

کلکتور یا درین و امیتر یا سورس معرفی شده است. همچنین مناطق اتصال فلزی از نوع  $n^+$  هستند. بدنه به عنوان بیس شناخته می شود و در افزاره مانند ماسفت های متداول یک پایه گیت هم بین دو ناحیه درین و سورس وجود دارد. افزاره ساخته شده با اعمال ولتاژ به گیت در اثر ایجاد ناحیه بار سطحی<sup>۱</sup> روشن می شود و جریان آن تغییر می کند. همچنین اعمال ولتاژ بیس نیز مستقل از گیت بوده و ترانزیستور بدون اعمال ولتاژ گیت همچنان مانند یک BJT معمولی قابل استفاده است [۵].



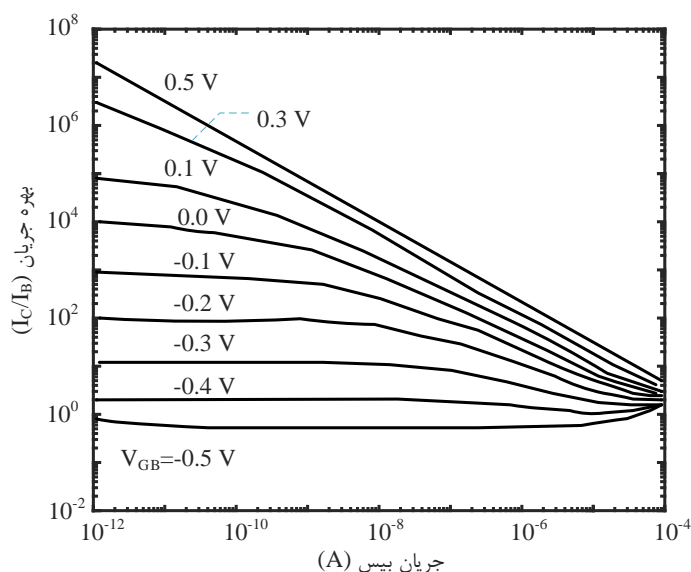
شکل ۳-۲: ساختار ترانزیستور ساخته شده و نحوه اعمال ولتاژها در مرجع [۵].

در شکل ۳-۲ منحنی تغییرات بهره به ازای مقادیر مختلف ولتاژ گیت نشان داده شده است. در این پژوهش، تمرکز بر روی اثرات جداگانه هرکدام از پایه ها بر روی جریان کلکتور ترانزیستور بود که نتایج نشان می داد افزاره ساخته شده با اعمال ولتاژ به گیت در اثر ایجاد ناحیه بار سطحی روشن می شود و جریان آن تغییر می کند. همچنین باتوجه به نمودار مشخص است که مقدار بهره جریان به جریان ترانزیستور نیز وابسته است و در جریان های پایین مقدار بهره بسیار بالاتر از جریان های بزرگ افزاره است [۵].

در افزاره ذکر شده جریان کلکتور را می توان به دو جزء مجزا تقسیم کرد که به صورت  $I_1$  و  $I_2$  در شکل ۳-۲ نشان داده شده است. مؤلفه  $I_1$  جریان ناشی از ترانزیستور اثر میدان، که از طریق ناحیه بار سطحی که توسط بایاس گیت کنترل می شود، می تواند خاموش شود زیرا در سطح زیر گیت پدیده تجمع بار رخ می دهد. بنابراین جریان کلکتور ترانزیستور دوقطبی جانبی را می توان در شرایط انباشت قوی جدا کرد. با توجه به اثر محافظ بارهای انباشت<sup>۲</sup>، جریان کلکتور ترانزیستور دوقطبی جانبی به طور قابل توجهی از ولتاژ گیت مستقل است.

<sup>1</sup>Accumulation

<sup>2</sup>Shielding Effect



شکل ۳-۳: منحنی تغییرات بهره به‌ازای مقادیر مختلف ولتاژ گیت در مرجع [۵].

با کم کردن جریان کلکتور یک ترانزیستور دوقطبی جانبی از جریان کلکتور یک ترانزیستور دوقطبی جانبی دارای گیت (جریان کل افزاره)، می‌توان مؤلفه جریان کنترل شده گیت را از جریان اصلی متمایز کرد و آن را محاسبه نمود [۵].

در مرجع [۵] ترانزیستور دوقطبی جانبی n-p-n جانبی دارای گیت در یک ساختار N-MOSFET مشخصه‌یابی شده است. در این مرجع هم جریان کلکتور در حالت کنترل شده توسط گیت و هم جریان خالص دوقطبی جانبی یا همان بدون گیت، که کل جریان کلکتور ترانزیستور دوقطبی دارای گیت را تشکیل می‌دهند، به طور تجربی و جداگانه مشخصه‌یابی شده‌اند.

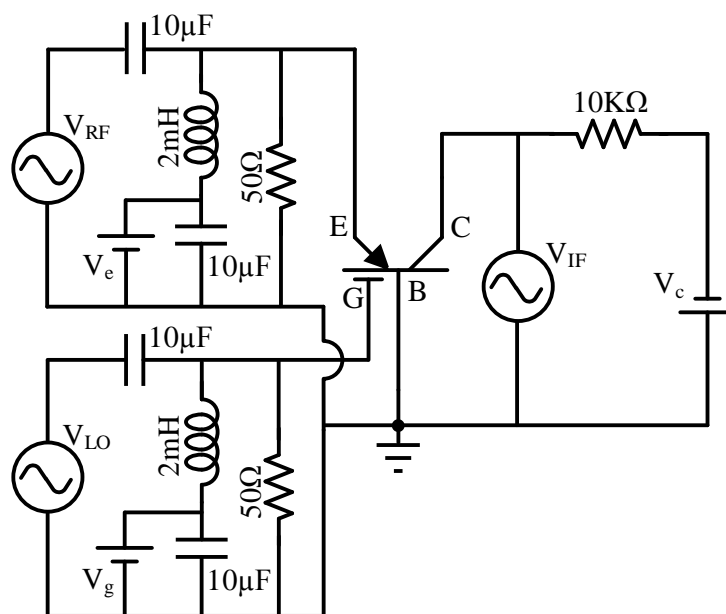
## ۳-۵ ساخت مخلوط‌کننده جدید با استفاده از GC-LPNP

در سال ۱۹۹۵ پژوهشی برای استفاده از افزاره ساخته شده در ساخت یک مخلوط‌کننده جدید انجام شد که نشان‌دهنده یکی از کاربردهای این ترانزیستور جدید در صنعت الکترونیک بود. در مرجع [۲۲] یک مدار مخلوط‌کننده با استفاده از افزاره دوقطبی جانبی LPNP (PNP کنترل شده توسط گیت<sup>۱</sup> ارائه شده است. نکته اصلی این افزاره ۴ پایه این است که جریان کلکتور  $I_c$  می‌تواند با استفاده از یک ولتاژ  $V_G$  که به پایه ورودی گیت اعمال می‌شود کنترل شود. این افزاره ویژگی‌های برجسته سیگنال بزرگ و سیگنال کوچک مانند بهره جریان  $h_{FE}$ ، رسانایی<sup>۲</sup>،  $g_M$  و ویژگی‌های غیر خطی درونی بسیار خوبی را به عنوان تابعی از ولتاژ گیت نشان

<sup>۱</sup>Gate-Controlled Lateral pnp

<sup>۲</sup>Transconductance





شکل ۳-۵: نقشه مدار مخلوطکننده با استفاده از LPNP BJT کنترل شده با گیت [۳۲]

در مرجع [۳۲] علاوه بر ویژگی‌های این افزاره LPNP با گیت کنترل‌کننده، پارامترهای مهم مخلوطکننده نیز بدست آمده است که در این پایان‌نامه به آنها و نحوه کارکرد مدار مخلوطکننده اشاره‌ای نشده است و صرفاً به عنوان یکی از کاربردهای این افزاره در مدارهای مجتمع آورده شده است. جزئیات کارکرد این مدار برای علاقه‌مندان در مرجع اصلی موجود است. این نتایج فرکانس بالا، همراه با نویز کم افزاره و خصوصیات کم‌مصرف افزاره، این مخلوطکننده را به عنوان کاندیدای قوی برای کاربردهای ارتباطی بی‌سیم قابل حمل تبدیل می‌کند [۳۲].

### ۳-۶ ترانزیستور دوقطبی جانبی کنترل شده با گیت

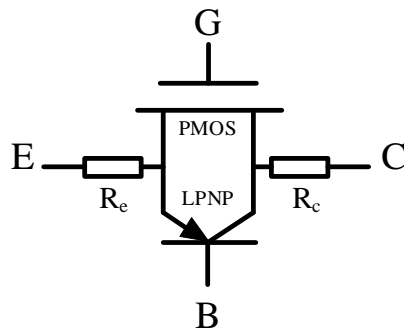
در سال ۱۹۹۷ مقاله آقای یان<sup>۱</sup> به چاپ رسید که در اکثر پژوهش‌های مرتبط، یکی از مقالات مهمی است که به آن ارجاع داده می‌شود. در این مرجع منحنی مشخصه‌های افزاره و کاربردهای مختلف افزاره در صنعت الکترونیک مورد بررسی قرار گرفته‌اند [۱۱].

این مرجع ویژگی‌های الکتریکی، مدل‌سازی و برخی از کاربردهای مدارهای که افزاره GC-LPNP کنترل شده با گیت در آن استفاده شده است را توصیف می‌کند. این افزاره دارای چهار پایه کلکتور، بیس، امیتر و گیت است و با استفاده از فناوری BiCMOS 0.8µm ساخته شده است. این افزاره از یک PMOS سطحی FET و یک PNP BJT جانبی در بدنه به صورت موازی تشکیل شده است که پایه بیس توسط لایه دفن شده اتصال دارد و دارای مشخصه‌های منحصربه‌فرد DC و مقدار بهره

<sup>1</sup>Zhixin Yan



جریان  $\beta_F$  متغیر از ۱۰۰ تا ۱۰۰۰۰ برای تغییرات  $V_G$  از  $-4/0$  تا  $4/0$  ولت است. مدل مداری این افزاره جدید که برای شبیه‌سازی مدار SPICE پیشنهاد شده است در شکل ۳-۶ نشان داده شده است [۱۱].



شکل ۳-۶: مدل مداری پیشنهاد شده برای افزاره GC-LPNP [۱۱]

با استفاده از این افزاره ترکیبی چهار پایه جدید، برخی از مدارهای آنالوگ برای کاربردهای خاص، مانند یک تقویت کننده با بهره متغیر (VGA)<sup>۱</sup> و یک مدار مخلوط کننده، بسیار آسان ساخته می شوند و عملکرد خوبی از خود نشان می دهند. برای مدار VGA، تغییرات بهره متناوب کنترل  $4/0$  تا  $5/5$  برابری برای تغییرات  $\delta V_G$  بیش از ۱ ولت قابل دسترس بود. همچنین برای مخلوط کننده، بهره تبدیل ۵ دسی بل به ۱۲ دسی بل برای سیگنال RF ورودی تا محدوده ۴۰۰ مگاهرتز به دست آمد. نتایج شبیه‌سازی برای مدار VGA با استفاده از مدل افزاره GC-LPNP با اندازه‌گیری‌ها مطابقت خوبی دارند. این افزاره جدید که با استفاده از یک فناوری معمولی BiCMOS ساخته شده است، می‌تواند بطور مستقیم با دیگر مدارهای دیجیتال-آنالوگ VLSI برای کاربردهایی مانند سیستم‌های ارتباطی بی‌سیم قابل حمل بطور مستقیم یکپارچه شود [۱۱]. در مرجع [۱۱]، افزاره جدیدی به نام pnp جانبی کنترل شده با گیت (GC-LPNP) ارائه شده است. از لحاظ فیزیکی این افزاره جدید با استفاده از فناوری  $0.8\mu\text{m}$  BiCMOS ساخته شده است و به عنوان یک افزاره ترکیبی طراحی شده است. این افزاره می‌تواند به عنوان گزینه‌ای مناسب برای استفاده در فرکانس متوسط (۱۰۰ مگاهرتز) در کاربردهای کم توان، کم نویز آنالوگ در نظر گرفته شود.

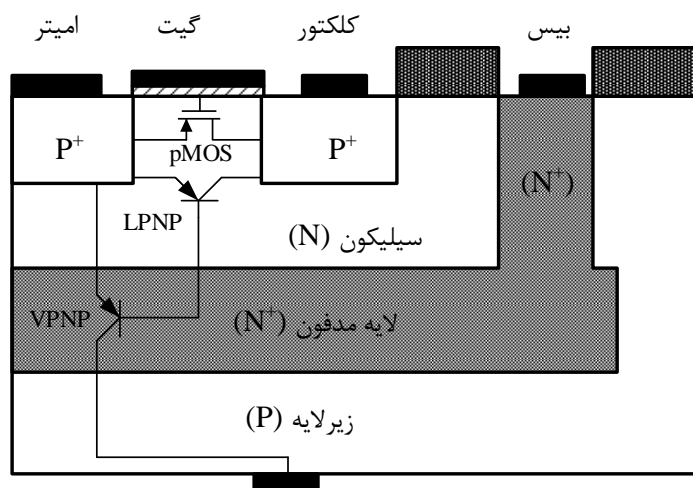
در این افزاره کل جریان متشکل از مشارکت دو مؤلفه جریان است. یک جریان ایجاد شده با مؤلفه PMOS سطحی و یک جریان با مؤلفه PNP جانبی که در بدنه افزاره تشکیل شده است. از آنجا که افزاره دارای چهار پایه است، می‌توان آن را با دو ورودی پیکره بندی کرد و جریان کلکتور بستگی به این دارد که آیا جریان فعلی تحت تأثیر سهم MOS یا سهم دوقطبی است یا اینکه هر دو سهم جریان قابل توجه هستند [۱۱].

<sup>۱</sup>Variable Gain Amplifier

این امر باعث مشاهده برخی از ویژگی‌های منحصر به فرد و جذاب DC می‌شود که به دلیل بایاس با دو ولتاژ ورودی رخ می‌دهد. این خصوصیات بستگی به این دارد که آیا جریان کلی تحت تأثیر مشارکت MOS یا سهم دو قطبی است، یا اینکه هر دو سهم مهم هستند یا خیر. این افزاره ترکیبی جدید با پیکره‌بندی مداری بسیار ساده می‌تواند برای برخی از کارکردهای خاص آنالوگ مانند تقویت‌کننده با بهره متغیر یا مخلوط‌کننده مورد استفاده قرار گیرد [۱۱].

### ۳-۶-۱ ساختار افزاره

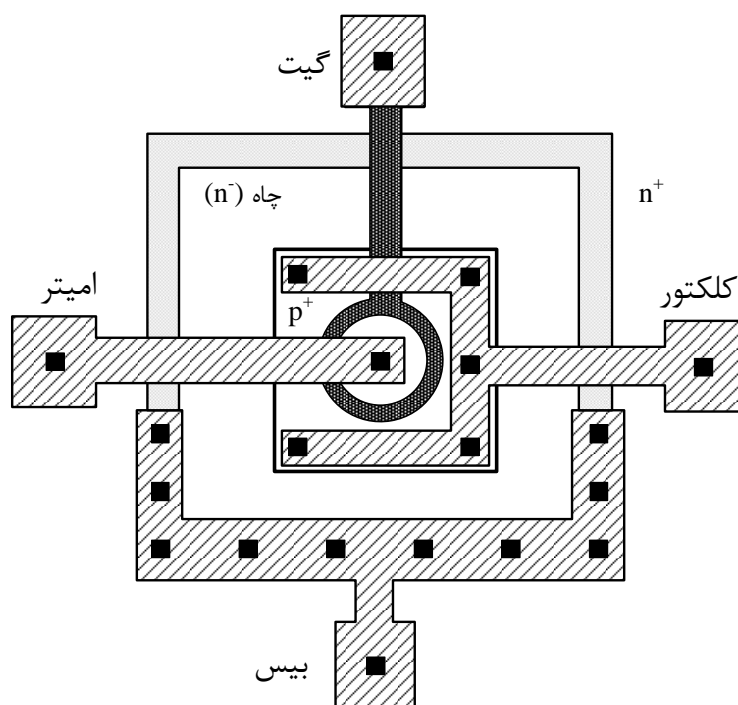
شکل ۳-۷ یک برش مقطعی از افزاره را نشان می‌دهد و شکل ۳-۸ نمای بالای این pnp جانبی (GC-LPNP) کنترل شده با گیت را نشان می‌دهد که در تمام آزمایش‌ها استفاده شده است. افزاره دارای چهار پایه به نام‌های کلکتور (C)، بیس (B)، امیتر (E) و گیت (G) است.



شکل ۳-۷: ساختار ترانزیستور PNP جانبی با گیت کنترل‌کننده بهره جریان در مرجع [۱۱]

امیتر و کلکتور به همان روش سورس و درین یک ترانزیستور ماسفت در یک فناوری BiCMOS تشکیل می‌شوند. بخشی از لایه n چاه بین امیتر و کلکتور، یک منطقه بیس فعال برای این ترانزیستور pnp جانبی در بدنه تشکیل می‌دهد. اتصال فلزی برای بیس از طریق بخشی از لایه n مدفون توسط لایه n اعمال می‌شود.

با استفاده از این افزاره جدید، دو مدار عملکردی آنالوگ (یک تقویت‌کننده با بهره متغیر و یک مدار مخلوط‌کننده) با ساختارهای مداری بسیار ساده نشان داده شده است. نتایج شبیه‌سازی‌ها و اندازه‌گیری‌ها برای این مدارها، نشان می‌دهد که این افزاره جدید برای استفاده در مدارهای کم‌توان، کم‌نویز و فرکانس متوسط تا زیاد بسیار جذاب است که از ساختار مداری بسیار ساده‌ای برخوردار است. این افزاره جدید کاندیدای خوبی برای آن دسته از کاربردهای خاص سیستم مخابراتی مانند کاربرد ارتباطات بی‌سیم قابل حمل است [۱۱].



شکل ۳-۸: نمای دید از بالا ترانزیستور PNP جانبی با گیت کنترل‌کننده بهره جریان در مرجع [۱۱]

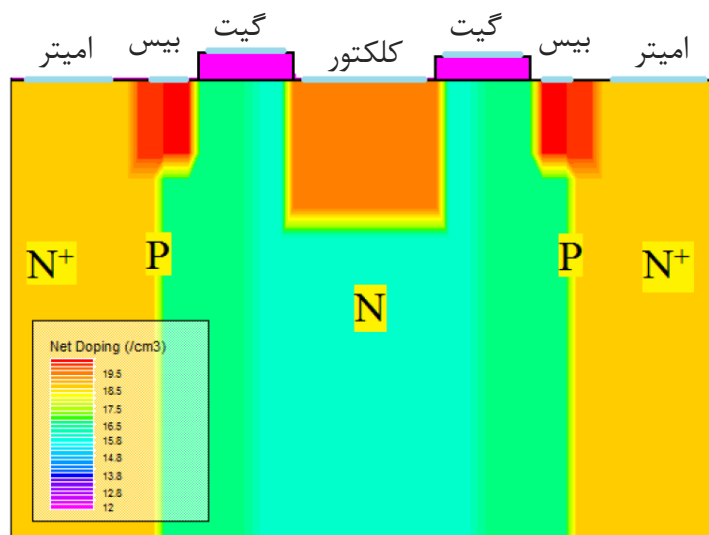
### ۷-۳ ترانزیستور BJT جدید با قابلیت کنترل بهره جریان

در مرجع [۳۳] ساختار جدیدی برای ترانزیستور دوقطبی مبتنی بر فناوری SOI ارائه شده است. این افزاره دارای یک پایه اضافی به عنوان گیت است. با اعمال ولتاژ به گیت، عرض مؤثر بیس کنترل می‌شود و امکان کنترل بهره ترانزیستور را فراهم می‌کند. این ترانزیستور از طریق شبیه‌سازی‌های گسترده مورد بررسی قرار گرفته است. تمامی شبیه‌سازی‌ها با استفاده از نرم افزار سیلوکو انجام شده است که تغییرات بهره جریان را تا ۱۰ برابر نشان می‌دهد. در این افزاره بهره جریان ترانزیستور بدون ولتاژ گیت حدود ۲۰۰ است که با افزایش ولتاژ گیت به ۲۰۰۰ افزایش می‌یابد. در این افزاره، توزیع سطوح ناخالصی‌ها برای دستیابی به بهترین جریان و افزایش بهره جریان طراحی شده است.

#### ۱-۷-۳ ساختار افزاره

شکل ۳-۹ ساختار ترانزیستور پیشنهادی در مرجع [۳۳] را نشان می‌دهد که یک ترانزیستور دوقطبی است که از چهار پایه تشکیل شده است. این ساختار یک افزاره BJT معمولی دارای پایه‌های امیتر، بیس و کلکتور است که پایه گیت به عنوان پایه چهارم معرفی شده است. ضخامت لایه فعال و اکسید به ترتیب ۲ میکرون و ۱۰ نانومتر است. همچنین عرض بیس، امیتر و کلکتور به ترتیب ۰/۴ میکرون، ۰/۶ میکرون و ۱/۰ میکرون است. ترانزیستور به صورت متقارن با دو

ناحیه بیس، دو اتصال گیت و دو ناحیه امیتر و یک ناحیه کلکتور طراحی شده است. استفاده از ساختار متقارن باعث کاهش تجمع جریان می‌شود. فلز گیت نیمی از مناطق بیس را پوشش می‌دهد. سطح ناخالصی کلکتور، بیس و امیتر به ترتیب  $1 \times 10^{16}$ ،  $4 \times 10^{16}$  و  $5 \times 10^{16}$  اتم در هر سانتی‌متر مکعب است. تفاوت اصلی بین ترانزیستور پیشنهادی و ترانزیستور npn معمولی وجود پایه گیت در این ساختار است.

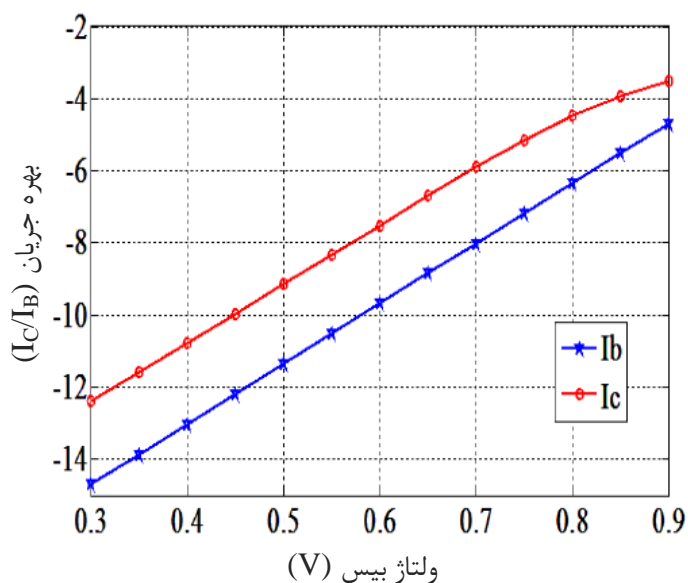


شکل ۳-۹: ساختار افزاره دوقطبی جانبی با گیت کنترل‌کننده بهره جریان [۲۳]

### ۳-۷-۲ عملکرد افزاره

در ساختار پیشنهادی در مرجع [۲۳] اتصال گیت عرض مؤثر بیس را کنترل می‌کند، که از طریق آن بهره جریان ترانزیستور کنترل می‌شود. هنگامی که ولتاژ گیت صفر باشد، هیچ تغییری در عرض مؤثر بیس ایجاد نمی‌شود و بهره ترانزیستور کاملاً به مقادیر ناخالصی‌ها، ضخامت و ابعاد ترانزیستور بستگی دارد. از طرف دیگر، با اعمال ولتاژ مثبت به اتصال گیت، یک ناحیه وارونگی در زیر گیت شکل می‌گیرد. در نتیجه، بخشی از منطقه p بیس به منطقه n تبدیل می‌شود و با ناحیه کلکتور ادغام می‌شود. در نتیجه، عرض مؤثر بیس کاهش می‌یابد و بهره جریان افزایش پیدا می‌کند. پس از تشکیل منطقه وارونگی، افزایش ولتاژ گیت تأثیر محسوسی بر افزایش جریان ندارد زیرا عرض مؤثر بیس دیگر تغییر نمی‌کند.

شکل ۳-۱۰ نمودار جریان‌های  $I_b$  و  $I_c$  ترانزیستور را به ازای ولتاژ  $V_{be}$  برای  $0.3 \leq V_{be} \leq 0.9$  و  $V_G = 0$  نشان می‌دهد. بهره جریان تقریباً ۲۰۰ است. در ولتاژهای پایین بیس، بهره جریان به میزان قابل توجهی بالا است. اما در ولتاژهای بالاتر بیس، بهره ترانزیستور به دلیل اثر تزریق زیاد کاهش می‌یابد.



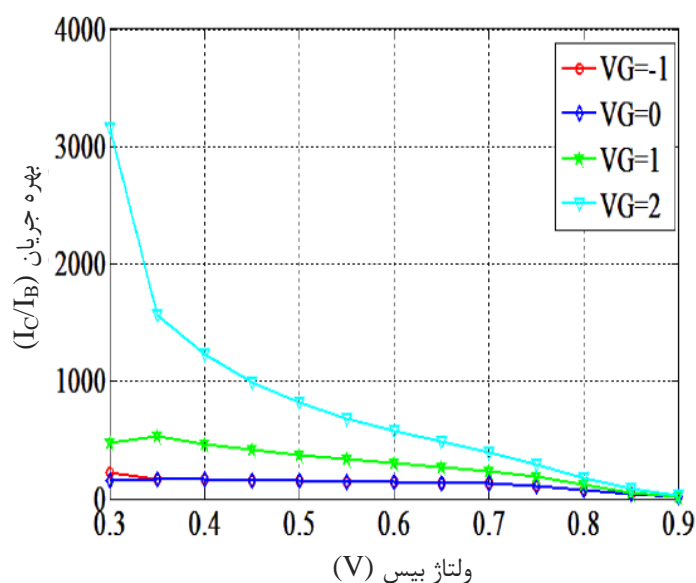
شکل ۳-۱۰: جریان‌های بیس و کلکتور بدون اعمال ولتاژ گیت به افزاره [۳۳]

در شکل ۳-۱۱، بهره جریان ترانزیستور در محدوده  $0/3 \leq V_{be} \leq 0/9$  برای مقادیر مختلف ولتاژ گیت نشان داده شده است. هنگامی که  $V_G = 0$  است، بهره جریان در حدود ۲۰۰ است؛ زمانی که ولتاژ گیت تا  $V_G = 3$  ولت افزایش می‌یابد بهره جریان برای  $V_{be}$  کم و در محدوده  $0/3$  ولت به بیش از ۲۰۰۰ افزایش می‌یابد. این امر به دلیل تشکیل لایه وارونگی در زیر گیت است که منجر به ایجاد عرض بیس کوچکتر و در نتیجه بهره جریان بزرگتر می‌شود. افزایش بیشتر ولتاژ گیت تأثیر قابل توجهی در افزایش بهره جریان ترانزیستور ندارد زیرا لایه وارونگی دیگر تغییر نمی‌کند [۳۳].

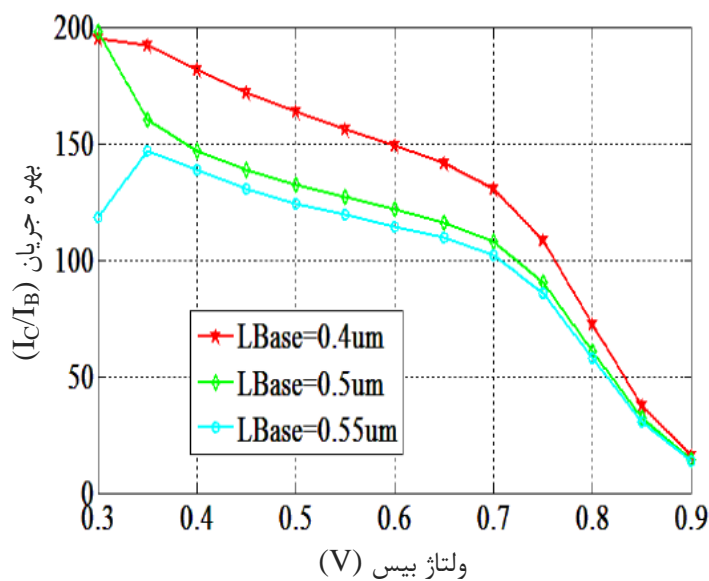
در شکل ۳-۱۲، بهره جریان به عنوان تابعی از ولتاژ بیس-امیتر برای عرض‌های مختلف بیس نشان داده شده است. کاهش عرض مؤثر بیس باعث افزایش بهره جریان می‌شود. مطابق شکل، مقدار بهره جریان در ولتاژهای پایین بیس افزایش می‌یابد. این ویژگی می‌تواند برای استفاده این ترانزیستور در کاربردهای کم‌توان مفید باشد. این ترانزیستور ولتاژ شکست بسیار خوبی برابر با  $7/5$  ولت دارد. علاوه بر این، دارای فرکانس قطع قابل قبول است که می‌تواند با در نظر گرفتن مشخصه‌های افزاره و توانایی کنترل بهره جریان، کاربردهای مختلفی در صنعت الکترونیک داشته باشد [۳۳].

### ۳-۸ ساختار جدید دوقطبی با قابلیت کنترل بهره

شکل ۳-۱۳ ساختار ترانزیستور پیشنهادی را نشان می‌دهد. این ساختار یک ترانزیستور دوقطبی با بیس SiGe است که ۴ پایه دارد که در قسمتی از بالای ترانزیستور مانند ماسفت‌ها



شکل ۳-۱۱: بهره جریان افزاره جانبی با گیت کنترل کننده بهره جریان [۳۳]



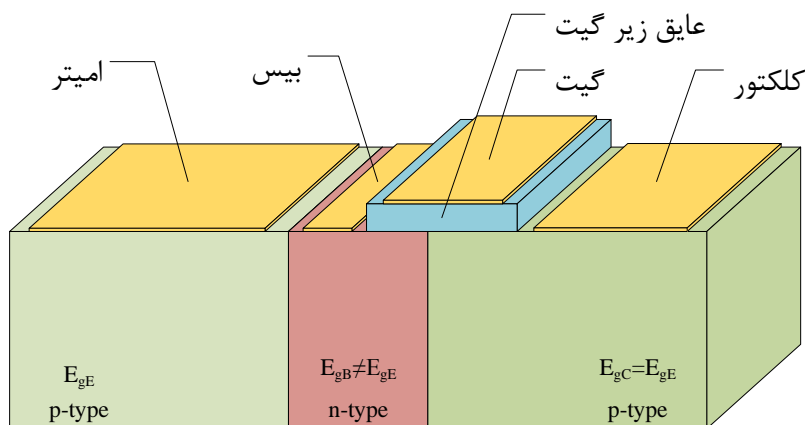
شکل ۳-۱۲: بهره جریان افزاره مرجع [۳۳] با تغییر عرض فیزیکی بیس

اکسید قرار دارد که مشابه اکسید گیت عمل می کند.

همچنین بین پایه های ترانزیستور یک فاصله ۰/۱ میکرونی در نظر گرفته شده است تا از اثر آنها بر روی یکدیگر جلوگیری شود.

در این ساختار عرض کلکتور، بیس و امیتر به ترتیب ۰/۸۵، ۰/۳ و ۰/۸۵ میکرومتر است و ناخالصی ناحیه های کلکتور، بیس و امیتر به ترتیب  $1 \times 10^{15}$ ،  $3 \times 10^{16}$  و  $5 \times 10^{18}$  اتم در

سانتی متر مکعب است. همچنین از نواحی  $n^+$  و  $p^+$  برای اتصال کلکتور و بیس به فلز استفاده شده است.



شکل ۳-۱۳: ساختار پیشنهادی برای ترانزیستور HBT با بهره جریان قابل کنترل توسط گیت (GC-HBT)

طبق رابطه (۲-۱۳) در ترانزیستورهای دوقطبی هرچه عرض بیس کمتر باشد، بهره جریان ( $\beta$ ) ترانزیستور بیشتر خواهد بود. طبق این رابطه داریم:

$$\beta = \frac{I_C}{I_B} = \frac{D_{nb} \cdot L_{pe} \cdot N_{de}}{D_{pe} \cdot W_b \cdot N_{ab}} \quad (۱-۳)$$

حال اگر در رابطه به جای عرض بیس  $W_b$ ، عرض مؤثر بیس  $W_b^*$ ، جایگذاری شود خواهیم دید که بهره جریان ( $\beta$ ) ترانزیستور پیشنهادی، تابعی از عرض مؤثر بیس است.

$$\beta_{GC-HBT} = \frac{I_C}{I_B} = \frac{D_{nb} \cdot L_{pe} \cdot N_{de}}{D_{pe} \cdot W_b^* \cdot N_{ab}} \quad (۲-۳)$$

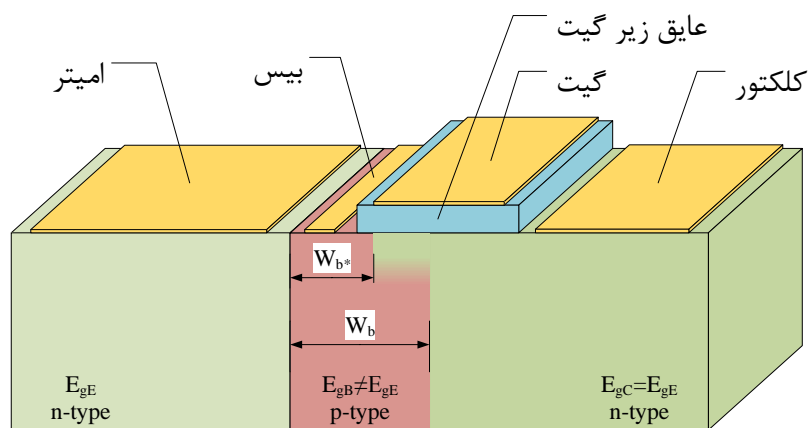
سپس با فرض اینکه عرض مؤثر بیس کمتر از عرض فیزیکی بیس است می توان نتیجه گرفت که بهره جریان ترانزیستور پیشنهادی، بزرگتر از ترانزیستور بدون گیت است.

$$W_b^* < W_b \Rightarrow \beta_{GC-HBT} > \beta$$

در این ساختار پیش بینی می شود مشابه شکل ۳-۱۴ با اعمال ولتاژ مثبت به پایه گیت منطقه زیر گیت در اثر تجمع بارهای الکترون به نیم رسانای نوع n تبدیل شود و اصطلاحاً پدیده وارونگی<sup>۱</sup> در این ناحیه اتفاق بیافتد. با تبدیل شدن این ناحیه به نیم رسانای نوع n و پیوستن به ناحیه کلکتور در واقع عرض مؤثر بیس که در روابط ترانزیستور به آن اشاره شده است کوچک تر می شود و طبق رابطه (۲-۳)، بهره جریان ترانزیستور افزایش پیدا می کند.

<sup>۱</sup>Inversion

با توجه به کاهش عرض مؤثر بیس می توان انتظار داشت حامل های بیشتری بتوانند خود را به کلکتور برسانند. همچنین در اثر اعمال ولتاژ مثبت به پایه گیت یک میدان در جهت بالا به پایین تشکیل می شود که می تواند با میدان داخلی افزاره که در محل پیوند کلکتور-بیس قرار دارد جمع شده و میدان بزرگتری را تشکیل دهد. لازم به ذکر است این دو میدان با هم هم جهت نیستند و بر یکدیگر عمود بوده و برآیند این دو بردار، جمع برداری آنها خواهد بود. در نتیجه حامل های اکثریت که در اینجا الکترون ها هستند، در قسمت های نزدیک به سطح افزاره مسیر کوتاهتری را طی خواهند کرد و احتمال بازترکیب آنها کاهش می یابد و جریان کلکتور در مقایسه با جریان بیس بیشتر شده و یا به عبارتی بهره جریان  $\beta$  افزایش پیدا می کند.



شکل ۳-۱۴: چگونگی کم شدن عرض مؤثر بیس در اثر اعمال ولتاژ به گیت

## ۳-۹ جمع بندی

در این فصل به بررسی مقالات و ساختارهای مختلف ترانزیستورهای دوقطبی پرداخته شده است. مقالات بررسی شده در این بخش به دو گروه تقسیم شده اند. گروه اول مقالاتی که هدفشان فقط بهبود مشخصات افزاره مانند افزایش  $\beta$  ترانزیستور است. گروه دوم که بیشتر مورد توجه هستند مقالاتی هستند که از روش افزودن گیت کنترلی در ساختار دوقطبی استفاده کرده اند که این مقالات به دو دسته کلی تقسیم می شوند.

۱- ترکیب دوقطبی با ماسفت

۲- تغییر مشخصات دوقطبی با استفاده از گیت

هر دوی این روش ها به طور مفصل توضیح داده شده است.

همچنین در بخش آخر این فصل ساختار پیشنهادی برای شبیه سازی آورده شده است. جدول

۳-۱ نتایج مقالات مرور شده را به صورت جمع بندی شده نشان می دهد.



جدول ۳-۱: جدول مقایسه نتایج مقالات مرور شده گذشته

مرجع	نوع ساختار	بهره جریان ( $\beta$ )	فرکانس قطع (GHz)	ولتاژ شکست (V)
[۹]	دوقطبی جانبی	۳۰	۲۰	۸/۲
[۱۰]	ترکیب با ماسفت	۲۵۰	۱۳	۴۵/۲
[۱۱]	ترکیب با ماسفت	۱۰۰۰۰	۰/۱	----
[۳۵]	دوقطبی جانبی	۱۶۰۰	۱۳	۵
[۳۶]	کنترل عرض بیس	۲۰۰۰	۲۵	۵/۷



## فصل ۴

# شبیه‌سازی افزاره و تفسیر نتایج

### ۴-۱ مقدمه

در این فصل ابتدا یک معرفی کوتاه از چگونگی شبیه‌سازی افزاره‌های نیم‌رسانا انجام شده و نرم‌افزار متناسب برای این کار معرفی شده است. سپس ساختار پیشنهادی در محیط نرم‌افزار پیاده‌سازی شده و شبیه‌سازی‌ها و اندازه‌گیری‌ها روی آن صورت گرفته است. در ابتدا ابعاد افزاره و میزان ناخالصی‌ها با توجه به ساختارهای موجود در مراجع پیشین بررسی شده توسط محقق انتخاب شده است. در ادامه با بررسی رفتار ترانزیستور و صحت کارکرد آن، پایه گیت اضافه شده است و ادامه شبیه‌سازی‌ها روی افزاره جدید انجام شده است. پس از بررسی عملکرد پایه گیت با تغییر عواملی مانند ابعاد گیت و ضخامت عایق گیت و جنس آن شبیه‌سازی‌های بیشتری برای درک بهتر کارکرد افزاره انجام شده است. بخشی از خروجی این شبیه‌سازی‌ها نمودارهای جریان و ولتاژ افزاره هستند که از آنها برای رسم نمودارهای بهره جریان ( $\beta$ ) توسط نرم‌افزار متلب<sup>۱</sup> استفاده شده است. در پایان نیز سایر پارامترهای ترانزیستور مانند ولتاژ شکست و فرکانس قطع افزاره توسط نرم‌افزار استخراج شده و نهایتاً مقایسه‌ای با کارهای قبلی انجام شده تا نقاط قدرت و ضعف این افزاره جدید نسبت به ساختارهای مشابه بررسی و بیان شود.

---

<sup>۱</sup>MATLAB

## ۲-۴ شبیه‌سازی افزاره‌های میکرو و نانوالکترونیک

همگام با احساس نیاز به شبیه‌سازی افزاره‌های الکترونیکی جدید، نرم‌افزارهایی جهت انجام این شبیه‌سازی‌ها طراحی شده‌اند. عموماً در این نرم‌افزارها، ساختار و ابعاد افزاره، نوع ماده به‌کاررفته و خصوصیات فیزیکی آن، با قواعد خاص، در یک فایل متنی نوشته می‌شود و خود نرم‌افزار با توجه به ابعاد، نوع ماده به‌کاررفته، مدل‌های فیزیکی و سایر پارامترها، معادلات اصلی حاکم بر افزاره را تخمین زده و حل می‌کند.

نرم‌افزار سیلواکو<sup>۱</sup> یکی از نرم‌افزارهای حوزه شبیه‌سازی افزاره‌های نیم‌رسانا است که توانایی شبیه‌سازی فرآیند ساخت افزاره‌های نیم‌رسانا (اکسیداسیون، نفوذ، کاشت یونی، زدایش، لایه‌نشانی و لیتوگرافی) و شبیه‌سازی‌های افزاره‌های نیم‌رسانا شامل انواع ترانزیستورها، سلول خورشیدی، افزاره‌های اپتوالکترونیک، نمایشگرهای ارگانیک، کوانتومی، لیزرهای نیم‌رسانا و افزاره‌های مشابه را دارد.

اتلس<sup>۲</sup> یکی از زیرمجموعه‌های این نرم‌افزار و یک شبیه‌ساز افزاره دو بعدی و سه بعدی است که با شبیه‌سازی در سطح فیزیک، رفتار الکتریکی افزاره‌های نیم‌رسانا را در شرایط بایاس معین پیش‌بینی می‌کند. اتلس به مهندسان فناوری ساخت این امکان را می‌دهد تا رفتار الکتریکی، نوری و گرمایی افزاره‌های نیم‌رسانا را شبیه‌سازی کنند.

## ۳-۴ شبیه‌سازی افزاره

در شکل ۴-۱ ساختار ترانزیستور HBT با بیس ساخته‌شده از SiGe در نرم‌افزار سیلواکو نشان داده شده است. برای پیاده‌سازی این ساختار از محیط اتلس نرم‌افزار سیلواکو استفاده شده است که برای پیاده‌سازی طرح‌های اولیه از آن استفاده می‌شود و پس از آن در صورت کسب نتایج مطلوب در این مرحله می‌توان طرح را در محیط آتنا<sup>۳</sup> برای شبیه‌سازی‌های پیش از ساخت افزاره بررسی کرد.

این ساختار یک ترانزیستور دو قطبی است که چهار پایه دارد که در قسمتی از بالای ترانزیستور مانند ماسفت‌ها یک لایه عایق از جنس  $SiO_2$  قرار دارد و بر روی اکسید، گیت قرار داده شده است و اکسید نقش اکسید گیت را دارد.

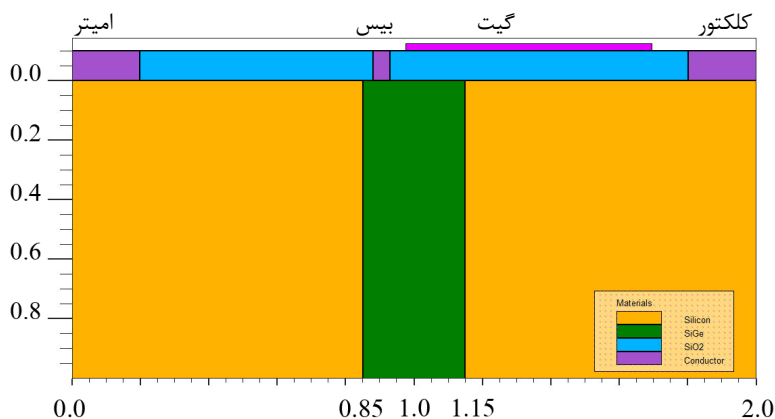
در این افزاره طول ترانزیستور ۲ میکرومتر است که میزان عرض فیزیکی بیس ۰/۳ میکرون در نظر گرفته شده است. ضخامت لایه اکسید ۰/۱ میکرون است و همچنین بین پایه‌های ترانزیستور فاصله ۰/۰۵ میکرون برای جلوگیری از تأثیر آنها روی یکدیگر لحاظ شده است. همچنین از یک گیت بر روی اکسید که حدوداً نیمی از بیس و قسمتی از کلکتور را پوشانده است، استفاده شده

<sup>1</sup>Silvaco

<sup>2</sup>Atlas

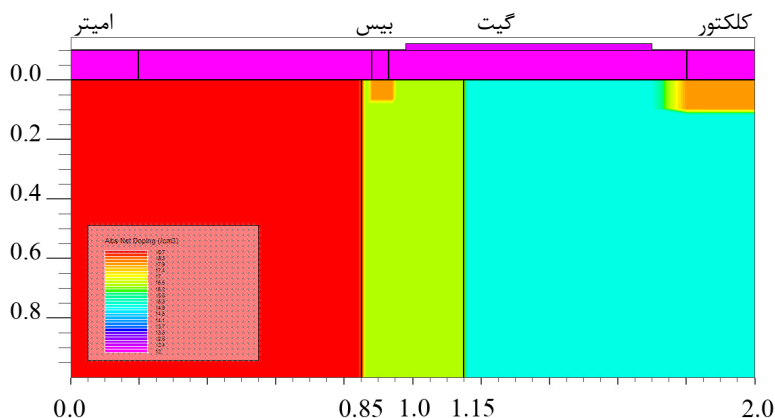
<sup>3</sup>Athena

است. همانطور که اشاره شد عرض کلکتور، بیس و امیتر به ترتیب ۰/۸۵ میکرون، ۰/۳ میکرون و ۰/۸۵ میکرون است.



شکل ۴-۱: ساختار اولیه برای ترانزیستور دو قطبی نامتجانس

در شکل ۴-۲ میزان توزیع ناخالصی‌ها در قسمت‌های مختلف ترانزیستور نشان داده شده است. این ترانزیستور از نوع n-p-n است و ناخالصی ناحیه کلکتور، بیس و امیتر به ترتیب  $1 \times 10^{15}$ ،  $3 \times 10^{16}$  و  $5 \times 10^{18}$  اتم در سانتی‌متر مکعب است و از نواحی  $n^+$  و  $p^+$  برای اتصال کلکتور و بیس به فلز استفاده شده است.

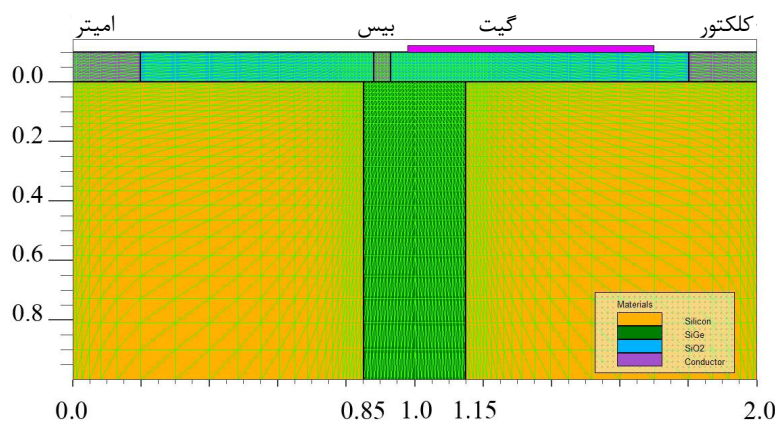


شکل ۴-۲: توزیع ناخالصی‌ها در افزاره در محیط اتلس

همچنین در شکل ۴-۳ نحوه مش‌بندی<sup>۱</sup> در نرم‌افزار سیلواکو برای تحلیل افزاره نشان داده شده است. مش‌بندی در این ساختار به‌طوری انجام شده است که در نقاطی که بیشترین عملکرد افزاره رخ می‌دهد و باید محاسبات بیشتری انجام پذیرد، تقسیم‌بندی مش‌ها نزدیک به هم و ریز است و مناطق کم‌اهمیت‌تر با مش‌های بزرگ‌تری محاسبه می‌شود تا زمان شبه‌سازی در نرم‌افزار و حجم محاسبات کمتر باشد. مناطق بااهمیت‌تر در این افزاره نواحی تخلیه بین پیوندها، بیس و

<sup>۱</sup>Mesh

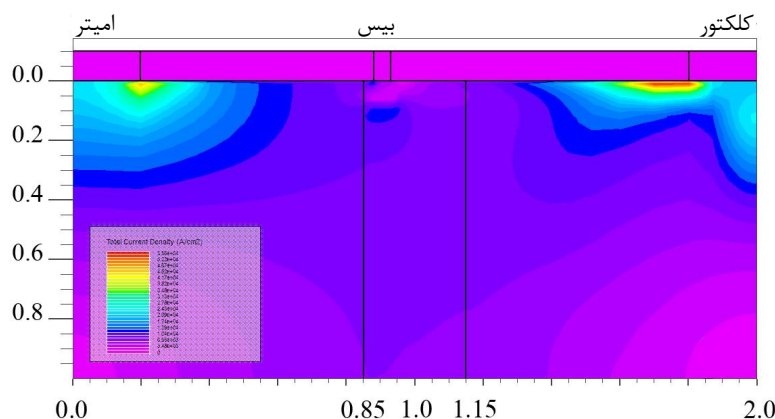
قسمت‌های زیر اکسید گیت است که با مش‌های ریز تقسیم‌بندی شده است. سایر مناطق دورتر از سطح افزاره و دور از نواحی تخلیه بیس، مناطق با اهمیت کمتر هستند و نیاز به دقت بالا برای شبیه‌سازی این مناطق وجود ندارد.



شکل ۴-۳: مش‌بندی ساختار افزاره در محیط اتلس توسط نرم‌افزار سیلواکو

## ۴-۴ تعیین محل گیت

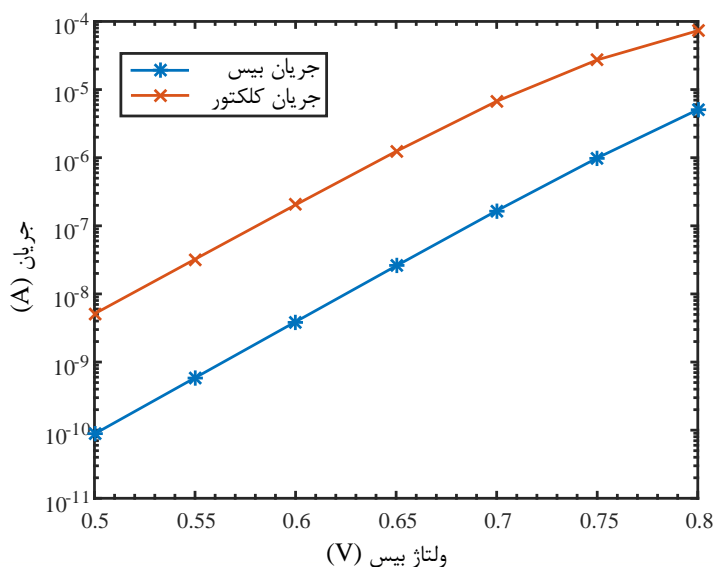
در این شبیه‌سازی برای پیدا کردن محل مناسب گیت و طول مناسب آن ابتدا افزاره در حالت بدون گیت شبیه‌سازی شده و مقادیر جریان بیس و جریان کلکتور اندازه‌گیری شده است. شکل چگالی جریان در داخل افزاره در اثر اعمال ولتاژ کلکتور ۳ ولت و ولتاژ بیس ۶۵۰ میلی‌ولت در شکل ۴-۴ نشان داده شده است.



شکل ۴-۴: چگالی جریان افزاره در اثر اعمال ولتاژ کلکتور ۳ ولت

در شکل ۴-۵ نیز شکل خروجی برای جریان‌های بیس و کلکتور نشان داده شده است. در این شکل نمودار آبی (علامت ستاره) جریان بیس و نمودار قرمز (علامت ضربدر) جریان کلکتور

را برحسب ولتاژ بیس-امیتر نشان می‌دهد.

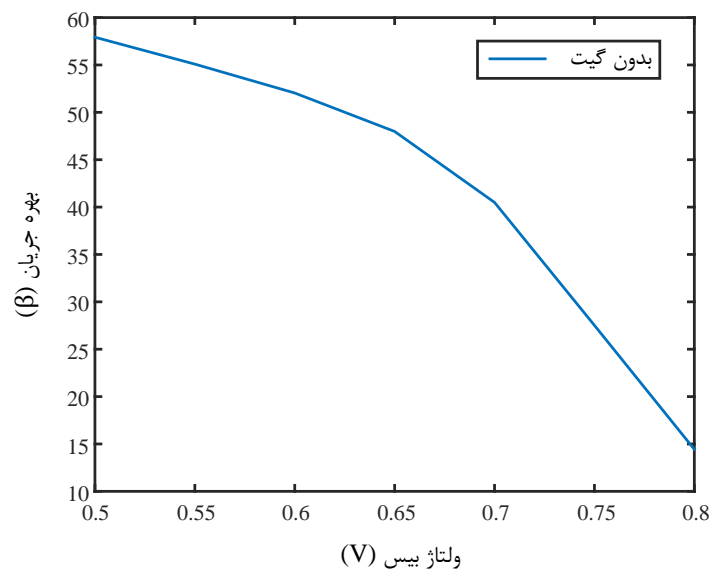


شکل ۴-۵: جریان‌های بیس و کلکتور به ازای ولتاژ کلکتور ۳ ولت

باتوجه به شکل مشخص است که جریان کلکتور تابع جریان بیس بوده و با تقسیم جریان کلکتور به جریان بیس در یک نقطه می‌توان مقدار  $\beta$  را برای این ترانزیستور محاسبه کرد. در اینجا مقادیر جریان‌های کلکتور و بیس در ولتاژ بیس ۶۵۰ میلی‌ولت و مقدار  $\beta$  برای این نقطه محاسبه شده است.

$$\beta = \frac{I_C}{I_B} = \frac{1 \times 10^{-6}}{2 \times 10^{-8}} = 50 \quad (1-4)$$

مقدار  $\beta$  برای این ترانزیستور برابر ۵۰ است که باتوجه به مقدار این ضریب برای ساختارهای مشابه که معمولاً مقدار زیادی نیست و در محدوده ۳۰ تا ۱۰۰ قرار دارد، قابل قبول بوده و می‌توان از همین ساختار برای ادامه روند شبیه‌سازی و تأثیر افزودن گیت به این ترانزیستور استفاده کرد. در شکل ۴-۶ مقدار  $\beta$  بر حسب ولتاژ بیس نمایش داده شده است. همانطور که مشاهده می‌شود بهره جریان در مقادیر پایین ولتاژ بیس بزرگتر از مقادیر انتهایی محور است. یعنی در جریان‌های پایین کلکتور بهره جریان  $\beta$  بزرگتر است و این مقدار با افزایش جریان افت می‌کند. برای اضافه‌کردن پایه گیت در این ساختار از اکسید سیلیکون به ضخامت ۰/۱ میکرون استفاده شده است که مقدار اکسید نسبتاً زیاد بوده و صرفاً به عنوان یک پیشنهاد اولیه در ساختار افزاره آورده شده است. برای ساخت معمولاً از مقادیر کمتر ضخامت اکسید استفاده می‌شود که این امر موجب بهبود تأثیر گیت نیز خواهد شد. در این پایان‌نامه به دلیل جنبه تئوری موضوع و هدف پژوهشی، فقط رفتار کلی افزاره در اثر اضافه‌کردن گیت بررسی شده و شبیه‌سازی‌های بیشتر



شکل ۴-۶: نمودار مقادیر  $\beta$  بر حسب ولتاژ بیس

برای بهبود سایر پارامترهای ترانزیستور صورت نگرفته است. در ادامه می‌توان برای بهبود بیشتر افزاره معرفی شده، ضخامت اکسید استفاده شده را تا محدوده چند ده نانومتر کاهش داد و رفتار مطلوب‌تری از افزاره را مشاهده کرد.

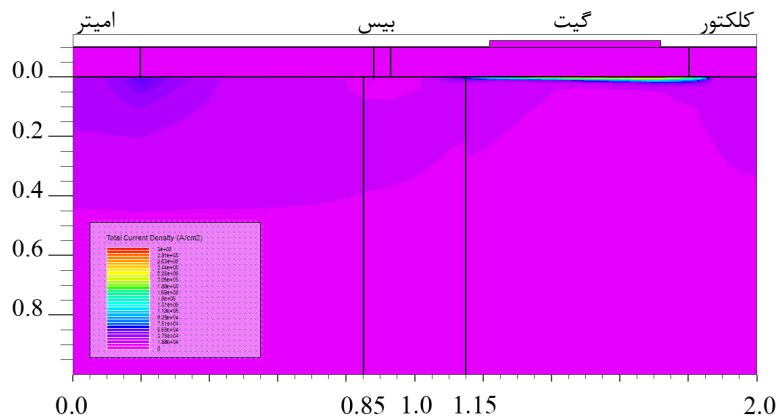
در اولین مرحله برای اضافه کردن گیت فقط از یک تکه فلز بر روی قسمت کلکتور استفاده شده است. ابعاد این پایه به طوری انتخاب شده است که فقط قسمت کلکتور را پوشش می‌دهد و به بالای ناحیه بیس تجاوز نکرده است. چگالی جریان افزاره در اثر اعمال ولتاژ کلکتور ۳ ولت و ولتاژ بیس ۶۵۰ میلی‌ولت و همچنین اعمال ولتاژ ۵ ولت به پایه گیت در شکل ۴-۷ نشان داده شده است.

همانطور که از شکل چگالی جریان افزاره در شکل ۴-۴ مشخص است، زمانی که گیت وجود ندارد جریان الکترون‌ها از تمام سطح افزاره به سمت کلکتور می‌رود اما بعد از جاگذاری گیت بر روی ناحیه کلکتور و اعمال ولتاژ مثبت به این پایه، با توجه به میدان اعمالی از سمت بالا به پایین، بیشینه جریان در زیر اکسید جاری می‌شود. با توجه به شدت میدان و افزایش حامل‌های الکترون و تجمع بار در زیر گیت که باعث بهبود رسانایی می‌شود، مقدار جریان افزاره در این حالت افزایش می‌یابد.

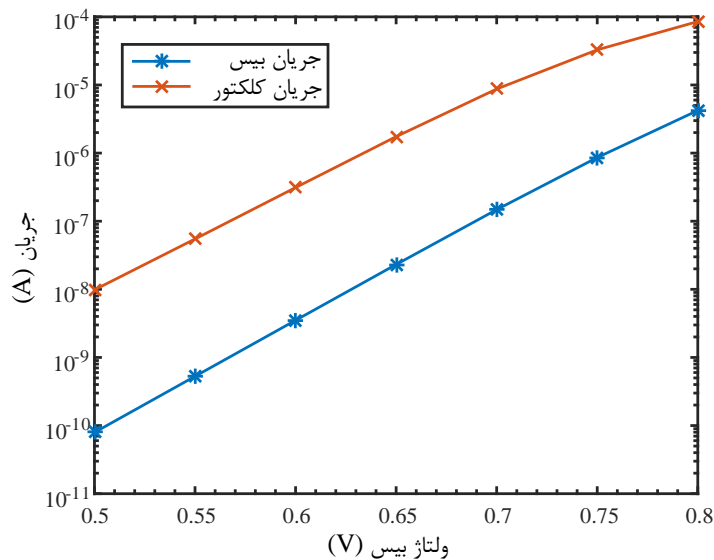
در شکل ۴-۸ نیز نمودار جریان‌های بیس و کلکتور ترانزیستور بر حسب ولتاژ بیس-امیتر و ولتاژ کلکتور ۳ ولت و گیت برابر با ۵ ولت نشان داده شده است که می‌توان به طریق مشابه ساختار قبلی، مقدار  $\beta$  را برای این ترانزیستور نیز محاسبه کرد.

$$\beta = \frac{I_C}{I_B} = \frac{2 \times 10^{-6}}{2 \times 10^{-8}} = 100 \quad (2-4)$$





شکل ۴-۷: چگالی جریان افزاره در اثر اعمال ولتاژ کلکتور ۳ ولت و ولتاژ گیت ۵ ولت



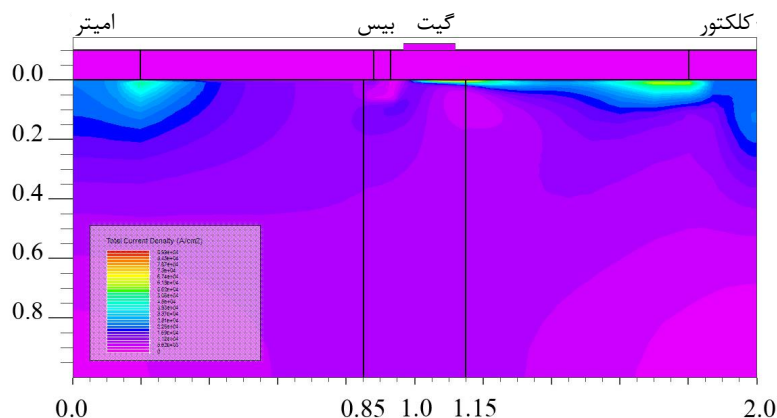
شکل ۴-۸: جریان‌های بیس و کلکتور با گیت روی کلکتور

طبق نمودار مشاهده می‌کنید که مقدار  $\beta$  برای این ساختار بزرگتر از ساختار قبلی بوده و وابسته به ولتاژ گیت است به طوری که اگر ولتاژ صفر ولت به گیت اعمال شود نتیجه مانند ترانزیستور بدون گیت اولیه خواهد بود. بنابراین می‌توان حدس زد که با تغییر ولتاژ گیت از صفر تا ۵ ولت می‌توان مقدار  $\beta$  را از ۵۰ تا ۱۰۰ تغییر داد. صحت و چگونگی این قضیه در شبیه‌سازی‌های بعد مورد بررسی قرار خواهد گرفت.

در مرحله بعدی فقط از یک تکه فلز کوچک بر روی قسمت بیس استفاده شده است. ابعاد این فلز در حدی است که فقط قسمت بالایی بیس را که به کلکتور متصل است را پوشانده است و به ناحیه بالای کلکتور تجاوز نکرده است. چگالی جریان افزاره در اثر اعمال ولتاژ کلکتور ۳ ولت و ولتاژ بیس ۶۵۰ میلی‌ولت و همچنین اعمال ولتاژ ۵ ولت به پایه گیت در شکل ۴-۷

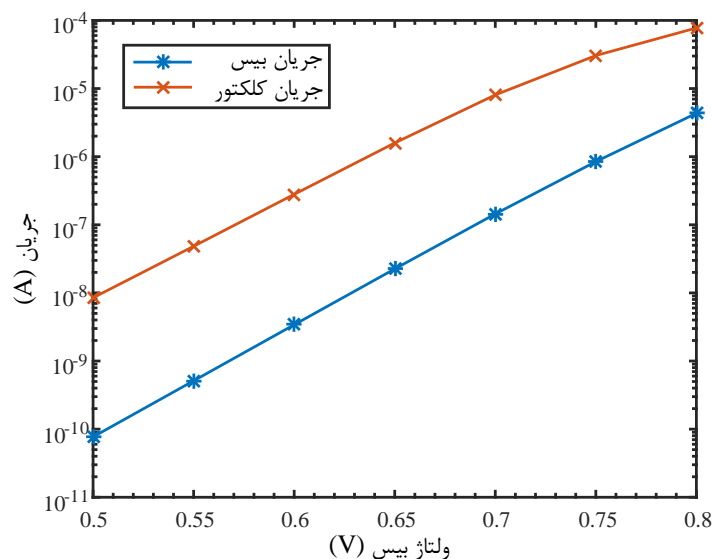
نشان داده شده است.

در شکل ۴-۸ نیز نمودار خروجی برای جریان‌های بیس و کلکتور نشان داده شده است. مانند ساختارهای قبلی مقدار  $\beta$  را برای این ساختار نیز محاسبه می‌کنیم.



شکل ۴-۹: چگالی جریان افزاره در اثر اعمال ولتاژ کلکتور ۳ ولت

$$\beta = \frac{I_C}{I_B} = \frac{1/5 \times 10^{-6}}{2 \times 10^{-8}} = 75 \quad (3-4)$$

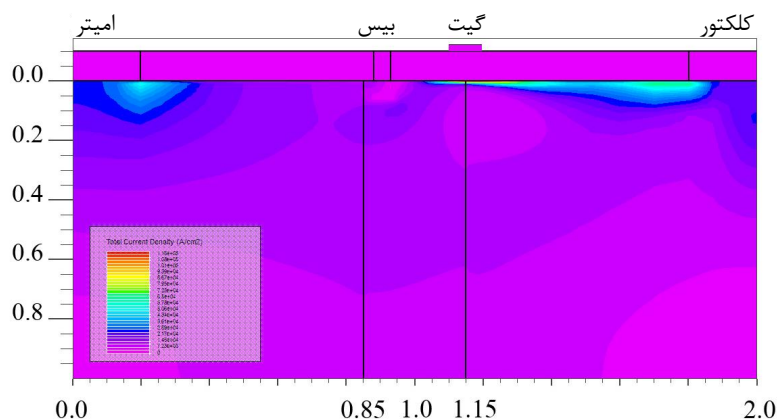


شکل ۴-۱۰: جریان‌های بیس و کلکتور با گیت روی بیس

در مرحله بعدی فقط از یک تکه فلز کوچک بر روی محل اتصال بیس و کلکتور یا همان ناحیه تخلیه پیوند بیس-کلکتور استفاده شده است. چگالی جریان افزاره در اثر اعمال ولتاژ

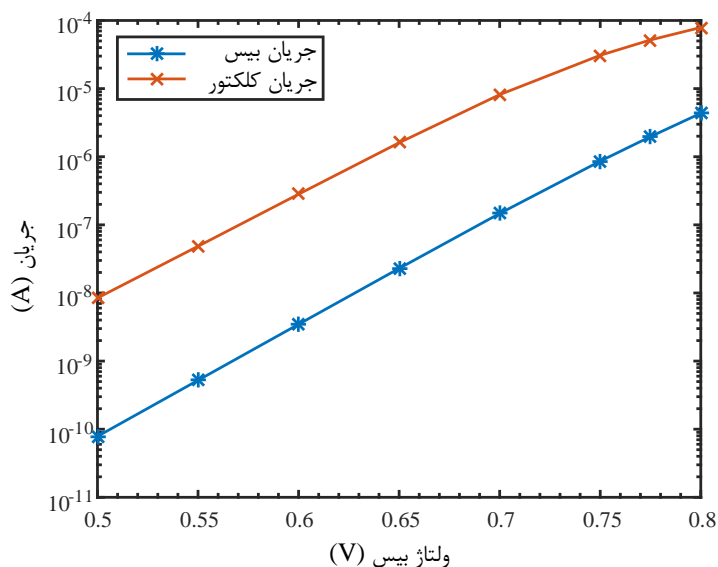
## تعیین محل گیت ۵۱

کلکتور ۳ ولت و ولتاژ بیس ۶۵۰ میلی ولت و همچنین اعمال ولتاژ ۵ ولت به پایه گیت در شکل ۴-۷ نشان داده شده است.



شکل ۴-۱۱: چگالی جریان افزاره در اثر اعمال ولتاژ کلکتور ۳ ولت

در شکل ۴-۸ نیز نمودار خروجی برای جریان‌های بیس و کلکتور نشان داده شده است. باتوجه به جریان‌های کلکتور و بیس مقدار  $\beta$  را محاسبه می‌کنیم.



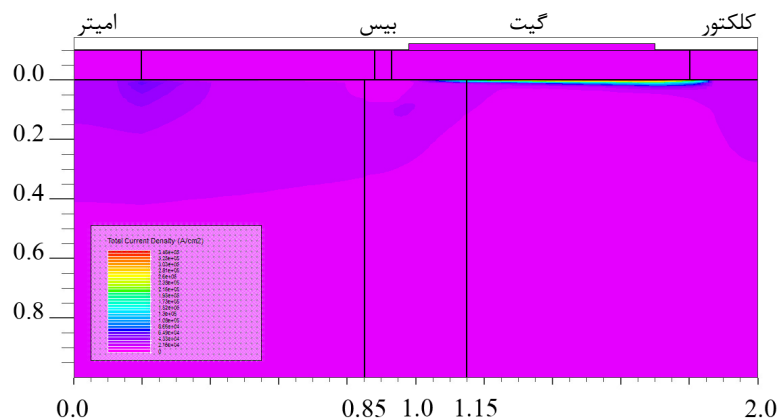
شکل ۴-۱۲: جریان‌های بیس و کلکتور با گیت روی محل اتصال کلکتور و بیس

$$\beta = \frac{I_C}{I_B} = \frac{1/5 \times 10^{-6}}{2 \times 10^{-8}} = 75 \quad (4-4)$$

در دو شبیه‌سازی گذشته مقدار  $\beta$  باز هم از مقدار اولیه که برای ترانزیستور بدون گیت بود بیشتر شده است. اما نسبت به حالتی که گیت فقط روی کلکتور قرار داده شده بود کمتر است

که یکی از دلایل اولیه که به ذهن می‌رسد تفاوت در ابعاد گیت است که می‌تواند بسیار تأثیرگذار باشد. هرچه گیت بزرگ‌تر باشد خازن بزرگتری ایجاد شده و در نتیجه میدان بزرگتری برای جذب الکترون‌ها وجود خواهد داشت.

در مرحله آخر تمام سطح کلکتور و بیس که امکان پوشاندن آن با فلز وجود دارد به عنوان گیت معرفی شده است. پیش‌بینی می‌شود که در این حالت بیشترین تأثیرگذاری گیت در تغییر  $\beta$  را شاهد باشیم. چگالی جریان افزاره در اثر اعمال ولتاژ کلکتور ۳ ولت و ولتاژ بیس ۶۵۰ میلی‌ولت و همچنین اعمال ولتاژ ۵ ولت به پایه گیت در شکل ۴-۷ نشان داده شده است. همانطور که مشخص است مسیر جریان در این شبیه‌سازی کاملاً از زیر اکسید برقرار شده است و قسمت‌های پایینی افزاره نقش زیادی در هدایت جریان ندارند.



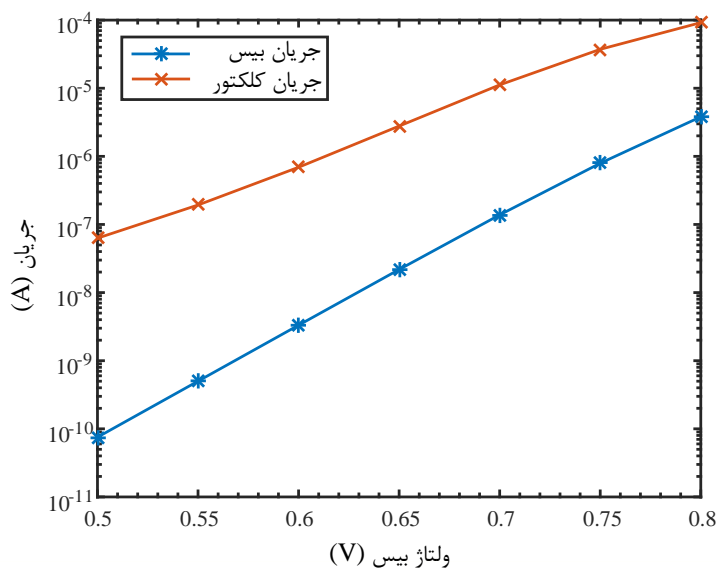
شکل ۴-۱۳: چگالی جریان افزاره در اثر اعمال ولتاژ کلکتور ۳ ولت

در شکل ۴-۸ نیز نمودار خروجی برای جریان‌های بیس و کلکتور این افزاره نشان داده شده است. مانند حالت‌های قبل مقدار  $\beta$  را برای این افزاره نیز محاسبه می‌کنیم.

$$\beta = \frac{I_C}{I_B} = \frac{3 \times 10^{-6}}{2 \times 10^{-8}} = 150 \quad (4-5)$$

همانطور که پیش‌بینی می‌شد هرچه سطح بزرگتری از افزاره به عنوان گیت معرفی شود باعث افزایش چگالی جریان در ناحیه زیر گیت می‌شود که حاصل میدان اعمالی از سمت گیت و بزرگ‌تر شدن خازن گیت است و در نتیجه جریان عبوری از امیتر به کلکتور افزایش یافته است. در نهایت میزان  $\beta$  افزایش داشته است که مقادیر جریان‌ها و  $\beta$  برای مقایسه در جدول ۴-۱ برای حالت‌های مختلف گردآوری شده است.

با توجه به نتایج جدول ۴-۱ و مقایسه حالت‌های مختلف مشخص است که در صورت افزودن پایه گیت در افزاره اولیه توانستیم میزان  $\beta$  را تا ۳ برابر افزایش دهیم. همچنین این نکته باید ذکر شود که مقدار  $\beta$  در یک ترانزیستور تابعی از جریان کلکتور نیز است و در مقادیر پایین‌تر جریان کلکتور این تغییر بیشتر است که معمولاً در سایر مراجع، مقادیر  $\beta$  برای جریان‌های پایین



شکل ۴-۱۴: جریان‌های بیس و کلکتور با گیت روی تمام سطح کلکتور و بیس

جدول ۴-۱: جریان کلکتور و ضریب  $\beta$  در حالت‌های مختلف برای ابعاد و مکان گیت

بدون گیت	روی کلکتور	روی بیس	گیت کوچک	گیت در تمام سطح	
۱	۲	۱/۵	۱/۵	۳	جریان کلکتور ( $\mu A$ )
۰/۰۲	۰/۰۲	۰/۰۲	۰/۰۲	۰/۰۲	جریان بیس ( $\mu A$ )
۵۰	۱۰۰	۷۵	۷۵	۱۵۰	بهره جریان ( $\beta$ )
---	۲	۱/۵	۱/۵	۳	ضریب افزایش بهره جریان
۱۳	۱۱	۱۰	۱۰	۸	ولتاژ شکست (V)
۴	۷/۶	۶/۷	۷/۱	۱۱	فرکانس قطع (GHz)

کلکتور محاسبه می‌شود. در ادامه به عنوان نمونه مقدار  $\beta$  برای جریان کلکتور ۰/۱ میکروآمپر که به ازای ولتاژ بیس ۵۵۰ میلی‌ولت رخ می‌دهد محاسبه شده است. مقدار  $\beta$  برای حالت بدون گیت:

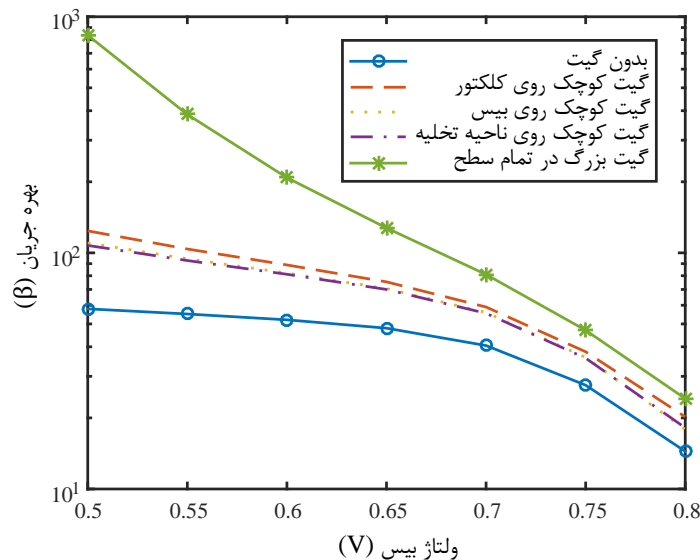
$$\beta = \frac{I_C}{I_B} = \frac{0.1 \times 10^{-6}}{1 \times 10^{-9}} = 100 \quad (4-6)$$

مقدار  $\beta$  برای حالت آخر (گیت در تمام سطح کلکتور و بیس):

$$\beta = \frac{I_C}{I_B} = \frac{0.1 \times 10^{-6}}{1 \times 10^{-10}} = 1000 \quad (4-7)$$

می‌بینیم که برای جریان‌های کمی پایین‌تر مقدار  $\beta$  از ۱۰۰ به ۱۰۰۰ افزایش داشته است که نشان‌دهنده ۱۰ برابر شدن  $\beta$  است.

در شکل ۴-۱۵ نیز مقادیر  $\beta$  برای هر ۵ حالت بدون اعمال گیت، با گیت فقط روی بخشی از ترانزیستور و گیت در تمام سطح ترانزیستور نشان داده شده است. در نمودارهایی که گیت وجود دارد ولتاژ اعمالی به پایه گیت برابر با ۵ ولت است.



شکل ۴-۱۵: نمودار مقادیر  $\beta$  بر حسب ولتاژ بیس برای حالت‌های مختلف گیت

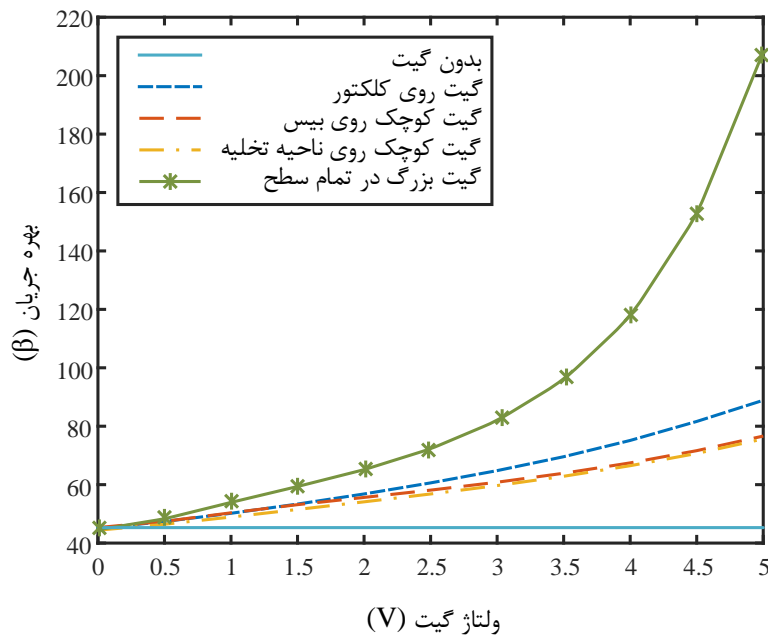
همچنین در شکل ۴-۱۶ مقادیر  $\beta$  بر حسب ولتاژ گیت برای حالت‌های مختلف گیت رسم شده است. در این نمودار بیس با ولتاژ ثابت ۶۰۰ میلی‌ولت بایاس شده است. در ادامه به بررسی چند نکته برای بهبود عملکرد افزاره و اندازه‌گیری دیگر پارامترهای ترانزیستور پرداخته شده است.

## ۴-۵ تأثیر خازن اکسید

یکی از راه‌های افزایش میزان اثرگذاری گیت در این افزاره بزرگ کردن اندازه خازن اکسید گیت است که این خازن مشابه خازن MOS در ترانزیستورهای اثر میدان است. طبق رابطه ۴-۸ که مربوط به خازن اکسید است برای افزایش مقدار این خازن به طور کلی سه روش وجود دارد که عبارتند از:

$$C_{ox} = \epsilon_{ox} \frac{A}{d} \quad (۴-۸)$$

۱. بزرگ کردن سطح صفحات خازن اکسید (A)
۲. کم کردن ضخامت اکسید (d)



شکل ۴-۱۶: نمودار مقادیر  $\beta$  بر حسب ولتاژ گیت برای حالت‌های مختلف گیت

۳. انتخاب ماده با ضریب گذردهی الکتریکی<sup>۱</sup> بالاتر به عنوان عایق زیر گیت ( $\epsilon_{ox}$ ) برای افزایش سطح صفحات با علم بر اینکه افزاره با عرض ۱ میکرومتر در نرم‌افزار شبیه‌سازی می‌شود و طول صفحه گیت هم تا جای ممکن بزرگ انتخاب شده است پس امکان افزایش آن وجود ندارد و عملاً در شبیه‌سازی قبلی که مربوط به ابعاد و تعیین محل گیت بود این پارامتر لحاظ شده است.

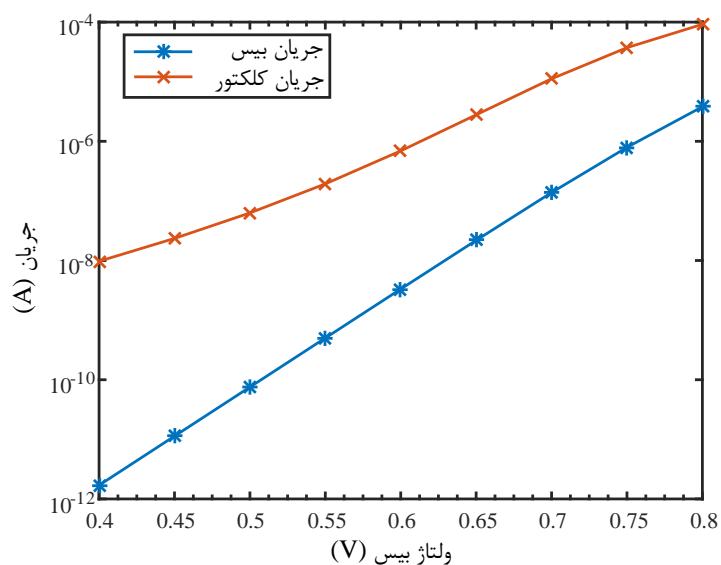
در شکل ۴-۱۷ نمودار جریان ترانزیستور با اعمال ولتاژ گیت ۵ ولت و ولتاژ کلکتور ۳ ولت نشان داده شده است. در این ترانزیستور مقدار  $\beta$  در جریان کلکتور بالا، ۱۵۰ است و در جریان‌های پایین نیز در محدوده ۱۰۰۰ است.

در ادامه شبیه‌سازی‌ها برای افزایش مقدار خازن اکسید، از ماده  $HfO_2$  به عنوان جایگزینی برای  $SiO_2$  استفاده شده است. جدول ۴-۲ چند نمونه از مواد قابل استفاده به عنوان عایق در صنعت نیم‌رسانا و ضریب گذردهی الکتریکی آنها را نشان می‌دهد.

شکل ۴-۱۸ ساختار ترانزیستور را نشان می‌دهد که در آن از  $HfO_2$  به عنوان عایق گیت استفاده شده است. غیر از این مورد تمام مشخصات ترانزیستور مانند ترانزیستور قبلی بوده و تغییری در دیگر پارامترهای آن صورت نگرفته است.

در شکل ۴-۱۹ نمودار لگاریتمی جریان‌های ترانزیستور با استفاده از ماده  $HfO_2$  در ساختار عایق گیت نشان داده شده است. همانطور که مشخص است مقدار  $\beta$  در این ترانزیستور خیلی بالاتر از ترانزیستور اولیه است که دلیل این موضوع چند برابر شدن خازن گیت در اثر استفاده از

<sup>۱</sup>Permittivity



شکل ۴-۱۷: نمودار جریان‌های ترانزیستور با استفاده از ماده  $SiO_2$  به عنوان عایق زیر گیت

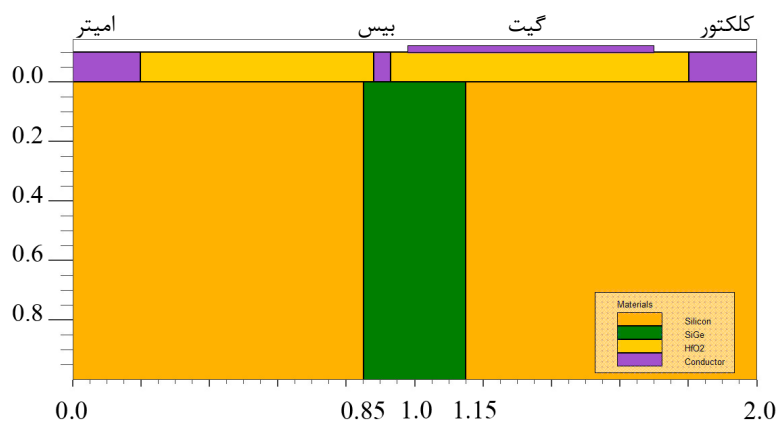
جدول ۴-۲: مواد قابل استفاده به عنوان عایق و ضریب گذردهی الکتریکی

ضریب گذردهی الکتریکی (k)	نوع ماده
۳/۹	$SiO_2$
۷	$Si_3N_4$
۹/۳	$Si_3N_4$
۱۵	$Al_2O_3$
۱۵	$Y_2O_3$
۱۵	$ZrSiO_4$
۲۲	$HfO_2$
۲۲	$ZrO_2$
۲۶	$Ta_2O_5$
۳۰	$La_2O_3$

ماده با ضریب گذردهی بالاتر است. مانند ساختار قبلی مقدار  $\beta$  در این ساختار نیز محاسبه شده است.

به ازای ولتاژ گیت ۶۵۰ میلی‌ولت و ولتاژ کلکتور ۳ ولت و اعمال ولتاژ گیت ۵ ولت داریم:





شکل ۴-۱۸: ساختار ترانزیستور با استفاده از ماده  $HfO_2$  به عنوان عایق زیر گیت

$$\beta = \frac{I_C}{I_B} = \frac{1/5 \times 10^{-5}}{2 \times 10^{-8}} = 750 \quad (4-9)$$

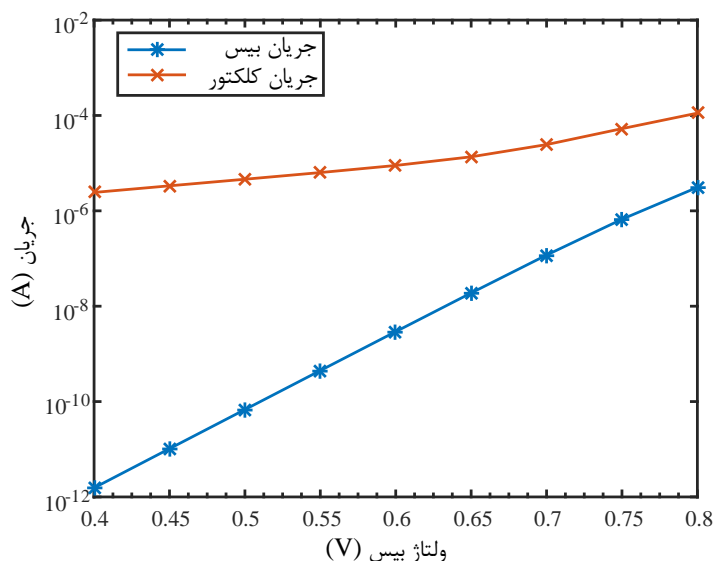
همانطور که مشاهده شد مقدار  $\beta$  در صورت استفاده از  $SiO_2$  برابر با ۱۵۰ بود که با تغییر ماده عایق و افزایش خازن گیت در همان نقطه به مقدار ۷۵۰ رسیده است که یک افزایش ۵ برابری را در این نقطه نشان می‌دهد. همچنین در نقاطی با جریان کمتر برای کلکتور مقدار  $\beta$  بیشتر است. برای نشان دادن این نکته مقدار  $\beta$  در محدوده ولتاژ بیس ۵۰۰ میلی‌ولت به طریق زیر است.

$$\beta = \frac{I_C}{I_B} = \frac{5 \times 10^{-6}}{1 \times 10^{-10}} = 50000 \quad (4-10)$$

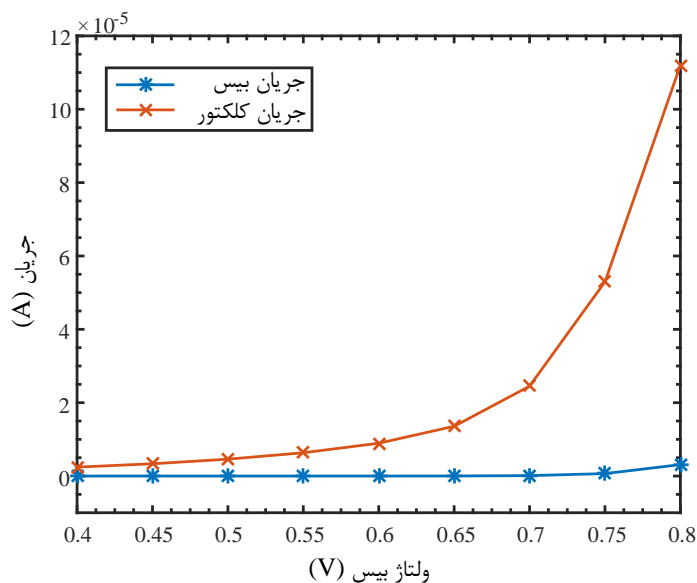
در شکل ۴-۱۹ با توجه به اختلاف زیاد جریان بیس و کلکتور و چگونگی رسم نمودار جریان کلکتور، امکان دارد در نگاه اول تصور شود که جریان کلکتور ثابت بوده و تابع جریان بیس نیست و در عمل ترانزیستور همواره روشن است. برای رفع این ابهام و نشان دادن نمودار جریان کلکتور با توجه به نمایی بودن این مقدار در مختصات لگاریتمی، نمودار فوق دوباره در شکل ۴-۲۰ به صورت خطی نشان داده شده است.

در شکل ۴-۲۱ نیز چگالی جریان مربوط به این ترانزیستور و محل عبور جریان نشان داده شده است. در این شکل مسیر جریان کاملاً از زیر گیت است و در مناطق دیگر افزاره عملاً جریانی که قابل مقایسه با جریان زیر گیت ترانزیستور باشد وجود ندارد.

در ساختار اولیه که یک ترانزیستور دوقطبی ساده بود مقدار  $\beta$  در حدود ۵۰ بود که این رقم برای ترانزیستورهای جانبی مقدار نسبتاً مناسبی بود. سپس با استفاده از اضافه کردن گیت اولین هدف کنترل بهره جریان  $\beta$  بود که با موفقیت حاصل شد. البته لازم به ذکر است که در ابتدا مقدار این تغییر قابل مقایسه با مقالات دیگر مرتبط با این موضوع نبود اما نشان‌دهنده درست بودن مسیر انتخابی برای رسیدن به هدف مورد نظر بود.

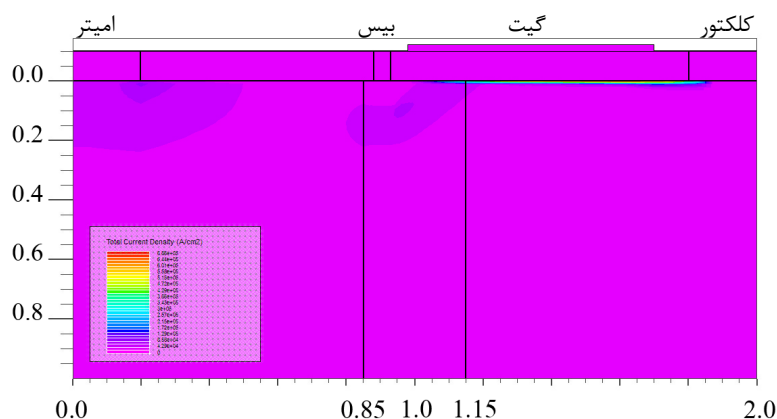


شکل ۴-۱۹: نمودار لگاریتمی جریان‌های ترانزیستور با استفاده از ماده  $HfO_2$  به عنوان عایق زیر گیت



شکل ۴-۲۰: نمودار خطی جریان‌های ترانزیستور با استفاده از ماده  $HfO_2$  به عنوان عایق زیر گیت

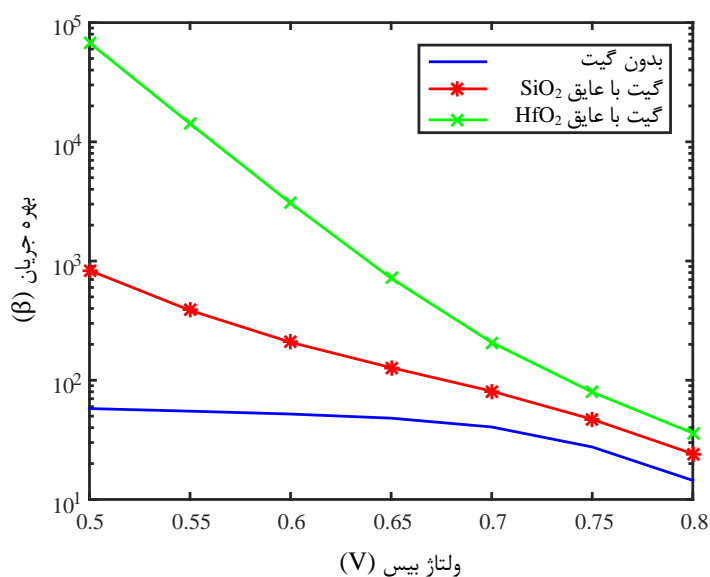
سپس برای بهبود مشخصات افزاره ابتدا تغییر مقدار خازن گیت مورد بررسی قرار گرفت. همانطور که گفته شد دو راه برای بزرگ کردن خازن گیت وجود داشت که یکی از آن‌ها کاهش ضخامت لایه اکسید و دیگری تغییر ماده عایق و جایگزینی آن با ماده مرغوب و دارای ضریب گذردهی بالاتر است. مقدار  $\beta$  پس از بهبود افزاره چیزی در حدود ۱۵ برابر برای جریان بزرگ کلکتور و حتی خیلی بیشتر از این مقدار برای جریان‌های پایین کلکتور میسر گردید. در نهایت



شکل ۴-۲۱: چگالی جریان ترانزیستور با استفاده از ماده  $HfO_2$  به عنوان عایق زیر گیت

مقدار  $\beta$  اندازه‌گیری شده در ولتاژ ۶۵۰ میلی‌ولت بیس از ۵۰ به ۷۵۰ افزایش پیدا کرد که با تغییر ولتاژ گیت به صورت پله‌ای می‌توان به بهره مورد نظر داخل این بازه دست یافت.

در شکل ۴-۲۲ نیز مقادیر  $\beta$  برای هر سه حالت بدون اعمال گیت، با گیت و عایق زیر گیت از جنس  $SiO_2$  و با عایق زیر گیت از جنس  $HfO_2$  که نشان‌دهنده اعمال میدان قوی‌تر است، در یک نمودار بر حسب ولتاژ بیس نمایش داده شده است. در نمودارهایی که گیت وجود دارد ولتاژ اعمالی به پایه گیت برابر با ۵ ولت است.

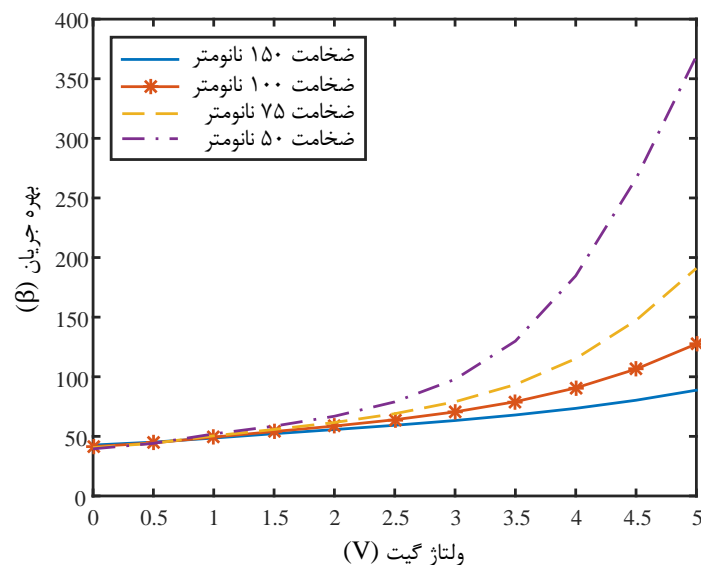


شکل ۴-۲۲: نمودار مقادیر  $\beta$  بر حسب ولتاژ بیس

## ۴-۵-۱ تأثیر ضخامت عایق زیر گیت

همانطور که گفته شد یکی دیگر از راه‌های تغییر خازن گیت، تغییر ضخامت لایه اکسید زیر گیت در ساختار ترانزیستور است. در این مرحله ضخامت این لایه که از جنس  $SiO_2$  است برای چند حالت مختلف شبیه‌سازی شده است. برای مشاهده بهتر تأثیر ولتاژ گیت در نمودار شکل ۴-۲۳ که حاصل نتایج این شبیه‌سازی است، ضریب بهره  $\beta$  بر حسب ولتاژ گیت بین ۰ تا ۵ ولت برای ۴ ضخامت متفاوت اکسید زیر گیت رسم شده است. ولتاژ بیس افزاره در این شبیه‌سازی ۶۵۰ میلی‌ولت اعمال شده است.

همانطور که مشاهده می‌شود مقدار  $\beta$  تابعی از ولتاژ گیت است و در ولتاژهای مثبت گیت به ضخامت اکسید نیز وابسته است. در ضخامت‌های بالای اکسید اثر گیت کمتر دیده می‌شود؛ در حالیکه در ضخامت‌های کمتر بیشترین تأثیر را روی کارکرد افزاره می‌گذارد.



شکل ۴-۲۳: نمودار مقادیر  $\beta$  بر حسب ولتاژ گیت و ضخامت‌های مختلف عایق زیر گیت

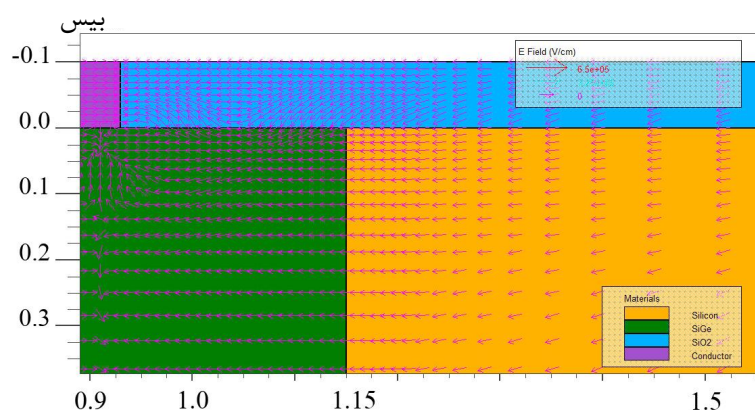
## ۴-۵-۲ شکست عایق گیت

شکست الکتریکی پدیده‌ای است که وقتی اختلاف پتانسیل الکتریکی در یک عایق الکتریکی از آستانه تحمل آن عایق بیشتر می‌شود، عایق الکتریکی تبدیل به رسانا می‌شود. در نتیجه جریان ناگهانی در عایق آزاد می‌شود که ممکن است مطلوب نباشد. در این افزاره به دلیل وجود میدان قوی در عایق گیت لازم است که شکست عایق گیت نیز مورد بررسی قرار بگیرد. آستانه تحمل عایق  $SiO_2$ ، در حدود ۰/۵ گیگاولت بر متر است که با تبدیل آن برای ضخامت ۱۰۰ نانومتر که در اینجا استفاده شده است حدود ۵۰ ولت خواهد بود که بسیار بیشتر از ولتاژهای

اعمالی در این افزاره است و این پدیده در افزاره پیشنهادی رخ نمی‌دهد [۲۴]. در صورت کاهش ضخامت عایق گیت به زیر ۱۰ نانومتر، میدان الکتریکی خازن گیت افزایش پیدا می‌کند و امکان شکست عایق گیت وجود خواهد داشت.

## ۴-۶ کارکرد فیزیک افزاره

در این بخش به توضیح نحوه کارکرد فیزیک افزاره پرداخته شده است. به این منظور میدان‌های الکتریکی ترانزیستور در منطقه اتصال بیس به کلکتور و ناحیه زیر گیت بررسی شده است. در ابتدا افزاره اولیه که فاقد گیت در ساختار آن است و یک دوقطبی ساده با بیس SiGe است نشان داده شده است. با توجه به نوع ناخالصی مناطق کلکتور و بیس که به ترتیب از نوع n و p است، در محل اتصال این دو نیم‌رسانا ابتدا حامل‌های نزدیک به محل اتصال با هم ترکیب شده و ناحیه تخلیه<sup>۱</sup> را ایجاد می‌کنند. سپس به دلیل وجود یون‌های مثبت کریستال در کلکتور و یون‌های منفی در ناحیه بیس یک میدان داخلی در اطراف محل اتصال ایجاد می‌شود. این میدان که میدان داخلی نامیده می‌شود عامل اصلی جذب الکترون‌های آزاد بیس است. در ساختار اولیه که یک اتصال p به n است به دلیل توزیع یکنواخت ناخالصی در سطح پیوند این میدان بطور یکنواخت در ناحیه تخلیه وجود دارد. در شکل ۴-۲۴ این میدان یکنواخت در قسمت اتصال بیس و کلکتور نشان داده شده است. ناحیه سبز رنگ سمت چپ، بیس با ماده SiGe و ناحیه زرد رنگ سمت راست، کلکتور ترانزیستور را نشان می‌دهد.

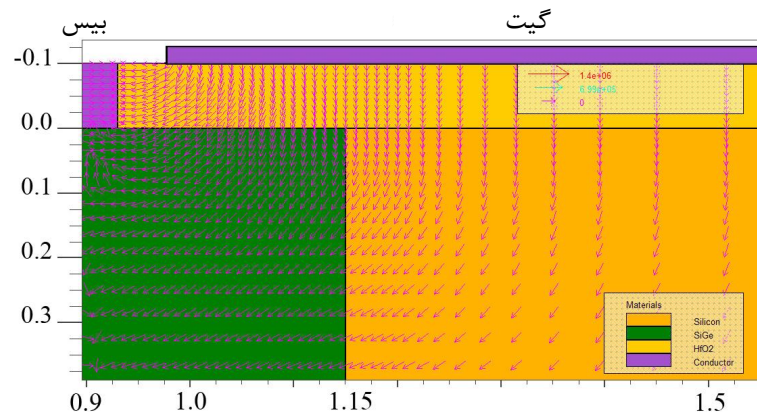


شکل ۴-۲۴: میدان یکنواخت در قسمت اتصال بیس و کلکتور در افزاره بدون گیت

در شکل ۴-۲۵ میدان الکتریکی در همان ناحیه اطراف پیوند بیس-کلکتور در افزاره پس از اعمال ولتاژ ۵ ولت به گیت نشان داده شده است. در این افزاره به دلیل اعمال ولتاژ مثبت به گیت و تجمع بارهای مثبت در فلز گیت و منفی در زیر عایق، یک میدان عمودی از بالا به پایین ایجاد می‌شود. بزرگی میدان ایجاد شده به اندازه خازن و ولتاژ اعمالی به گیت وابسته است. نهایتاً با

<sup>۱</sup> Depletion Region

ترکیب این دو میدان که یکی از بالا به پایین و دیگری از سمت کلکتور به بیس است یک میدان غیریکنواخت در افزاره ایجاد می‌شود. جهت این میدان در قسمت‌های پایین‌تر افزاره از سمت کلکتور به بیس و در مناطق نزدیک به سطح از بالا به پایین و مایل به سمت بیس است. این امر باعث می‌شود الکترون‌های موجود در بیس توسط میدان قوی‌تری به سمت کلکتور جذب شوند.



شکل ۴-۲۵: میدان غیریکنواخت در قسمت اتصال بیس و کلکتور در افزاره پس از اعمال ولتاژ به گیت

همچنین در ناحیه بیس و در قسمت‌هایی که بالای آن با گیت پوشیده شده است به دلیل جذب حامل‌ها به سمت بالای افزاره و زیر گیت، پدیده تخلیه<sup>۱</sup> در اثر میدان در نیم‌رسانا رخ می‌دهد و قسمت‌هایی از بیس که زیر گیت قرار گرفته‌اند به ناحیه تخلیه تبدیل می‌شوند. خود این امر باعث کم شدن عرض مؤثر بیس در نواحی نزدیک به سطح می‌شود و در واقع عرض مؤثر بیس با ولتاژ گیت مدوله<sup>۲</sup> می‌شود.

همانطور که در فصل ۳ اشاره شده است در ترانزیستور دوقطبی هرچه عرض بیس کمتر باشد بازترکیب حامل‌های تزریق‌شده از امیتر کمتر شده و بهره جریان ترانزیستور ( $\beta$ ) افزایش پیدا می‌کند. نقش اصلی گیت کنترل عرض مؤثر بیس و در نتیجه کنترل بهره جریان ترانزیستور است، به این صورت که اگر ولتاژی به گیت اعمال نشود عرض ناحیه بیس هیچ تغییری نمی‌کند و بهره ترانزیستور به مقدار ناخالصی و ضخامت و ابعاد ترانزیستور بستگی دارد.

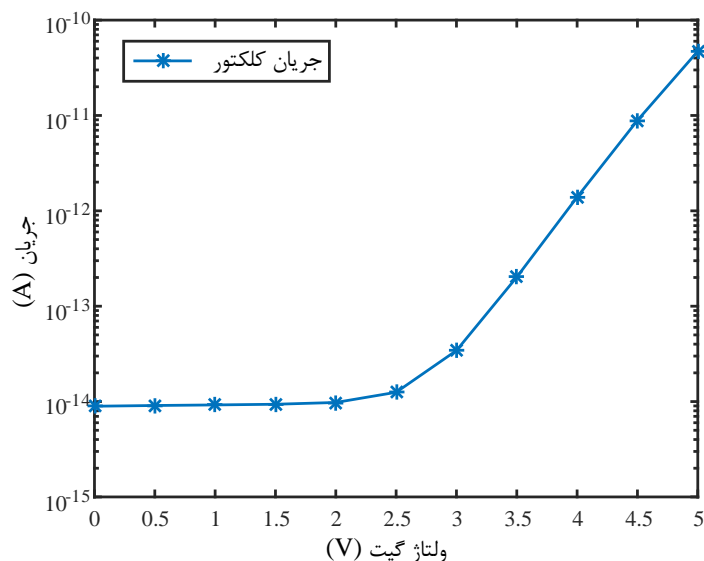
در صورت اعمال ولتاژ مثبت به گیت در ناحیه بیس حامل‌های الکترون مانند ترانزیستور ماسفت در زیر گیت تجمع می‌کنند و ناحیه وارونگی<sup>۳</sup> را ایجاد می‌کنند که باعث می‌شود قسمتی از بیس که از نیم‌رسانای نوع p است به نیم‌رسانای نوع n تبدیل شود و این ناحیه به کلکتور ضمیمه می‌شود. در نتیجه عرض مؤثر بیس کاهش می‌یابد.

در نمودار شکل ۴-۲۶ جریان کلکتور بر حسب ولتاژ گیت از ۰ تا ۵ ولت و جریان بیس ۱ نانوامپر نشان داده شده است. مشاهده می‌شود که پس از افزایش ولتاژ از حدود ۲/۵ ولت به

<sup>۱</sup>Depletion

<sup>۲</sup>Base Width Modulation

<sup>۳</sup>Inversion



شکل ۴-۲۶: نمودار جریان کلکتور بر حسب ولتاژ گیت به ازای جریان ثابت در بیس

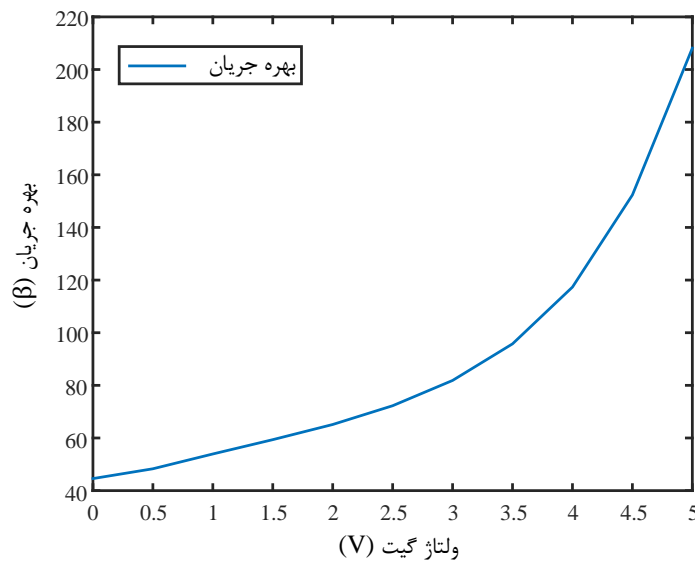
بالا جریان کلکتور افزایش می‌یابد که دلیل آن میدان بزرگتر و ایجاد وارونگی قوی‌تر در آن نواحی بیس است که در زیر گیت قرار دارد. لازم به ذکر است که افزایش بیش از حد ولتاژ گیت تأثیر چندانی در مقدار بهره نخواهد داشت، چون ناحیه وارونگی قوی<sup>۱</sup> در زیر گیت تشکیل شده است و عرض مؤثر بیس دیگر تغییر نمی‌کند.

در نمودار شکل ۴-۲۷ نیز مقدار  $\beta$  در شرایط تغییر پله‌ای ولتاژ گیت رسم شده است. در این شبیه‌سازی از ماده  $SiO_2$  به عنوان لایه عایق زیر گیت استفاده شده است. ترانزیستور در ناحیه فعال قرار دارد و ولتاژ بیس مقدار ۶۰۰ میلی‌ولت است.

## ۷-۴ مشخصه‌یابی سایر پارامترهای ترانزیستور

در این بخش پس از اینکه از صحت عملکرد افزاره اطمینان حاصل شد، نوبت به اندازه‌گیری سایر پارامترهای ترانزیستور مانند ولتاژ شکست و فرکانس قطع رسیده است. پس از شبیه‌سازی و به‌دست‌آوردن پارامترهای ذکر شده می‌توان ترانزیستور ارائه‌شده را با چند ترانزیستور مشابه دیگر مقایسه کرد.

<sup>۱</sup>Strong Inversion



شکل ۴-۲۷: نمودار مقادیر  $\beta$  بر حسب ولتاژ گیت

#### ۱-۷-۴ جریان خاموش ترانزیستور

در شکل ۴-۲۸ منحنی مشخصه افزاره برای حالت‌های مختلف بدون گیت، با اعمال ولتاژ ۳ ولت به گیت و اعمال ولتاژ ۵ ولت به گیت رسم شده است. دامنه اعمال ولتاژ بیس از ۰ تا ۱ ولت است تا جریان خاموشی افزاره و جریان اشباع آن در شکل دیده شود. همانطور که مشاهده می‌شود در صورت اعمال ولتاژ مثبت به گیت جریان حالت خاموش ترانزیستور افزایش یافته است و باعث شده که نسبت  $I_{on}/I_{off}$  نیز در این افزاره تحت تأثیر قرار بگیرد. البته با وجود تخریب این پارامتر نسبت به حالت بدون گیت، ترانزیستور همچنان دارای  $I_{on}/I_{off}$  بالایی است و جریان خاموش آن نیز کم است. با تغییر محل گیت می‌توان این پارامتر را به صورت بهینه‌تری طراحی کرد.

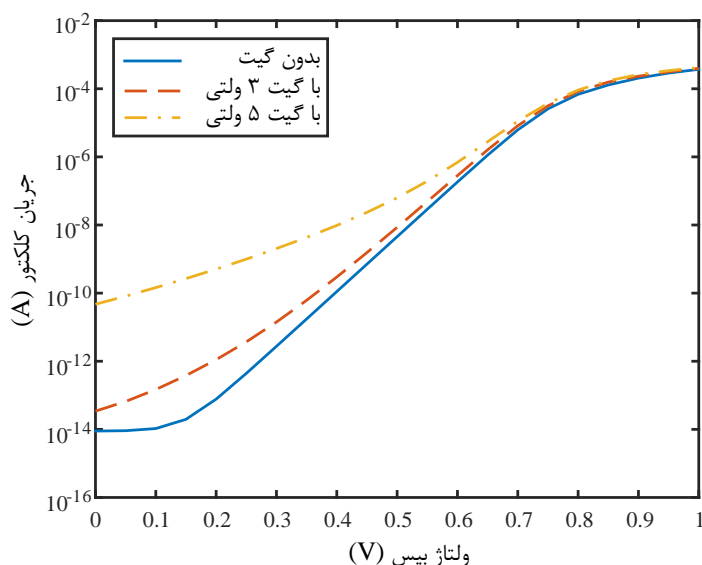
$$I_{on}/I_{off} = \frac{5 \times 10^{-4}}{5 \times 10^{-10}} = 1 \times 10^6 \quad (۴-۱۱)$$

با توجه به شکل ۴-۲۸ و طبق رابطه (۴-۱۱) نسبت  $I_{on}/I_{off}$  برای افزاره در صورت اعمال ولتاژ ۵ ولت به گیت برابر با  $1 \times 10^6$  است که مقدار قابل قبولی برای این افزاره است.

#### ۲-۷-۴ ولتاژ شکست معکوس

یکی از پارامترهایی که در ترانزیستورها اهمیت بالایی دارد ولتاژ شکست معکوس پیوند بیس-کلکتور است. این ولتاژ نشانگر بیشینه ولتاژ معکوس پیوند بیس-کلکتور است که پس





شکل ۴-۲۸: نمودار جریان کلکتور بر حسب ولتاژ بیس و مقادیر جریان خاموش افزاره

از آن در پیوند، شکست بهمنی رخ می‌دهد و جریان به شدت افزایش پیدا می‌کند. ولتاژ شکست وابسته به عرض بیس است و هرچه عرض بیس کمتر باشد ولتاژ شکست کمتر خواهد بود.

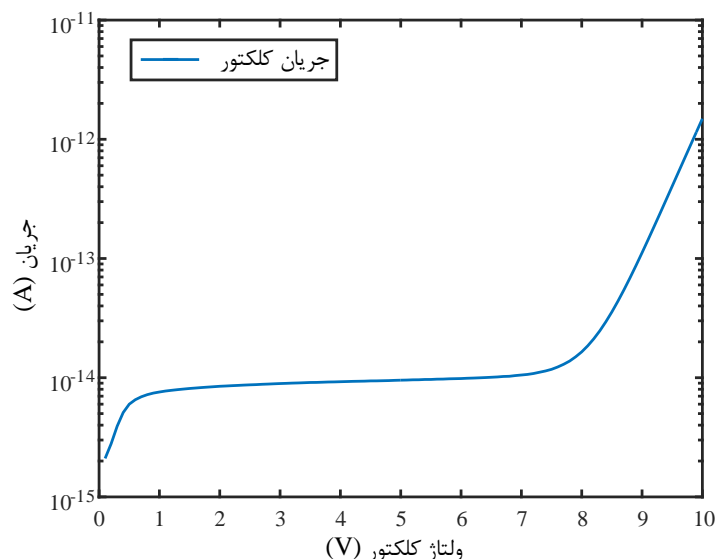
شکل ۴-۲۹ مشخصه ولتاژ-جریان ترانزیستور را در شرایط اعمال ولتاژ ۵ ولت به گیت نشان می‌دهد. برای شبیه‌سازی این پارامتر یک جریان ثابت ۱ نانوآمپر به بیس اعمال شده است و ولتاژ کلکتور به صورت پله‌ای افزایش پیدا می‌کند. این افزایش ولتاژ باید تا جایی ادامه پیدا کند که تغییر ناگهانی جریان در نمودار مشاهده شود.

در ترانزیستور معرفی شده در این پژوهش ولتاژ شکست برابر ۸ ولت است که در محدوده قابل قبولی در مقایسه با ترانزیستورهای دیگر است. همچنین با امتداد دادن شیب منحنی در جهت منفی ولتاژ کلکتور ولتاژ ارلی به دست می‌آید که حدود ۳۰ ولت است.

### ۴-۷-۳ فرکانس قطع

یکی دیگر از پارامترهای مهم افزاره محدوده فرکانس کاری است که معمولاً در افزاره‌های الکترونیکی با نام فرکانس قطع به آن اشاره می‌شود. برای یک ترانزیستور این مقدار که با  $f_T$  نشان داده می‌شود فرکانسی است که بهره ترانزیستور به ۱ برسد و در فرکانس‌های بالاتر از این مقدار ترانزیستور نه تنها تقویتی روی سیگنال انجام نمی‌دهد، بلکه سیگنال را تضعیف هم می‌کند.

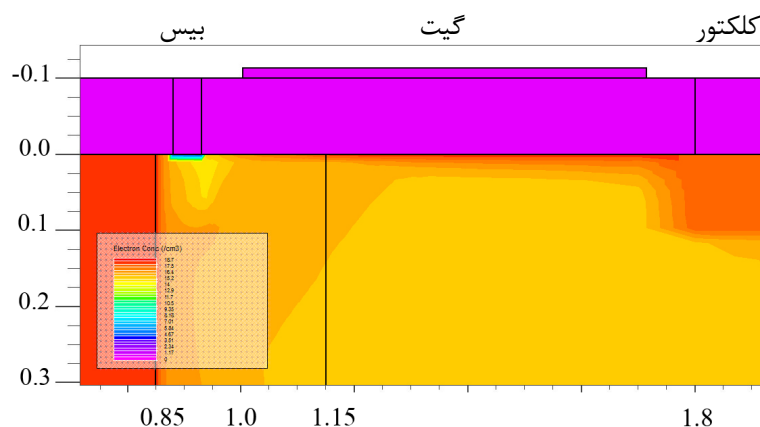
در ترانزیستور دوقطبی فرکانس قطع با عرض بیس در ارتباط است؛ به طوری که هرچه عرض بیس کمتر باشد ترانزیستور فرکانس قطع بالاتری دارد. دلیل این امر در این است که در یک ترانزیستور دوقطبی فرکانس قطع با زمان عبور حامل از امیتر به کلکتور رابطه معکوس دارد و



شکل ۴-۲۹: مشخصه جریان-ولتاژ خروجی ترانزیستور و ولتاژ شکست معکوس کلکتور-بیس

هرچه عرض بیس بزرگتر باشد، زمان گذر حامل از امیتر به کلکتور افزایش پیدا می‌کند که در نتیجه آن سرعت افزاره کاهش یافته و فرکانس قطع آن کوچک می‌شود.

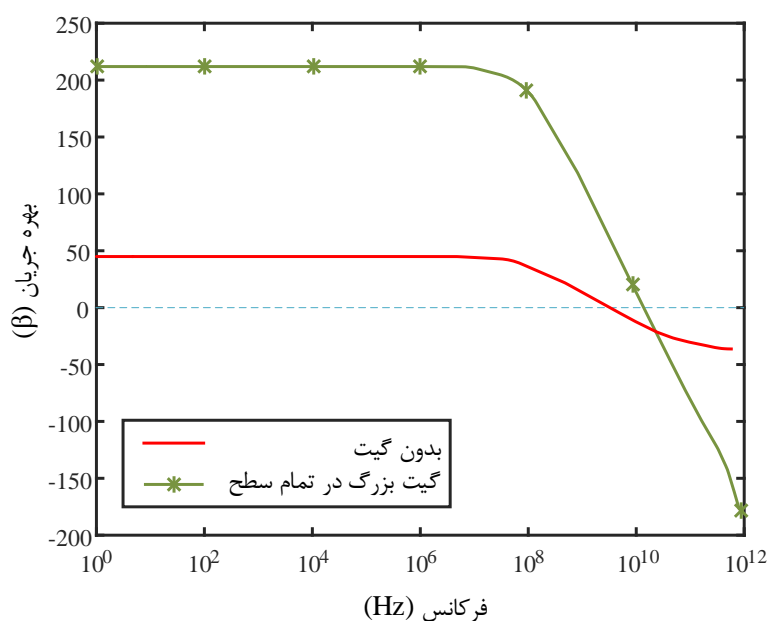
در شکل ۴-۳۰ چگونگی تجمع بار در زیر گیت در ناحیه بیس در اثر اعمال ولتاژ مثبت به افزاره نشان داده شده است. در اینجا ولتاژ ۵ ولت به گیت اعمال شده است و همانطور که مشاهده می‌شود الکترون‌های تزریق شده از امیتر، مسیر به سمت گیت را انتخاب می‌کنند و به دلیل تجمع بار الکترون در زیر گیت مسیر مناسبی برای الکترون‌ها است.



شکل ۴-۳۰: تراکم الکترون‌ها در افزاره در اثر اعمال ولتاژ به گیت

در نتیجه انتظار می‌رود در افزاره مورد بحث پس از اعمال ولتاژ به گیت به دلیل کاهش عرض مؤثر بیس، فرکانس قطع نیز افزایش یابد. مقدار فرکانس قطع در این ترانزیستور در دو حالت

مختلف بایاس گیت توسط نرم افزار سیلواکو محاسبه شده است. در صورت عدم اعمال ولتاژ به گیت که در این حالت عرض بیس همان عرض تعریف شده با توجه به ابعاد و فیزیک افزاره است، مقدار فرکانس قطع ۴ گیگاهرتز است که پس از اعمال ولتاژ ۵ ولت به گیت به مقدار ۱۱ گیگاهرتز افزایش یافته است. در شکل ۴-۳۱ نمودار مقادیر  $\beta$  بر حسب فرکانس برای ترانزیستور قبل و بعد از اضافه کردن گیت رسم شده است.



شکل ۴-۳۱: نمودار مقادیر  $\beta$  بر حسب فرکانس برای ترانزیستور قبل و بعد از اضافه کردن گیت

## ۸-۴ مقایسه با چند مرجع دیگر

در این قسمت به مقایسه افزاره مورد بحث با کارهای پیشین انجام شده پرداخته شده است. به طور کلی پارامترهای مختلف زیادی برای مقایسه ترانزیستورهای دو قطبی با یکدیگر وجود دارد. غیر از موارد ذکر شده در این پایان نامه می توان حتی به پارامترهایی مانند حداکثر توان قابل تحمل، محدوده دمای کاری، هزینه و فناوری ساخت مورد نیاز برای پیاده سازی و چندین مورد دیگر نیز اشاره کرد و برای بهبود آن ها روش هایی را پیشنهاد کرد.

در اینجا چون هدف بررسی اثر گیت در افزاره و بهبود بهره جریان مورد نظر بوده به مقایسه چند پارامتر که در جدول ۴-۴ آورده شده است اکتفا می شود. در این افزاره مقادیر ولتاژ شکست و فرکانس قطع در مقایسه با مقالات دیگر مقدار قابل قبولی دارند و تفاوت اصلی در مقدار بهره جریان مشاهده می شود.

لازم به ذکر است که همانطور که در متن هم اشاره شده است مقدار بهره  $\beta$  برای جریان های بالا در افزاره برابر با ۷۵۰ بود. با توجه به اینکه در این مقالات مقدار  $\beta$  در جریان های پایین کلکتور

جدول ۴-۳: جدول مقایسه نتایج بدون گیت و با گیت

بدون گیت	گیت در تمام سطح	
۱	۱۵	جریان کلکتور ( $\mu A$ )
۰/۰۲	۰/۰۲	جریان بیس ( $\mu A$ )
۵۰	۷۵۰	بهره جریان ( $\beta$ )
----	۱۵	ضریب افزایش بهره جریان
۴	۱۱	فرکانس قطع (GHz)
----	۲/۷۵	ضریب افزایش فرکانس قطع

گزارش شده است، برای مقایسه بهتر در این پژوهش نیز مقدار  $\beta$  با توجه به رابطه (۴-۱۰) که مربوط به جریان ۵ میکروآمپر در ولتاژ بیس ۵۰۰ میلی‌ولت است گزارش شده است [۳۵، ۳۶].

جدول ۴-۴: جدول مقایسه نتایج این پژوهش با مقالات گذشته

مرجع	نوع ساختار	بهره جریان ( $\beta$ )	فرکانس قطع (GHz)	ولتاژ شکست (V)
[۹]	دوقطبی جانبی	۳۰	۲۰	۸/۲
[۱۰]	ترکیب با ماسفت	۲۵۰	۱۳	۴۵/۲
[۱۱]	ترکیب با ماسفت	۱۰۰۰۰	۰/۱	----
[۳۵]	دوقطبی جانبی	۱۶۰۰	۱۳	۵
[۳۶]	کنترل عرض بیس	۲۰۰۰	۲۵	۵/۷
این پژوهش	کنترل عرض بیس	۵۰۰۰۰	۱۱	۸

## ۹-۴ نتیجه‌گیری

در این فصل یک افزاره دوقطبی جدید معرفی و توسط نرم‌افزار سیلوکو در محیط اتلس شبیه‌سازی شد. شبیه‌سازی‌ها هم روی ساختار دوقطبی سیلیکونی و هم دوقطبی با بیس SiGe انجام شد و تأثیر گیت بر روی آنها بررسی شد. در بخشی از شبیه‌سازی محل و ابعاد گیت مورد بررسی قرار گرفت و محل مناسب تعیین گردید. همچنین نحوه کارکرد افزاره با توجه به نمودارها و نتایج شبیه‌سازی‌ها توضیح داده شد. در ادامه سایر مشخصات فیزیکی افزاره اندازه‌گیری شد و نهایتاً مقایسه‌ای با افزاره اولیه بدون گیت و سایر مقالات مرتبط و نزدیک به این پژوهش صورت گرفت.

شبیه‌سازی‌ها نشان می‌دهد که بهره جریان ترانزیستور قابل قبول بوده، به طوریکه وقتی ولتاژ گیت صفر ولت باشد بهره ترانزیستور در حدود ۵۰ بوده و با افزایش ولتاژ گیت تا ۵ ولت این مقدار بهره به ۷۵۰ و حتی تا ۵۰۰۰۰ در جریان‌های پایین کلکتور نیز می‌رسد که افزایش حداقل ۱۵ برابری را نشان می‌دهد. این ترانزیستور ولتاژ شکست خوبی هم دارد که در محدوده ۸ ولت در حالت اعمال ولتاژ به گیت است. همچنین فرکانس کاری بدون اعمال ولتاژ به گیت در حدود ۴ گیگاهرتز بود که پس از اعمال ولتاژ ۵ ولت به گیت تا ۱۱ گیگاهرتز افزایش پیدا کرد.



# فصل ۵

## جمع‌بندی و پیشنهادها

### ۵-۱ مقدمه

در سال‌های اخیر پیشرفت‌های زیادی در صنعت الکترونیک حاصل شده است و به جرأت می‌توان گفت بخش عمده این پیشرفت پس از اختراع ترانزیستور و ساخت مدارات به صورت مجتمع حاصل شده است. یکی از ملزومات پیشرفت‌های آینده، توانایی طراحی و ساخت افزاره‌های بهتر و باکیفیت‌تر است. در این مسیر نیاز است که روش‌های بهبود انواع افزاره‌ها بررسی شود و همچنین پیشنهادها و ساختارهای جدید برای طراحی و پیاده‌سازی افزاره‌هایی با قابلیت‌های خاص‌تر صورت پذیرد. برای مثال بهبود بهره جریان در ترانزیستورهای دوقطبی از ابتدای معرفی این افزاره در ذهن مهندسان و طراحان وجود داشته است و در طی این چند دهه روش‌هایی برای بهبود این پارامتر ارائه شده است. همچنین در سال‌های اخیر پژوهش‌هایی برای کنترل این پارامتر توسط ولتاژ اعمالی از بیرون به افزاره انجام شده است.

هدف اصلی در این پژوهش، کنترل بهره ترانزیستور دوقطبی نامتجانس از نوع SiGe است که توسط نرم‌افزار سیلواکو طراحی و شبیه‌سازی شده است. ساختار کلی مشابه ترانزیستورهای دوقطبی معمولی است که در ساختار بیس آن از ماده SiGe استفاده شده است و تفاوت اصلی این ساختار با ساختارهای معمول اضافه‌کردن یک پایه دیگر علاوه بر بیس، به نام پایه گیت در این ترانزیستور است. در این ساختار با کنترل ولتاژ اعمالی به این پایه می‌توانیم بهره جریان‌های

متفاوتی داشته باشیم. به این صورت که با اعمال ولتاژ به گیت، عرض مؤثر بیس تغییر می‌کند و باعث می‌شود برخورد و بازترکیب حامل‌ها در بیس کمتر شده و راحت‌تر از امیتر به کلکتور بروند و در نتیجه بهره جریان افزایش پیدا می‌کند.

با اعمال این تغییر کوچک در ساختار، می‌توان دو رویکرد زیر را پیش رو داشت:

- بهبود بهره جریان ترانزیستور با اعمال ولتاژ ثابت به این پایه افزاره.
- امکان تغییر مشخصات ترانزیستور مانند بهره جریان که با مدوله‌کردن عرض بیس اتفاق می‌افتد.

این قطعه هیبرید ۴ پایه می‌تواند در کاربردهایی مانند مدارهای مخلوط‌کننده و تقویت‌کننده با بهره متغیر (VGA) استفاده شود و بازدهی خوبی داشته باشد.

برای پیاده‌سازی این ساختار مشابه مراجع بررسی شده، مدل فیزیکی افزاره در نرم‌افزار سیلوواکو پیاده شده است و پس از افزودن پایه گیت در محل پیش‌بینی شده، شبیه‌سازی و اعمال ولتاژهای متفاوت به پایه گیت انجام شده است. در ادامه تأثیر مواردی مانند محل و ابعاد گیت و سایر پارامترها مانند جنس عایق زیر گیت، ضریب نفوذپذیری الکتریکی و ضخامت لایه عایق بررسی شده است. در آخر نیز پارامترهای دیگر ترانزیستور مانند ولتاژ شکست و فرکانس قطع اندازه‌گیری شده است.

## ۵-۲ جمع‌بندی

در این پژوهش یک ترانزیستور دوقطبی با قابلیت کنترل بهره از طریق گیت معرفی شد. دوقطبی مورد نظر از نوع دوقطبی با اتصال نامتجانس و بیس از جنس SiGe بود. دلیل استفاده از ساختار HBT مشخصه فرکانسی بهتر آن نسبت به BJT معمولی است که باعث می‌شود ترانزیستور نهایی سرعت بالاتری داشته باشد. همچنین ابعاد و میزان ناخالصی‌ها مشابه مراجع بررسی شده در پژوهش، طوری انتخاب شده‌اند که قطعه نهایی از نظر فرکانس قطع و ولتاژ شکست نزدیک به افزاره‌های بررسی شده پیشین باشد تا بتوانیم میزان تغییر بهره را به خوبی مشاهده و با آنها مقایسه کنیم. در این افزاره ولتاژ شکست ۸ ولت، فرکانس قطع ۱۱ گیگاهرتز و ولتاژ ارلی حدود ۳۰ ولت است.

ترانزیستور پیشنهادی این ویژگی را دارد که می‌توان با اعمال یک ولتاژ ثابت به پایه چهارم (گیت) بهره آن را افزایش داد و یا با کنترل این ولتاژ، مشخصات ترانزیستور را کنترل کرد. شبیه‌سازی‌هایی برای مشاهده اثر تغییرات ولتاژ گیت و تأثیر مکان و ابعاد گیت و مقدار خازن عایق گیت بر روی عملکرد و کارایی ترانزیستور انجام شده است.

در این پژوهش چندین مرجع با ساختارهای مختلف برای بهبود ترانزیستورهای دوقطبی بررسی شده است. این مراجع دو رویکرد اصلی در رابطه با بهبود افزاره را در پیش گرفته‌اند. گروه اول مراجعی هستند که با تغییر جنس مواد سازنده، میزان ناخالصی‌های اضافه‌شده، ابعاد و نحوه



ساخت، سعی در بهبود پارامترهای موجود ترانزیستور را دارند. در این مراجع ترانزیستورهای دوقطبی در کنار ترانزیستورهای اثر میدان به صورت جانبی ساخته شده است. به دلیل کیفیت پایین این ترانزیستور که در یک فناوری متفاوت و شرایط نامطلوب برای دوقطبی ایده‌آل ساخته شده است، روش‌های بهبود افزاره توسعه یافته است. برای مثال میزان بهره جریان یک دوقطبی در این ساختارها در محدوده ۳۰ تا ۵۰ بود که برای یک ترانزیستور دوقطبی مقدار پایینی است. ایده ترکیب این افزاره با یک ترانزیستور اثر میدان هم در همین افزایش جریان ترانزیستور بوده تا جریان کلی ترانزیستور و بهره جریان افزایش پیدا کند. ساختار این نوع از افزاره و نوع کارکرد آن نیز مورد بررسی قرار گرفته است. این افزاره‌ها قابلیت پیاده‌سازی در فناوری BiCMOS را دارا هستند.

افزاره معرفی شده در این پژوهش نیاز به فناوری ساخت پیچیده‌تری نسبت به ساختارهای قبلی دارد و همین مورد می‌تواند یکی از نقاط ضعف اصلی، نسبت به ساختارهای متداول باشد. معمولاً انتظار می‌رود ساختارهای پیشنهادی قابلیت ساخت روی فناوری‌های غالب را داشته باشند اما نباید فراموش کرد که این ما هستیم که فناوری ساخت را براساس نیازها تغییر می‌دهیم. فناوری ساخت در گذر زمان تغییر کرده است و امروزه ما شاهد ساخت افزاره‌های دوقطبی در کنار افزاره‌های اثر میدانی هستیم؛ در صورتی که در ابتدا این فناوری فقط برای ساخت مدارهای دیجیتال با استفاده از ترانزیستورهای اثر میدان توسعه یافته بود. این نیازهای روز افزون بشر است که باعث جلو رفتن روند فرآیندهای ساخت در گذر زمان شده است و حتی هزینه ساخت این نوع افزاره‌ها نسبت به سال‌های قبل کمتر و کمتر شده است.

امروزه امکان پیاده‌سازی ساختارهای SiGe-HBT بر روی Thin-Film SOI وجود دارد و می‌توان نحوه پیاده‌سازی افزاره شبیه‌سازی شده در این پژوهش را در فناوری گفته شده بررسی کرد که می‌تواند یکی از پیشنهادات برای ادامه این مسیر باشد.

نتایج حاصل از شبیه‌سازی‌ها نشان می‌دهد که بهره جریان ترانزیستور قابل قبول بوده به طوریکه وقتی ولتاژ گیت صفر ولت باشد بهره ترانزیستور در حدود ۵۰ بوده و با افزایش ولتاژ گیت تا ۵ ولت این مقدار بهره به ۷۵۰ و حتی تا ۵۰۰۰۰ در جریان‌های پایین کلکتور نیز می‌رسد که افزایش حداقل ۱۵ برابری را نشان می‌دهد. همچنین فرکانس کاری بدون اعمال ولتاژ به گیت در حدود ۴ گیگاهرتز بود که پس از اعمال ولتاژ ۵ ولت به گیت تا ۱۱ گیگاهرتز افزایش پیدا کرد.

## ۳-۵ نوآوری

در این پژوهش ساختار GC-HBT معرفی شده است که در واقع ترکیبی از ترانزیستور دوقطبی کنترل شده با گیت و ترانزیستور دوقطبی با بیس SiGe است که به دلیل مشخصات بهتر این ساختار نسبت به دوقطبی ساده، انتظار بهبود در کارایی افزاره در مقدار بهره جریان  $\beta$  یا فرکانس قطع وجود دارد.

## ۴-۵ پیشنهادها

- ارائه یک مدل برای محاسبه جریان افزاره
- شبیه‌سازی با ترکیبات مختلف مانند GaAs و AlGaAs
- طراحی بهینه‌تر مدارهای موجود با استفاده از افزاره معرفی شده

## مراجع

- [1] J. Bardeen and W. H. Brattain, "The transistor, a semi-conductor triode," *Physical Review*, vol.74, no.2, p.230, 1948.
- [2] Z. Yan, M. J. Deen, and D. S. Malhi, "Gate-controlled lateral pnp bjt: characteristics, modeling and circuit applications," *IEEE Transactions on electron devices*, vol.44, no.1, pp.118–128, 1997.
- [3] S. Aniruddhan, M. Chu, and D. J. Allstot, "A lateral-bjt-biased cmos voltage-controlled oscillator," in *2004 IEEE International Symposium on Circuits and Systems (IEEE Cat. No. 04CH37512)*, vol.1, pp.I-976, IEEE, 2004.
- [4] K. Joardar, "An improved analytical model for collector currents in lateral bipolar transistors," *IEEE Transactions on Electron Devices*, vol.41, no.3, pp.373–382, 1994.
- [5] T.-H. Huang and M.-J. Chen, "Empirical modeling for gate-controlled collector current of lateral bipolar transistors in an n-mosfet structure," *Solid-state electronics*, vol.38, no.1, pp.115–119, 1995.
- [6] S. Verdonckt-Vandebroek, S. S. Wong, J. Woo, and P. K. Ko, "High-gain lateral bipolar action in a mosfet structure," *IEEE Transactions on Electron Devices*, vol.38, no.11, pp.2487–2496, 1991.
- [7] M. Rodder and D. Antoniadis, "Silicon-on-insulator bipolar transistors," *IEEE Electron Device Letters*, vol.4, no.6, pp.193–195, 1983.
- [8] J. C. Sturm, J. P. McVittie, J. F. Gibbons, and L. Pfeiffer, "A lateral silicon-on-insulator bipolar transistor with a self-aligned base contact," *IEEE electron device letters*, vol.8, no.3, pp.104–106, 1987.
- [9] G. Shahidi, D. Tang, B. Davari, Y. Taur, P. McFarland, K. Jenkins, D. Danner, M. Rodriguez, A. Megdanis, E. Petrillo, *et al.*, "A novel high-performance lateral bipolar on soi,"

- in *International Electron Devices Meeting 1991 [Technical Digest]*, pp.663–666, IEEE, 1991.
- [10] S.-M. Chen, Y.-K. Fang, W.-K. Yeh, I. Lee, and Y.-T. Chiang, “A high current gain gate-controlled lateral bipolar junction transistor with 90 nm cmos technology for future rf soc applications,” *Solid-State Electronics*, vol.52, no.8, pp.1140–1144, 2008.
- [11] Z. Yan, M. J. Deen, and D. S. Malhi, “Gate-controlled lateral pnp bjt: characteristics, modeling and circuit applications,” *IEEE Transactions on electron devices*, vol.44, no.1, pp.118–128, 1997.
- [12] Y. Chou and R. Ferro, “V. heterojunction bipolar transistors,” *GaAs MMIC Reliability Assurance Guideline for Space Applications*, p.44, 1996.
- [13] J. D. Cressler and G. Niu. *Silicon-germanium heterojunction bipolar transistors*. Artech house, 2003.
- [۱۴] جاسپریت سینگ، مرتضی فتحی پور، و علیرضا احسانی اردکانی. فیزیک الکترونیک (مقدمه‌ای بر افزاره‌های نیمه هادی). دانشگاه تهران، موسسه انتشارات و چاپ، ۱۳۸۲.
- [15] I.-S. M. Sun. *RF Lateral Bipolar Junction Transistor on Silicon-on-insulator Substrate*. ProQuest, 2006.
- [16] W. Liu. *Handbook of III-V heterojunction bipolar transistors*. Wiley, 1998.
- [17] S. M. Sze and K. K. Ng. *Physics of semiconductor devices*. John wiley & sons, 2006.
- [۱۸] جerald نیودک و محمدکاظم مروج فرشی. ترانزیستور دو قطبی پیوندی. دانشگاه صنعتی شریف، موسسه انتشارات علمی، ۱۳۸۷.
- [19] M. M. Pelella and J. G. Fossum, “On the performance advantage of pd/soi cmos with floating bodies,” *IEEE Transactions on Electron Devices*, vol.49, no.1, pp.96–104, 2002.
- [20] M. B. Ketchen, “Competitive advantage of soi from dynamic threshold shifts and reduced capacitance,” in *2003 International Symposium on VLSI Technology, Systems and Applications. Proceedings of Technical Papers.(IEEE Cat. No. 03TH8672)*, pp.129–132, IEEE, 2003.
- [21] J.-O. Plouchart, N. Zamdmer, J. Kim, R. Trzcinski, S. Narasimha, M. Khare, L. F. Wagner, S. L. Sweeney, and S. Chaloux, “A 243-ghz f/sub t/and 208-ghz f/sub max/, 90-nm

soi cmos soc technology with low-power mm-wave digital and rf circuit capability,” *IEEE transactions on electron devices*, vol.52, no.7, pp.1370–1375, 2005.

[22] M. J. Kumar and C. L. Reddy, “2d-simulation and analysis of lateral sic n-emitter sige p-base schottky metal-collector (npm) hbt on soi,” *Microelectronics Reliability*, vol.43, no.7, pp.1145–1149, 2003.

[23] S. Tan, M. Chu, and W. Lour, “Low voltage operation phototransistor with,” in *State-of-the-Art Program on Compound Semiconductors XXXVIII and Wide Bandgap Semiconductors for Photonic and Electronic Devices and Sensors III: Proceedings of the International Symposia*, vol.2003, p.19, The Electrochemical Society, 2003.

[۲۴] ناصر امینی، “شبيه سازی و تحليل عملکرد يك ترانزیستور نوری دوقطبی ناهمگون AlGaAs/GAas با ناخالصی delta،” کارشناسی ارشد، غیر دولتی – مؤسسه‌های آموزش عالی غیردولتی-غیرانتفاعی – مؤسسه آموزش عالی مهر آستان – دانشکده فنی، ۱۳۹۵.

[25] N. Chennafi, C. Rumelhard, C. Gonzalez, and J. Thuret, “Modelling the photoresponse characteristics of inp/ingaas heterojunction phototransistor with different incident directions of beam light,” 1998.

[۲۶] سعید قهرمانی تولابی، “کاربرد شبکه های عصبی در پیش بینی پارامترهای نویز ترانزیستور فرکانس بالا HBT(SiGe) مدل (NESG2030M04)،” کارشناسی ارشد، وزارت علوم، تحقیقات و فناوری – دانشگاه رازی – پژوهشکده فنی و مهندسی، ۱۳۹۱.

[27] J. D. Cressler. *Fabrication of SiGe HBT BiCMOS Technology*. CRC press, 2018.

[28] Y. Zhang, W. Liang, X. Jin, M. Krattenmacher, S. Falk, P. Sakalas, B. Heinemann, and M. Schröter, “3.2-mw ultra-low-power 173–207-ghz amplifier with 130-nm sige hbts operating in saturation,” *IEEE Journal of Solid-State Circuits*, vol.55, no.6, pp.1471–1481, 2020.

[29] F. Buchali, K. Schuh, S. T. Le, X.-Q. Du, M. Grözing, and M. Berroth, “A sige hbt bicmos 1-to-4 adc frontend supporting 100 gbaud pam4 reception at 14 ghz digitizer bandwidth,” in *2019 Optical Fiber Communications Conference and Exhibition (OFC)*, pp.1–3, IEEE, 2019.

[30] S. P. Voinigescu, S. Shopov, J. Hoffman, and K. Vasilakopoulos, “Analog and mixed-signal millimeter-wave sige bicmos circuits: State of the art and future scaling,” in *2016 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, pp.1–4, IEEE, 2016.

- [31] T. L. Nguyen, A. Izadi, and G. Denoyer, "Sige bimos technologies for high-speed and high-volume optical interconnect applications," in *2016 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, pp.1–8, IEEE, 2016.
- [32] M. J. Deen, D. S. Malhi, Z. Yan, and R. A. Hadaway, "A new mixer circuit using gate-controlled lnpn bjt," in *Proceedings of ISCAS'95-International Symposium on Circuits and Systems*, vol.3, pp.1968–1971, IEEE, 1995.
- [33] S. E. Hosseini and H. G. Dehrizi, "A new bjt-transistor with ability of controlling current gain," in *International Multi-Conference on Systems, Signals & Devices*, pp.1–4, IEEE, 2012.
- [34] H. Bartzsch, D. Glöß, P. Frach, M. Gittner, E. Schultheiß, W. Brode, and J. Hartung, "Electrical insulation properties of sputter-deposited  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  and  $\text{Al}_2\text{O}_3$  films at room temperature and 400 c," *physica status solidi (a)*, vol.206, no.3, pp.514–519, 2009.
- [۳۵] فرانک همایونی، "بررسی عملکرد یک ترانزیستور دوقطبی لایه نازک،" کارشناسی ارشد، دانشگاه تربیت معلم – سبزوار – دانشکده فنی، ۱۳۸۸.
- [۳۶] هادی گودرزی دهریزی، "طراحی یک ترانزیستور دو قطبی با قابلیت کنترل بهره،" کارشناسی ارشد، دانشگاه تربیت معلم – سبزوار – پژوهشکده فنی و مهندسی، ۱۳۹۰.



## **Aabstract**

In this research a new structure for SiGe HBT transistor has been designed and simulated. This structure has an extra pin as a Gate that changes the current gain. By applying a voltage to the Gate, the Base width is controlled. By decreasing the Base width, the carrier recombination rate is reduced and the emitted electrons from Emitter have higher chance to achieve to the Collector. This gives the ability to control the transistor's current gain.

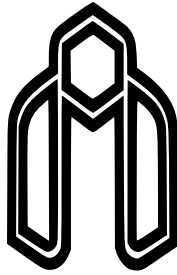
Adding this pin will have two approaches, one is to improve the current gain of the transistor by applying a constant voltage to this pin and the other is to modify the characteristics of the transistor such as the current gain that occurs by modulating the Base width by applying a range of voltages from 0 to 5 volts. This 4-pin hybrid component can be used in applications such as mixers and gain controls (VGA) with a good performance.

This transistor is investigated via extensive simulations. All simulations in this work have been performed using Silvaco software showing current gain variations up to 15 times. The current gain of the transistor without any Gate voltages is about 50, which increases to 750 by changing the Gate voltage from 0 to 5 volts. In the following, the effect of altering the items such as location and dimensions of the Gate plate and other parameters such as the Gate oxide permittivity and its thickness is investigated. Finally, other parameters of the transistor such as breakdown voltage and cut-off frequency has been extracted.

The reason for using the HBT (SiGe) transistor is its better frequency characteristics compared to the BJT, which makes the final transistor faster and suitable for RF applications. Also, dimensions and distribution of doping had been designed to achieve the proper current gain, transition frequency and reverse breakdown voltage. In this device, the breakdown voltage is 8 volts, the cut-off frequency is 11 GHz and the Early voltage is 30 volts.

**Keywords:** *Current Gain; GC-HBT; HBT; SiGe; Silvaco*





**Shahrood University of Technology**

**Faculty of Electrical Engineering and Robotic**

**MSc Thesis in: Nanoelectronic Devices**

**Design and Simulation of an HBT Transistor  
with Gate-Controlled Current Gain**

**By: Amir Hoonan Mehrabani**

**Supervisors**

**Dr. Ehsan Rahimi  
Dr. Ali Fattah Hesari**

**September 2020**