بسم الله الرحمن الرحيم

دانشکده مهندسی برق و رباتیک

پایان‌نامه کارشناسی ارشد مهندسی مدارهای مجتمع الکترونیک

طراحی و شبیه‌سازی یک نوسان‌ساز متعامد استفاده مجدد از جریان با توان مصرفی کم

نگارنده: محمد کریمیان

استاد راهنما:

دکتر عماد ابراهیمی

دی ۱۳۹۸

شماره: ۱۷۱۷/ت ت ب
تاریخ: ۹۸/۱۰/۲۴

باسمه‌تعالی

مدیریت تحصیلات تکمیلی

فرم شماره (۳) صورتجلسه نهایی دفاع از پایان نامه دوره کارشناسی ارشد

با نام و یاد خداوند متعال، ارزیابی جلسه دفاع از پایان نامه کارشناسی ارشد خانم / آقای محمد کریمیان با شماره دانشجویی ۹۶۰۰۳۲۴ رشته الکترونیک گرایش (مدار مجتمع) تحت عنوان: **طراحی و شبیه سازی یک نوسان ساز متعامد استفاده مجدد از جریان با توان مصرفی کم** که درتاریخ ۱۳۹۸/۱۰/۲۴ با حضورهیأت محترم داوران دردانشگاه صنعتی شاهرود برگزار گردید بشرح ذیل اعلام می گردد:

الف) درجه عالی: نمره ۲۰-۱۹ ☐ ب) درجه خیلی خوب: نمره ۱۸/۹۹ – ۱۸ ☐

ج) درجه خوب: نمره ۱۷/۹۹– ۱۶ ☒ د) درجه متوسط: نمره ۱۵/۹۹-۱۴ ☐

ه) کمتر از ۱۴ غیر قابل قبول و نیاز به دفاع مجدد دارد ☐

نوع تحقیق: نظری ☒ عملی ☐

عضو هیأت داوران	نام ونام خانوادگی	مرتبهٔ علمی	امضاء
۱ـ استادراهنمای اول	[illegible]	استادیار	
۲- استادراهنمای دوم	—	—	—
۳- استاد مشاور	—	—	—
۴- نماینده تحصیلات تکمیلی	علی [illegible]	استادیار	
۵- استاد ممتحن اول	[illegible]	[illegible]	
۶ـ استاد ممتحن دوم	[illegible]	استادیار	

نام و نام خانوادگی رئیس دانشکده: [illegible]

تاریخ و امضاء و مهر دانشکده:

تبصره: در صورتی که کسی مردود شود حداکثر یکبار دیگر (در مدت مجاز تحصیل) می تواند از پایان نامه خود دفاع نماید (دفاع مجدد نباید زودتر از ۴ ماه برگزار شود)

تقدیم به:

خدای را بسی شاکرم که از روی کرم، پدر و مادری فداکار و عشقی مهربان نصیبم ساخته تا در سایه درخت پربار وجودشان بیاسایم و از ریشه آنها شاخ و برگ گیرم و از سایه وجودشان در راه کسب علم و دانش تلاش نمایم. کسانی که بودنشان تاج افتخاری است بر سرم و نامشان دلیلی است بر بودنم، چرا که این دو وجود، پس از پروردگار، مایه هستی ام بوده اند دستم را گرفتند و در این وادی زندگی پر از فراز و نشیب مرا کمک کرده اند. آموزگارانی که برایم زندگی و انسان بودن را معنا کردند.

تقدیم به وجود با ارزشتان ...

تشکر و قدردانی:

شکر شایان شار ایزد منان که توفیق را رفیق راهم ساخت تا این پایان‌نامه به پایان برسانم.

و از پدر و مادر عزیز و مهربانم بسیار سپاسگزارم

که در سختی‌ها و دشواری‌های زندگی همواره یاوری دلسوز و فداکار و پشتیبانی محکم و مطمئن برایم بوده‌اند.

و از استاد گرامیم جناب آقای دکتر عماد ابراهیمی بسیار سپاسگزارم چرا که بدون راهنمایی‌های ایشان تهیه این پایان‌نامه بسیار مشکل

می‌نمود.

تعهد نامه

اینجانب **محمد کریمیان** دانشجوی دوره کارشناسی ارشد رشته **برق-الکترونیک** دانشکده برق و رباتیک دانشگاه صنعتی شاهرود نویسنده پایان‌نامه **طراحی و شبیه‌سازی یک نوسان‌ساز متعامد استفاده مجدد از جریان با توان مصرفی کم** تحت راهنمایی **دکتر عماد ابراهیمی** متعهد می‌شوم.

- تحقیقات در این پایان‌نامه توسط اینجانب انجام شده است و از صحت و اصالت برخوردار است.
- در استفاده از نتایج پژوهش‌های محققان دیگر به مرجع مورد استفاده استناد شده است.
- مطالب مندرج در پایان‌نامه تاکنون توسط خود یا فرد دیگری برای دریافت هیچ نوع مدرک یا امتیازی در هیچ جا ارائه نشده است.
- کلیه حقوق معنوی این اثر متعلق به دانشگاه صنعتی شاهرود است و مقالات مستخرج با نام «دانشگاه صنعتی شاهرود» و یا «Shahrood University of Technology» به چاپ خواهد رسید.
- حقوق معنوی تمام افرادی که در به دست آمدن نتایج اصلی پایان‌نامه تأثیرگذار بوده‌اند در مقالات مستخرج از پایان‌نامه رعایت می‌گردد.
- در کلیه مراحل انجام این پایان‌نامه، در مواردی که از موجود زنده (یا بافت‌های آن‌ها) استفاده شده است ضوابط و اصول اخلاقی رعایت شده است.
- در کلیه مراحل انجام این پایان‌نامه، در مواردی که به حوزه اطلاعات شخصی افراد دسترسی یافته یا استفاده شده است اصل رازداری، ضوابط و اصول اخلاق انسانی رعایت شده است.

تاریخ:

امضای دانشجو

مالکیت نتایج و حق نشر

کلیه حقوق معنوی این اثر و محصولات آن (مقالات مستخرج، کتاب، برنامه‌های رایانه‌ای، نرم‌افزارها و تجهیزات ساخته شده است) متعلق به دانشگاه صنعتی شاهرود است. این مطلب باید به نحو مقتضی در تولیدات علمی مربوطه ذکر شود.

استفاده از اطلاعات و نتایج موجود در پایان‌نامه بدون ذکر مرجع مجاز نیست.

چکیده:

نوسان‌سازهای متعامد یکی از کلیدی‌ترین بخش‌های ساختمان هر سیستم مخابراتی دیجیتال و آنالوگ فرکانس بالا هستند. این نوسان‌سازها در هر دو مسیر ارسال و دریافت سیگنال در فرستنده-گیرنده‌ها کاربرد دارند و عملکرد آن بر عملکرد کل سیستم تاثیرگذار است. در میان روش‌های تولید سیگنال متعامد، نوسان‌سازهای LC متعامد عملکرد بسیار بهتری در زمینه نویزفاز و توان مصرفی دارند که این نوسان‌سازهای متعامد از دو بخش اصلی تشکیل شده است: دو نوسان‌ساز هسته یکسان و یک شبکه تزویج که هر دو آن‌ها نقش موثری در میزان نویزفاز و توان مصرفی دارند. از جمله چالش‌های مهم این نوسان‌سازها مصالحه نویزفاز، توان مصرفی و دقت فاز است.

در این پایان‌نامه یک نوسان‌ساز متعامد کنترل‌شونده با ولتاژ با ساختار استفاده مجدد از جریان، با هدف دستیابی به توان مصرفی کم برای کاربرد در فرکانس ۵/۰۲ GHz ارائه شده است. هسته نوسان ساز پیشنهادی شامل دو ترانزیستور NMOS و PMOS و یک زوج اتصال-ضربدری فقط NMOS اضافی است که منجر به افزایش ترارسانایی موثر و سهولت در شرط شروع نوسان می‌شود. بنابراین نوسان‌ساز پیشنهادی با جریان کمتری شروع به نوسان خواهد کرد که این موضوع در کاهش توان مصرفی مؤثر است. در ساختار پیشنهادی تزویج از طریق گیت ترانزیستورهای زوج اتصال-ضربدری فقط NMOS صورت گرفته است، بنابراین احتیاج به عناصر اضافی برای تزویج نیست و عملکرد نویزفاز نیز بهبود می‌یابد. استفاده از خازن‌های موازی با درین-سورس ترانزیستورها سبب افزایش بیشتر ترارسانایی و در نتیجه کاهش بیشتر توان مصرفی می‌شود. از طرفی هم افزایش خازن‌های موازی باعث کاهش گستره تنظیم می‌شود که بیانگر مصالحه دیگری در نوسان‌ساز متعامد پیشنهادی است. مدار نوسان‌ساز متعامد پیشنهادی با استفاده از نرم افزار ADS در تکنولوژی TSMC 0.18µm RF-CMOS طراحی و شبیه-سازی شده است. نتایج بدست آمده از شبیه‌سازی نشان می‌دهد که این ساختار در آفست فرکانسی ۱ MHz از فرکانس مرکزی ۵/۰۲ GHz دارای نویزفاز برابر با ۱۲۳/۱۳- dBc/Hz است. توان مصرفی مدار پیشنهادی با استفاده از منبع تغذیه ۰/۸ V برابر با ۱/۲ mW است. ضریب شایستگی مدار پیشنهادی ۱۹۶/۲۴- dBc بدست آمده است.

کلمات کلیدی: استفاده مجدد از جریان، ترارسانایی، توان مصرفی کم، نوسان‌سازهای متعامد، نویزفاز.

فهرست مطالب

فهرست جداول ..... ز

فهرست اشکال ..... س

فهرست علائم ..... ض

فصل اول: ۱

پیش‌گفتار ۱

۱-۱ انگیزه و اهداف تحقیق ۲

۱-۲ انواع گیرنده‌های فرکانس رادیویی ۳

۱-۲-۱ گیرنده‌های هترودین ۳

۱-۲-۲ گیرنده‌های همودین ۴

۱-۲-۳ گیرنده‌های با فرکانس میانی پایین ۵

۱-۳ دیدگاه فیدبک ۶

۱-۴ دیدگاه مقاومت منفی ۷

۱-۵ نوسان‌سازهای LC ۸

۱-۶ نوسان‌سازهای کولپیتس و هارتلی ۱۰

۱-۷ نوسان‌سازهای اتصال-ضربدری ۱۰

۱-۸ هدف تحقیق و ساختار پایان‌نامه ۱۴

فصل دوم ۱۷

پارامترهای مهم در نوسان‌سازها ۱۷

۲-۱ مقدمه ۱۸

۲-۲ پارامترهای مهم در طراحی نوسان‌سازهای متعامد ۱۸

۲-۲-۱ نویزفاز ۱۸

۲-۲-۲ خطای فاز ۲۱

۲-۲-۳ گستره تنظیم ۲۱
۲-۲-۴ دامنه نوسان ۲۴
۲-۲-۵ فرکانس مرکزی ۲۴
۲-۲-۶ توان مصرفی ۲۵
۲-۲-۷ ضریب شایستگی ۲۵
۲-۳ خلاصه فصل ۲۶
فصل سوم ۲۷
بررسی و مروری بر کارهای گذشته ۲۷
۳-۱ مقدمه ۲۸
۳-۲ اصول تولید سیگنال‌های متعامد در نوسان‌سازهای LC ۲۸
۳-۳ تکنیک استفاده مجدد از جریان در نوسان‌ساز متعامد ۲۹
۳-۴ نوسان‌ساز متعامد استفاده مجدد از جریان با متعادل‌سازی خروجی نوسان ۳۲
۳-۵ تکنیک‌های استفاده مجدد از جریان و مدولاسیون گیت برای QVCO با توان مصرفی کمتر از ۱ mW ۳۵
۳-۶ نوسان‌ساز متعامد استفاده مجدد از جریان با اتصال و تزویج گیت پشتی (بدنه) ۳۷
۳-۷ نوسان‌ساز متعامد استفاده مجدد از جریان با تزویج بدنه برای کابردهای کم توان ۴۰
۳-۸ نوسان‌ساز استفاده مجدد از جریان با دامنه خروجی اصلاح شده ۴۳
۳-۹ نوسان‌ساز متعامد با اتصال و تزویج بدنه مستقیم برای کاربردهای کم توان ۴۷
۳-۱۰ نوسان‌ساز متعامد کولپیتس با اتصال و تزویج بدنه مستقیم ۴۹
۳-۱۱ استفاده از القاگر سری در نوسان‌ساز اتصال-ضربدری LC ۵۱
۳-۱۲ استفاده از سلول دارلینگتون در QVCO اتصال-ضربدری ۵۳
۳-۱۳ خلاصه و نتیجه‌گیری ۵۵
فصل چهارم ۵۷
طراحی و شبیه‌سازی نوسان‌ساز متعامد استفاده مجدد از جریان پیشنهادی ۵۷
۴-۱ مقدمه ۵۸

۴-۲ مروری بر عملکرد نوسان‌سازهای استفاده مجدد از جریان ۵۸
۴-۳ افزایش ترارسانایی منفی توسط خازن موازی و زوج اتصال-ضربدری NMOS ۶۱
۴-۴ اثبات افزایش ترارسانایی در ساختار پیشنهادی ۶۲
۴-۵ نوسان‌ساز متعامد پیشنهادی ۶۶
۴-۶ تحلیل و اثباتی بر متعامد بودن خروجی‌های ساختار پیشنهادی ۶۹
۴-۷ محاسبه و تحلیل ضریب تزویج ۷۰
۴-۸ شبیه‌سازی و مقایسه ساختار پیشنهادی ۷۲
فصل پنجم ۸۱
جمع‌بندی و پیشنهادها برای کارهای آینده ۸۱
۵-۱ جمع‌بندی ۸۲
۵-۲ پیشنهاد برای کارهای آینده ۸۲
مراجع ۸۵

فهرست جداول

جدول ۲-۱: انواع باندهای فرکانسی..... ۲۴
جدول ۴-۱: اندازه عنصرهای ساختار پیشنهادی..... ۷۳
جدول ۴-۲: مقایسه ساختار پیشنهادی در گوشه‌های پروسه ۷۸
جدول ۴-۳: مقایسه ساختار پیشنهادی با ساختارهای پیشین..... ۷۹

فهرست اشکال

شکل ۱-۱: کاربرد سیگنال‌های متعامد در گیرنده هتروداین ۴
شکل ۱-۲: ساختار گیرنده همودایین ۵
شکل ۱-۳: ساختار حذف تصویر (الف) هارتلی (ب) ویور ۵
شکل ۱-۴: بلوک دیاگرام سیستم فیدبک ۶
شکل ۱-۵: تقویت نویز در فیدبک مثبت ۶
شکل ۱-۶: مدل مقاومت منفی در نوسان‌ساز LC ایده‌آل ۷
شکل ۱-۷: تانک LC موازی ۹
شکل ۱-۸: نوسان خروجی بر اساس حالت‌ها مختلف مقاومت منفی ۹
شکل ۱-۹: نوسان‌ساز (الف) کولپیتس (ب) هارتلی تک‌سر ۱۰
شکل ۱-۱۰: نوسان‌ساز تک‌سر (الف) با فیدبک مستقیم (ب) افزودن بافر مقاومت بالا در فیدبک ۱۱
شکل ۱-۱۱: (الف) جایگزین کردن ترانزیستور به عنوان بافر (ب) تفاضلی کردن ۱۲
شکل ۱-۱۲: (الف) نوسان‌ساز اتصال-ضربدری متداول (ب) مدل سیگنال کوچک ساختار اتصال-ضربدری ۱۲
شکل ۱-۱۳: ساختار مکمل ۱۴
شکل ۲-۱: نویزفاز در پهنای باند واحد ۱۹
شکل ۲-۲: طیف نویزفاز نوسان‌ساز ۲۰
شکل ۲-۳: مشخصه VCO ۲۲
شکل ۳-۱: مدار P-QVCO با تکنیک استفاده مجدد از جریان ۲۹
شکل ۳-۲: مدار S-QVCO در ساختار مکمل (الف) NMOS S-QVCO (ب) PMOS S-QVCO ۳۰
شکل ۳-۳: مدار نوسان‌ساز متعامد با تزویج مدولاسون گیت ۳۱
شکل ۳-۴: (الف) نوسان‌ساز اتصال-ضربدری مکمل با هسته N-P (ب) نوسان‌ساز با تکنیک استفاده مجدد از جریان ۳۲
شکل ۳-۵: طرح‌های پیشنهادی برای کنترل جریان (الف) BRB (ب) ERB (ج) IRB ۳۴
شکل ۳-۶: ساختار ترکیبی پیشنهادی ۳۴
شکل ۳-۷: QVCO مدولاسیون گیت با تکنیک استفاده مجدد از جریان ۳۵
شکل ۳-۸: QVCO با اتصال گیت پشتی ۳۸
شکل ۳-۹: گره‌های ولتاژ و جریان درین شبیه‌سازی شده ترانزیستور M_4 ..... ۴۰

شکل ۳-۱۰: مدار QVCO استفاده مجدد از جریان با تزویج بدنه ۴۲
شکل ۳-۱۱: (الف) ساختار استفاده مجدد از جریان متداول (ب) ساختار استفاده مجدد از جریان با یک زوج اتصال-ضربدری NMOS اضافی..... ۴۴
شکل ۳-۱۲: مقایسه مقدار مقاومت منفی ساختار استفاده مجدد از جریان متداول ($Zin_{C.C}$) و ساختار استفاده مجدد از جریان با یک زوج اتصال-ضربدری NMOS اضافی ($Zin_{NC.R}$) ۴۵
شکل ۳-۱۳: مقایسه جریان مصرفی ساختار استفاده مجدد از جریان متداول ($I_{C.C}$) و ساختار استفاده مجدد از جریان با یک زوج اتصال-ضربدری NMOS اضافی ($I_{C.R}$)..... ۴۵
شکل ۳-۱۴: نوسان‌ساز استفاده مجدد از جریان اصلاح شده با دامنه شکل موج سینوسی خروجی تفاضلی متقارن..... ۴۶
شکل ۳-۱۵: نوسان‌ساز متعامد مکمل با تزویج مستقیم بدنه ۴۸
شکل ۳-۱۶: نوسان‌ساز متعامد کولپیتس با اتصال و تزویج بدنه مستقیم..... ۵۰
شکل ۳-۱۷: ساختار بهبود ترارسانایی منفی با استفاده از القاگر سری..... ۵۱
شکل ۳-۱۸: مدل نیمه سیگنال کوچک ساختار شکل ۳-۱۷..... ۵۲
شکل ۳-۱۹: ساختار بهبود ترارسانایی منفی با استفاده از سلول دارلینگتون ۵۳
شکل ۳-۲۰: (الف) سلول دارلینگتون (ب) مدل سیگنال کوچک سلول دارلینگتون ۵۳
شکل ۳-۲۱: اندازه ترارسانایی منفی سلول دارلینگتون بر حسب نسبت ترانزیستورها ۵۴
شکل ۳-۲۲: مقایسه ترارسانایی اتصال-ضربدری ساده با همتای سلول دارلینگتون آن ۵۵
شکل ۴-۱: (الف) ساختار مکمل (ب) نیم سیکل اول (ج) نیم سیکل دوم..... ۵۹
شکل ۴-۲: (الف) ساختار استفاده مجدد از جریان (ب) نیم سیکل اول (ج) نیم سیکل دوم..... ۶۰
شکل ۴-۳: شکل موج تفاضلی خروجی نامتقارن..... ۶۱
شکل ۴-۴: (الف) هسته نوسان‌ساز پیشنهادی (ب) حذف تلفات تانک LC با استفاده از مقاومت منفی..... ۶۲
شکل ۴-۵: مدل سیگنال کوچک مدار پیشنهادی..... ۶۳
شکل ۴-۶: (الف) زمان شروع نوسان و (ب) اندازه ترارسانایی به ازای مقادیر مختلف خازن‌های موازی (با فرض $C_1=C_2=C$) ۶۶
شکل ۴-۷: ساختار نوسان‌ساز متعامد استفاده مجدد از جریان پیشنهادی..... ۶۷
شکل ۴-۸: بلوک دیاگرام اتصال هم‌فاز-فاز متقابل..... ۶۷
شکل ۴-۹: شکل موج‌های خروجی ساختار پیشنهادی..... ۷۴
شکل ۴-۱۰: (الف) تقارن و (ب) عدم تقارن در شکل موج جریان ناشی از تقارن یا عدم تقارن دامنه ولتاژهای خروجی..... ۷۵
شکل ۴-۱۱: گستره تنظیم فرکانسی بر حسب ولتاژ کنترل..... ۷۵
شکل ۴-۱۲: نویزفاز ساختار پیشنهادی در فرکانس ۵/۰۲ گیگاهرتز..... ۷۶

شکل ۴-۱۳: تحلیل مونت کارلو برای خطای فاز..... ۷۷
شکل ۴-۱۴: ضریب شایستگی بر حسب فرکانس..... ۷۸
شکل ۵-۱: (الف) سلول دارلینگتون (ب) استفاده از زوج اتصال-ضربدری در نقش منبع جریان..... ۸۴

فهرست علائم

VCO	Voltage Controlled Oscillator
QVCO	Quadrature VCO
P-QVCO	Parallel-QVCO
S-QVCO	Serial-QVCO
CMOS	Complementary Metal Oxide Semiconductor
IF	Intermediate Frequency
RF	Radio Frequency
FOM	Figure of Merit
IC	Integrated Circuit
dBc	Decibel Below Carrier
TSMC	Taiwan Semiconductor Manufacturing Company
ADS	Advanced Design System
NMOS	Negative metal-oxide-semiconductor
WiMax	Worldwide Interoperability for Microwave Access
PMOS	Positive metal-oxide-semiconductor
GPS	Global Positioning System
PD	Phase Detector
FTR	Frequency Tuning Range

LO	Local Oscillator
KCL	Kirchhoff's Circuit Laws
KVL	Kirchoff's Voltage Law
PLL	Phase Locked Loop

فصل اول:

پیش‌گفتار

۱-۱ انگیزه و اهداف تحقیق

در زندگی امروزی، بی‌شک یکی از مهمترین صنایع، صنعت ارتباطات است. در سال‌های اخیر، پیشرفت صنعت ارتباطات بسیار قابل توجه بوده است که از آن جمله می‌توان به ارتباطات بی‌سیم از جمله تلفن‌های همراه، شبکه‌های محلی بی‌سیم[۱] سیستم‌های ماهواره‌ای و سیستم‌های موقعیت‌یاب[۲] اشاره کرد. با توسعه این فناوری‌ها، سیستم‌های ارتباطاتی با هزینه و توان مصرفی کم و همچنین طراحی فرستنده‌هایی در محدوده فرکانس رادیویی[۳] با قابلیت بالای مجتمع‌سازی، مورد نیاز است. لذا برای طراحی و ساخت مدارهای مجتمع عموماً از تکنولوژی CMOS استفاده می‌شود که دلیل آن قابلیت این تکنولوژی در کوچک شدن ابعاد است که منجر به اشغال فضای کمتر توسط تراشه می‌گردد.

امروزه نوسان‌سازها یکی از کلیدی‌ترین بخش‌های ساختمان هر سیستم مخابراتی دیجیتال و آنالوگ فرکانس بالا هستند. نوسان‌ساز مداری است که بدون سیگنال ورودی یک شکل موج متناوب در خروجی تولید می‌کند. عموماً نوسان‌سازهای استفاده شده باید قابل تنظیم و متعامد (یا چند فازه) باشند. از این مدارها در ترکیب‌کننده‌های فرکانسی مورد استفاده در حلقه قفل فاز[۴] و همچنین در سیستم‌های دیجیتالی برای تولید پالس ساعت [۱] و در گیرنده‌های مخابراتی جهت مدولاسیون و دمدولاسیون و حذف تصویر[۵] استفاده می‌شود [۲] [۳]، لذا عملکرد صحیح آن‌ها اهمیت بالایی در سیستم‌های فرستنده و گیرنده دارد.

نویزفاز، قابلیت راه‌اندازی، گستره تنظیم، فرکانس نوسان و توان مصرفی نوسان‌سازها از چالش‌های اساسی در طراحی است و تأثیر عمده‌ای بر عملکرد کلی سیستم می‌گذارد. از این رو ساختارهای متفاوتی برای این نوسان‌سازها ارائه شده است که از میان آن‌ها، نوسان‌سازهای متعامد با ساختار استفاده مجدد

[1] Worldwide Interoperability for Microwave Access (WLAN)
[2] Global Positioning System (GPS)
[3] Radio Frequency (RF)
[4] Phase Locked Loop (PLL)
[5] Image rejection

از جریان[1] به دلیل توان مصرفی کمتر، از پرکاربرترین این مدارها برای کاربردهای فرکانس بالا و توان پایین محسوب می‌شوند. در ادامه برای درک بهتر موارد استفاده از نوسان‌سازهای متعامد، به کاربرد آن‌ها در انواع ساختارها از جمله انواع گیرنده‌ها و فرستنده‌ها می‌پردازیم.

۱-۲ انواع گیرنده‌های فرکانس رادیویی

فرستنده‌ها و گیرنده‌ها از بخش‌های اصلی سیستم‌های ارتباطی هستند، که به طور کلی به سه دسته زیر تقسیم می‌شوند:

۱- گیرنده‌های هترودین[2] با فرکانس میانی[3]

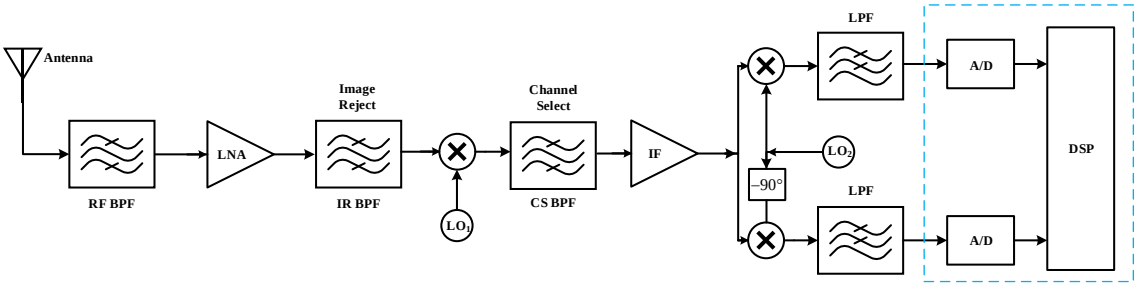
۲- گیرنده‌های همودین[4] با فرکانس میانی صفر[5] یا تبدیل مستقیم[6]

۳- گیرنده‌های با فرکانس میانی پایین[7]

۱-۲-۱ گیرنده‌های هترودین

شکل ۱-۱ یک گیرنده هترودین را نشان می‌دهد. همانطور که مشاهده می‌کنیم، پس از دریافت سیگنال فرکانس بالا توسط آنتن و عبور آن از طبقه‌های مختلف به فرکانس باند میانی منتقل می‌شود، این کار منجر به عدم نیاز فیلتر انتخاب کانال با ضریب کیفیت بالا می‌شود، در این صورت طراحی آن آسان‌تر می‌شود. انتقال به فرکانس پایین توسط مخلوط‌کننده[8] انجام می‌شود که فرکانس مورد نیاز مخلوط کننده (ω_{LO}) توسط نوسان‌ساز محلی LO_1 تولید می‌شود. در نهایت نیز از یک نوسان‌ساز محلی برای تولید سیگنال‌های متعامد (شیفت فاز ۹۰ درجه) به منظور بازیابی داده‌ها استفاده شده است.

[1] current-reused
[2] Hetrodyne
[3] Intermediate Frequency (IF)
[4] Homodyne
[5] Zero-IF
[6] Direct Conversion
[7] Low-IF
[8] Mixer



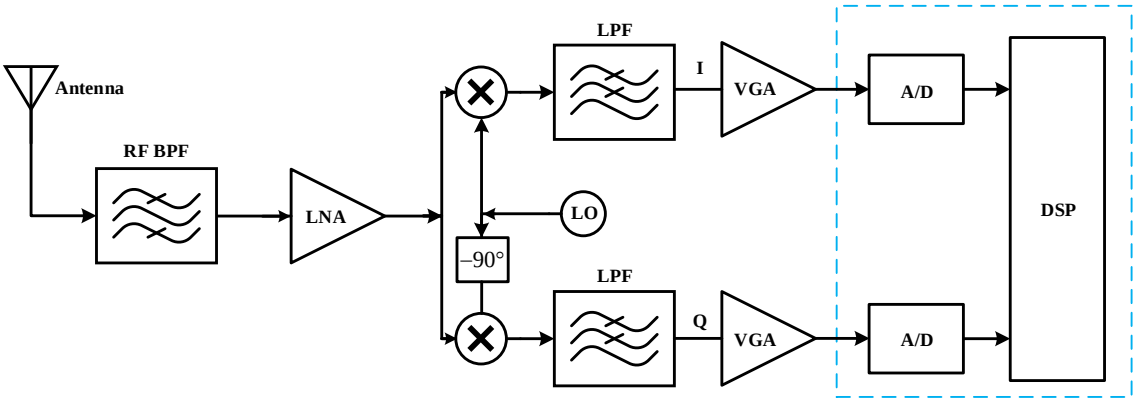
شکل ۱-۱: کاربرد سیگنال‌های متعامد در گیرنده هترودین [۴]

گیرنده‌های هترودان از قابلیت انتخاب[1] و حساسیت بالایی برخوردار می‌باشند. به دلیل این ویژگی ها کاربرد این گیرنده‌ها در چند دهه اخیر، در سیستم‌های RF مورد توجه بسیاری بوده است. اما از معایب گیرنده‌های هترودین می‌توان به قابلیت پیاده‌سازی پایین بر روی تراشه‌ها به دلیل عناصر غیرفعال فیلترها که باید خارج از تراشه[2] پیاده‌سازی شوند، پیچیدگی، قیمت بالا و افزایش توان مصرفی در این گیرنده‌ها اشاره نمود. اما برخلاف پیچیدگی و نیاز به عناصر خارجی، به دلیل مزایای فراوان این گیرنده‌ها هنوز به عنوان گیرنده‌های قابل اعتمادی شناخته می‌شوند.

۱-۲-۲ گیرنده‌های هموداین

در گیرنده‌های هموداین که نوع دیگری از معماری گیرنده‌هاست، باند دریافتی مستقیما و بدون عبور از چند طبقه مختلف به فرکانس میانی تبدیل می‌شود، بنابراین مشکل سیگنال تصویر بر طرف می‌شود و نیازی به فیلتر حذف تصویر نیست [۵]، همانطور که در شکل ۱-۲ نشان داده شده است. در این نوع ساختار فرکانس نوسان‌ساز محلی برابر فرکانس سیگنال ورودی است، در نتیجه فرکانس میانی برابر صفر می‌شود. سادگی این گیرنده‌ها یک مزیت محسوب می‌شود، اما معایبی هم دارند که مربوط به نویز فلیکر، قابلیت انتخاب کانال، نشتی نوسان‌ساز محلی، آفست DC و خطای خروجی به علت وجود سیگنال حول فرکانس است [۶]. به هر حال، همانطور که در شکل ۱-۲ ملاحظه می‌شود در این معماری از گیرنده‌ها نیز وجود نوسان‌سازهای متعامد اجتناب ناپذیر است و رفتار آن کاملا بر رفتار کل گیرنده تاثیرگذار است.

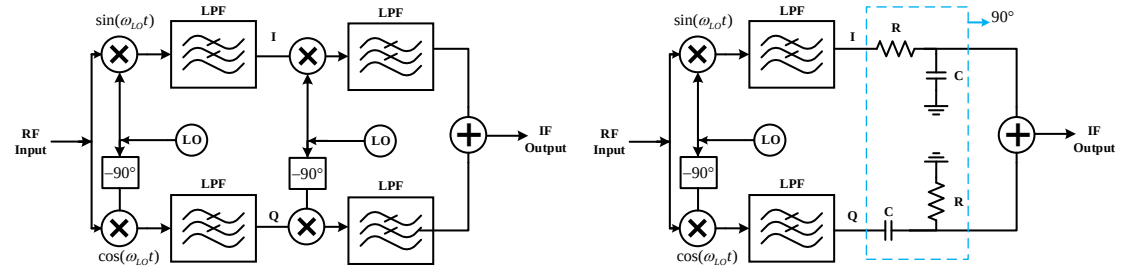
[1] Selectivity
[2] Off-chip



شکل ۱-۲: ساختار گیرنده همودین [۴]

۱-۲-۳ گیرنده‌های با فرکانس میانی پایین

به دلیل مشکلات گیرنده‌های هترودین و همودین، گیرنده‌های با فرکانس میانی پایین مطرح می‌شوند، که نیازی به فیلتر حذف تصویر نداشته و مشکلات ساختار هترودین را ندارند و با دور کردن فرکانس میانی از فرکانس صفر، مشکلات ساختار همودین را بر طرف کرده است. در این ساختار برای حذف تصویر به جای استفاده از فیلترهای حذف تصویر خارج تراشه از دو ساختار هارتلی و ویور نشان داده شده در شکل ۱-۳ استفاده می‌شود.



شکل ۱-۳: ساختار حذف تصویر (الف) هارتلی (ب) ویور [۴]

همانطور که در هر دو معماری هارتلی و ویور ملاحظه می‌شود، نوسان‌سازهای متعامد نقش پررنگی در تولید سیگنال‌های متعامد و هم‌فاز دارند و عملکرد آن بر عملکرد گیرنده بسیار تاثیرگذار است. برای حذف تصویر در ساختار هارتلی هر گونه انحراف سیگنال‌های متعامد از ۹۰ درجه منجر به عدم حذف

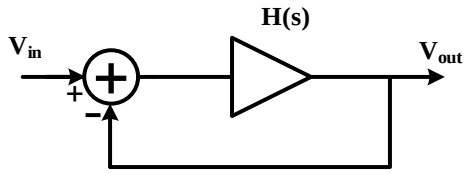
تصویر می‌شود، به عبارتی دیگر این ساختار به خطای فاز حساس است که برای حل این مشکل در ساختار ویور مسیر شیفت فاز ۹۰ درجه با یک طبقه مخلوط‌کننده جایگزین شده است.

در مورد فرستنده‌های رادیویی نیز در هر دو حالت هترودین و هموداین وجود دارد که استفاده از نوسان‌سازهای متعامد در آن‌ها نیز اجتناب ناپذیر و ضروری است.

برای نوسان‌سازها به طور معمول دو دیدگاه وجود دارد که در ادامه به آن‌ها می‌پردازیم.

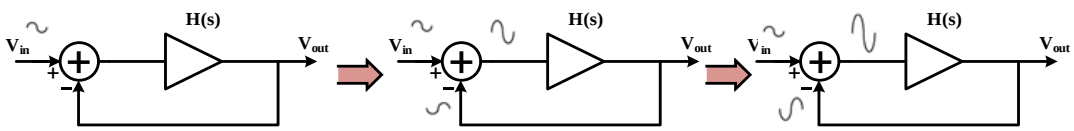
۱-۳ دیدگاه فیدبک

سیستم فیدبک‌دار در شکل ۱-۴ نشان داده شده است. اگر تقویت‌کننده در فرکانس‌های بالا اختلاف فازی ایجاد کند که فیدبک کلی مثبت شود، آنگاه ممکن است نوسان رخ دهد.



شکل ۱-۴: بلوک دیاگرام سیستم فیدبک [۷]

با در نظر گرفتن $H(j\omega) = -1$، آنگاه بهره‌ی حلقه‌بسته در فرکانس ω_0 بی‌نهایت می‌شود که در این شرایط، مدار مولفه نویز در فرکانس یاد شده را در مسیر فیدبک با بهره‌ی غیر قابل کنترلی تقویت می‌کند. این فرآیند (تقویت سیگنال نویز در مسیر فیدبک) در شکل ۱-۵ نشان داده شده است. مولفه نویز در فرکانس ω_0 در بهره واحد ضرب شده و با اختلاف فاز ۱۸۰ درجه به شکل قرینه به ورودی بر می‌گردد و با تفریق شدن از ورودی، سیگنال بزرگتری نسبت به قبل ایجاد می‌کند.



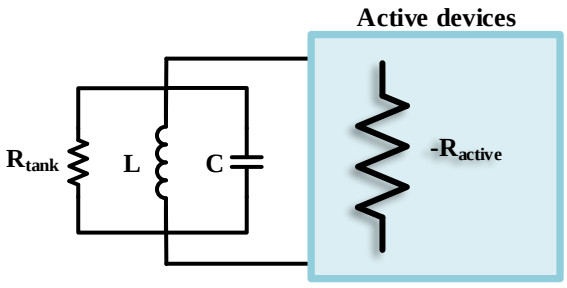
شکل ۱-۵: تقویت نویز در فیدبک مثبت [۲]

برای تقویت مولفه‌ی سیگنال نویز در مسیر فیدبک مثبت به منظور شروع نوسان در یک مدار، لازم است که دو شرط $|H(j\omega_0)|\geq 1$ و $\angle H(j\omega_0)=180°$ صادق باشند که به شرایط برکهوزن[1] معروف هستند. وجود این دو شرط لازم می‌باشند ولی کافی نیستند، پس جهت اطمینان بیشتر از نوسان با وجود تغییرات محیطی معمولا بهره‌ی حلقه را دو تا سه برابر مقدار لازم در نظر می‌گیرند.

۱-۴ دیدگاه مقاومت منفی

در این دیدگاه می‌توان نوسان‌ساز را متشکل از دو بخش مختلف، بخش اول اتلاف انرژی در مدار غیرفعال و بخش دوم جبران تلفات انرژی توسط مدار فعال، در نظر گرفت.

برای شروع نوسان جریان نویزی به تانک LC تزریق می‌شود این جریان کاملا توسط خازن جذب می‌شود. سپس بار روی خازن از طریق القاگر شروع به تخلیه شدن می‌کند، در نتیجه ولتاژ دو سر خازن افت خواهد کرد. با رسیدن ولتاژ دو سر خازن به صفر، جریان موجود در القاگر، خازن را در جهت مخالف شارژ می‌کند. این تبادل انرژی بین خازن و القاگر بطور نامحدود ادامه پیدا می‌کند. اما خازن و القاگرهایی که در عمل مورد استفاده قرار می‌گیرند غیر ایده‌آل و دارای تلفات می‌باشند. همانطور که در شکل ۱-۶ نشان داده شده است، این تلفات را با مقاومت موازی R_{tank} مدل می‌کنیم. برای جبران تلفات مقاومت موازی R_{tank} به عنصر فعال (ترانزیستور) نیاز است که در ادامه به توضیح مفصل آن می‌پردازیم.



شکل ۱-۶: مدل مقاومت منفی در نوسان‌ساز LC ایده‌آل

[1] Berkhousen

طرز کار همانند قبل است با این تفاوت که در هر تناوب بخشی از انرژی توسط مقاومت $R_{\tan k}$ تلف می‌شود و باعث افت دامنه سیگنال خروجی می‌شود. پس می‌توان نتیجه گرفت که اگر یک مدار فعال بتواند انرژی تلف شده در هر دوره تناوب را به مدار برگرداند، نوسان پایدار می‌شود. در واقع مقاومت دیده شده از دو سر مدار فعال باید برابر $-R_{active}$ باشد تا با اتصال آن به تانک، اثر اتلاف انرژی مقاومت $R_{\tan k}$ را جبران کند [۲].

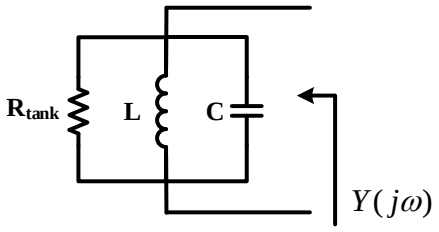
به طور خلاصه در دیدگاه مقاومت منفی معمولا به شرط شروع نوسان $g_m.R_{\tan k} \geq k$ می‌رسیم. که k یک عدد است که با توجه به نوع ساختار نوسان‌ساز تعیین می‌شود. با برقراری شرط شروع نوسان، حداقل جریان جهت راه‌اندازی نوسان‌ساز تأمین می‌شود. بنابراین ساختار نوسان‌ساز و طرز اتصال ترانزیستورها که در مقدار k دخیل هستند، تاثیر زیادی بر شرایط نوسان و حداقل جریان راه‌اندازی دارند. از این رو همواره تحقیقات فراوانی برای بهبود شرایط شروع نوسان با تغییر در ساختار نوسان‌سازها در حال انجام است که در ادامه به برخی از این ساختارها اشاره می‌شود.

۱-۵ نوسان‌سازهای LC

نوسان‌سازهای LC برای ایجاد نوسان از دو قسمت مدار تشدید LC و قسمت مدار فعال ترانزیستور(ها) که در جهت جبران تلفات تانک LC استفاده می‌شود، تشکیل شده‌اند. در این نوسان‌سازها اگر چه القاگر غیرفعال فضای زیادی را در تراشه اشغال می‌کند، اما به دلیل سادگی در طراحی و ساختار آن نسبت به ساختارهای با القاگر فعال توان مصرفی کمتری دارد، در نتیجه از محبوبیت زیادی برخوردار است.

همانطور که در شکل ۱-۷ نشان داده شده است، مدار تعیین کننده فرکانس از شبکه RLC تشکیل شده است. فرکانس نوسان ω_0 در نوسان‌سازهای LC طبق رابطه (۱-۱) محاسبه می‌شود که برای این کار کافیست ادمیتانس معادل آن را در حالت تشدید محاسبه کرد.

$$\omega_0 = \frac{1}{\sqrt{LC}} \qquad (۱-۱)$$



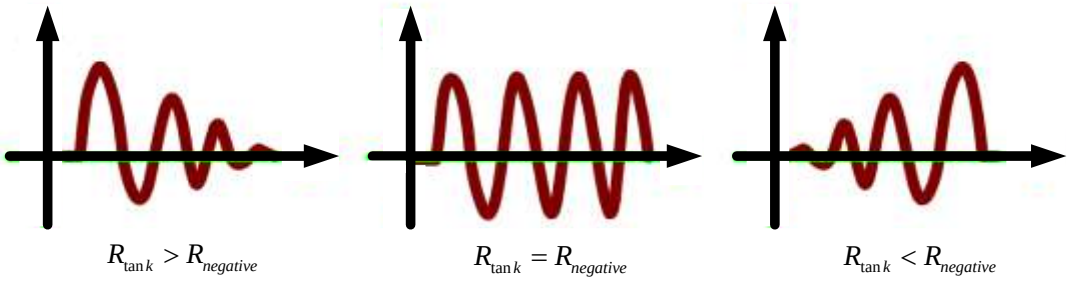
شکل ۱-۷: تانک LC موازی

در این گونه از نوسان‌سازها که بر پایه‌ی مقاومت منفی نوسان می‌کنند، سه حالت وجود دارد که عبارتند از [۸]:

۱- اگر $R_{\tan k} > R_{negative}$ باشد، نوسان میرا شده و به صفر میل می‌کند و در بی‌نهایت از بین می‌رود.

۲- اگر $R_{\tan k} < R_{negative}$ باشد، نوسان واگرا شده و سیگنال خروجی ناپایدار می‌شود.

۳- حالت سوم زمانی اتفاق می‌افتد که $R_{\tan k} = R_{negative}$ باشد تا شرط نوسان حفظ شود و سیگنال خروجی در حالت پایدار نوسان کند.



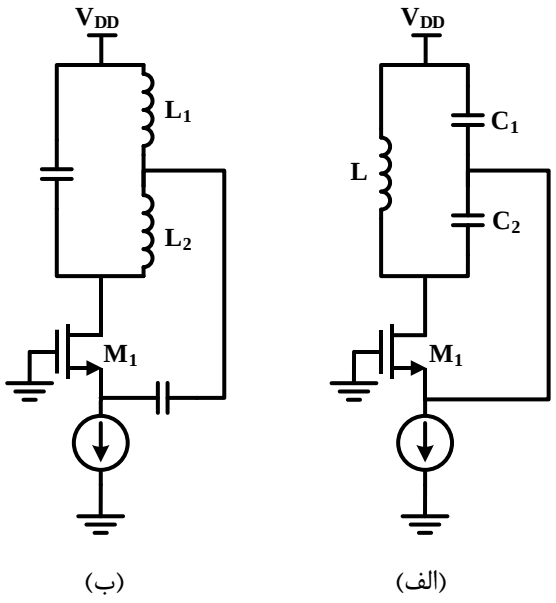
شکل ۱-۸: نوسان خروجی بر اساس حالت‌ها مختلف مقاومت منفی [۸]

سه حالت $R_{\tan k} > R_{negative}$، $R_{\tan k} < R_{negative}$ و $R_{\tan k} = R_{negative}$ به ترتیب معادل با سیستمی هستند که قطب‌های آن در سمت چپ، راست و روی محور موهومی است.

از انواع نوسان‌سازهای LC می‌توان به نوسان‌سازهای کولپیتس، هارتلی و اتصال-ضربدری اشاره نمود، در ادامه به مرور و بررسی عملکرد این نوع از ساختارها با بیان مزایا و معایب آن‌ها نسبت به یکدیگر می‌پردازیم.

۱-۶ نوسان‌سازهای کولپیتس و هارتلی

نوسان‌سازهای کولپیتس و هارتلی از آن دسته از نوسان‌سازهای LC می‌باشند که تنها از یک ترانزیستور در مسیر سیگنال جهت تقویت‌کننده اصلی استفاده شده است. با این تفاوت که در نوسان‌سازهای کولپیتس از خازن در شبکه فیدبک استفاده شده، اما در نوسان‌سازهای هارتلی از یک القاگر در شبکه فیدبک استفاده شده است. شکل ۱-۹ نوسان‌ساز کولپیتس و هارتلی تک‌سر[1] را نشان می‌دهد. البته امروزه بیشتر ساختارهای تفاضلی آن‌ها به علت سوئینگ خروجی بهتر و نویز کمتر ترجیح داده می‌شود.



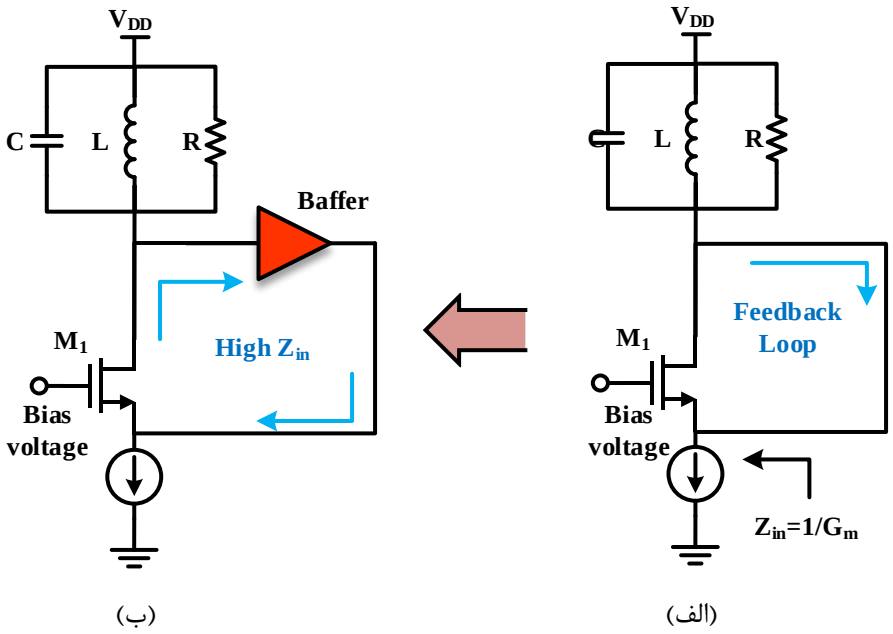
شکل ۱-۹: نوسان‌ساز (الف) کولپیتس (ب) هارتلی تک‌سر [۹]

۱-۷ نوسان‌سازهای اتصال-ضربدری

شکل ۱-۱۰ مدار نوسان‌ساز تک‌سر را نشان می‌دهد. ترانزیستور نقش تقویت‌کننده ترارسانایی منفی را بازی می‌کند، که در ناحیه فعال بایاس شده است. مدار تانک از یک القاگر، یک خازن و یک مقاومت معادل موازی تشکیل شده است که این مقاومت نشان دهنده تلفات (کاهش ضریب کیفیت) مدار تانک است. امپدانس ورودی نشان داده شده در شکل $Z_{in} = 1/G_m$ است. این مقدار مقاومت به طور معمول

[1] Single-ended

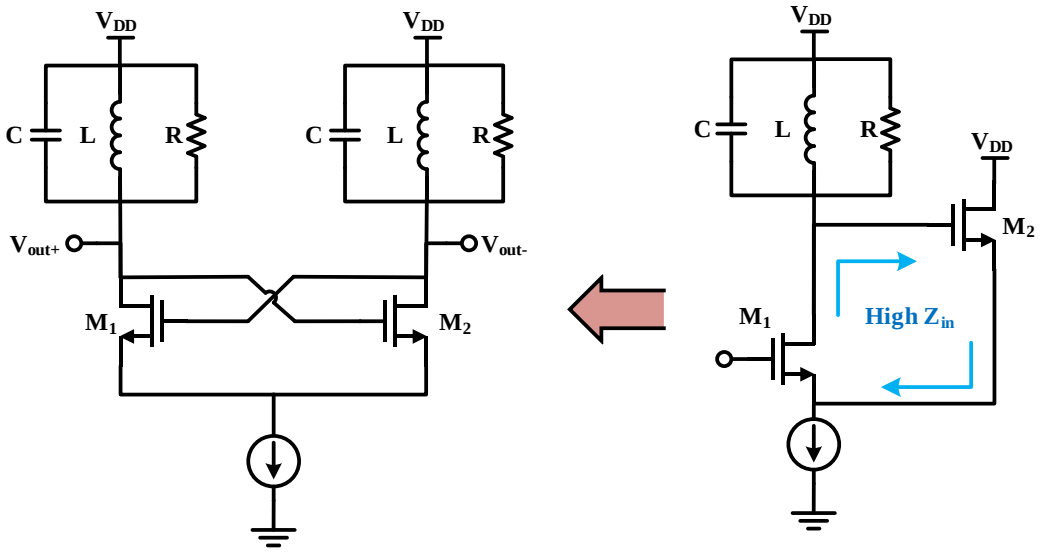
در مقایسه با مقاومت معادل موازی مدار تانک کم است و منجر به کاهش ضریب کیفیت مدار می‌شود. از آنجایی که ضریب کیفیت باید تا حد امکان بالا باشد، همانطور که در شکل ۱-۱۰ نشان داده شده است، می‌توان در مدار تانک برای مقاومت ورودی کم از یک تقویت‌کننده (بافر) استفاده کرد.



شکل ۱-۱۰: نوسان‌ساز تک‌سر (الف) با فیدبک مستقیم (ب) افزودن بافر مقاومت بالا[1] در فیدبک [۸]

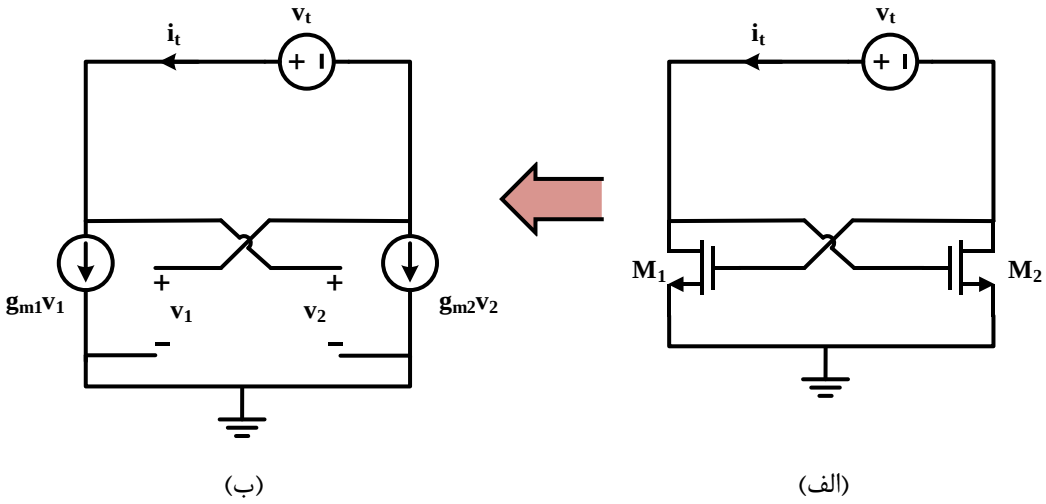
تقویت‌کننده را می‌توان با یک ترانزیستور دوم M_2 در بایاس درین مشترک همانند ساختار شکل ۱-۱۱ جایگزین کرد. این ساختار توسط امپدانس ورودی بالا مشخص می‌شود، بنابراین ضریب کیفیت مدار تانک را به حداکثر می‌رساند. با بایاس مشابه زوج ترانزیستورها از طریق تانک LC یکسان، هر دو به طور همزمان نقش تقویت‌کننده و مقاومت منفی را ایفا می‌کنند. به این ساختار اتصال-ضربدری گویند. از آنجایی که گیت و درین اختلاف فاز ۱۸۰ درجه دارند، پس مدار تفاضلی است.

[1] high-impedance



شکل ۱-۱۱: (الف) جایگزین کردن ترانزیستور به عنوان بافر (ب) تفاضلی کردن [۸]

برای بدست آوردن ترارسانایی منفی موثر در ساختار اتصال-ضربدری از مدل سیگنال کوچک شکل ۱-۱۲ (ب) استفاده می‌کنیم.



شکل ۱-۱۲: (الف) نوسان‌ساز اتصال-ضربدری متداول (ب) مدل سیگنال کوچک ساختار اتصال-ضربدری [۲]

با توجه به مدل سیگنال کوچک مدار پیشنهادی در شکل ۱-۱۲ (ب) برای بدست آوردن امپدانس ورودی زوج اتصال-ضربدری کافی است از قضیه تونن استفاده کنیم. با نوشتن KCL در گره‌های خروجی v_1 و v_2 و طبق مرجع [۲] مقاومت منفی موثر طبق رابطه (۱-۲) بدست می‌آید:

$$\frac{v_t}{i_t} = -\frac{2}{g_m} \qquad (۲-۱)$$

حال می‌توان ترارسانایی منفی را به صورت زیر بیان نمود:

$$G_m = \frac{i_t}{v_t} = -\frac{g_m}{2} \qquad (۳-۱)$$

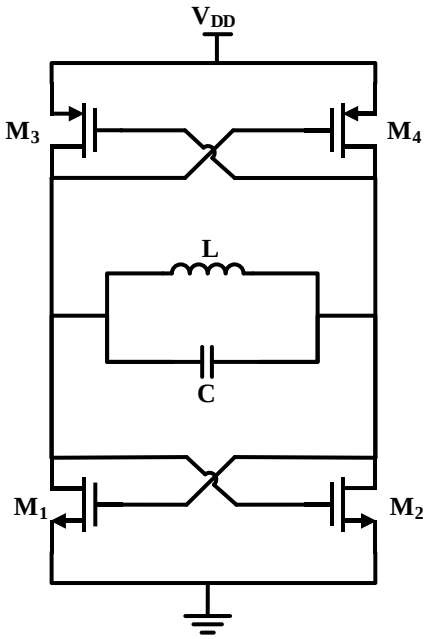
اگر برای بدست آوردن امپدانس و ترارسانایی ورودی نوسان‌ساز کولپیتس نیز به همین ترتیب عمل کنیم، آنگاه حاصل کار رابطه زیر خواهد شد:

$$R = -\frac{4}{g_m} \rightarrow G_m = -\frac{g_m}{4} \qquad (۴-۱)$$

از رابطه‌های (۱-۳) و (۱-۴) نتیجه می‌گیریم که نوسان‌سازهای اتصال-ضربدری در مقایسه با نوسان-سازهای کولپیتس از شرط نوسان بهتر و راحت‌تری برخوردار است و ترارسانایی کوچکی برای ایجاد شرط نوسان نیاز دارد که موجب کاهش توان مصرفی می‌شود. لازم به ذکر است که در مقابل، نوسان-سازهای کولپیتس تابع حساسیت نویز بهتری نسبت به نوسان‌سازهای اتصال-ضربدری دارا می‌باشند، در نتیجه رفتار نویزفاز بهتری خواهند داشت.

از دیگر ساختارهای تفاضلی اتصال-ضربدری جهت پیاده‌سازی نوسان‌سازهای LC می‌توان به ساختار مکمل[1] اشاره کرد.

[1] Complementary



شکل ۱-۱۳: ساختار مکمل [۱۰]

با توجه به ساختار مکمل که در شکل ۱-۱۳ مشاهده می‌کنیم، این ساختار از مجموع دو ساختار زوج اتصال-ضربدری فقط NMOS و فقط PMOS تشکیل شده است. با این تفاوت که ترارسانایی منفی موثر آن با همان جریان قبلی دو برابر شده است. افزایش ترارسانایی منفی موثر بدون افزایش جریان مصرفی به این معناست که در یک ترارسانایی منفی موثر دلخواه جریان مصرفی کمتری لازم دارد، به عبارتی دیگر در جریان کمتری می‌توان همان نوسان‌ساز را طراحی کرد، که منجر به سهولت در شرط نوسان می‌شود، پس توان مصرفی کاهش می‌یابد. مشکلی که در این ساختارها وجود دارد این است که ولتاژ تغذیه را به دلیل ولتاژی که دو سر درین-سورس زوج ترانزیستورها قرار می‌گیرد، نمی‌توان تا حد زیادی کاهش داد [۱۰].

۱-۸ هدف تحقیق و ساختار پایان‌نامه

در این پایان‌نامه به طراحی یک نوسان‌ساز متعامد استفاده مجدد از جریان برای کاربردهای کم توان پرداخته شده است. هدف اصلی در این پایان‌نامه، بررسی نحوه افزایش ترارسانایی منفی موثر بدون

افزایش جریان به منظور کاهش توان مصرفی در نوسان‌سازها است. همچنین یک تزویج جدید بین دو هسته نوسان‌ساز متعامد در جهت کاهش عنصرهای اضافی ارائه شده است.

این پایان‌نامه از پنج فصل تشکیل شده است. بعد از پیش‌گفتار، در فصل دوم به برخی از پارامترها و اصطلاح‌ها مهم و ضروری در مورد نوسان‌سازها پرداخته می‌شود. در فصل سوم به بررسی و مقایسه‌ی ساختارهای مختلف نوسان‌سازهای متعامد LC ارائه شده تاکنون پرداخته می‌شود و برخی از مزایا و معایب هر ساختار مورد بررسی قرار خواهد گرفت. نوسان‌سازهای مورد بحث در این فصل شامل نوسان-سازهایی مبتنی بر تزریق هماهنگ‌های مرتبه اول و تزریق هماهنگ‌های مرتبه دوم است. همچنین در این فصل به بررسی نوسان‌سازهای کولپیتس و کلاس C نیز خواهیم پرداخت. در فصل چهارم یک ساختار جدید از نوسان‌ساز با استفاده از خازن موازی در جهت افزایش ترارسانایی منفی موثر و تزویج جدید بین دو هسته نوسان‌ساز متعامد با استفاده از نوسان‌سازهای کلاس B ارائه خواهد شد و مورد طراحی و مقایسه قرار می‌گیرد. در نهایت نتیجه‌گیری و پیشنهادهایی برای ادامه کار در فصل پنجم بیان خواهد شد.

فصل دوم

پارامترهای مهم در نوسان‌سازها

۲-۱ مقدمه

در این فصل به توضیح مختصری در مورد برخی پارامترها و اصطلاح‌های مهم و ضروری برای طراحی یک نوسان‌ساز متعامد پرداخته می‌شود.

۲-۲ پارامترهای مهم در طراحی نوسان‌سازهای متعامد

از آنجایی که نوسان‌سازهای متعامد کنترل‌شونده با ولتاژ[1] از جمله مهم‌ترین اجزای سیستم‌های فرستنده-گیرنده فرکانس بالا به شمار می‌آید، لذا در طراحی آن باید به پارامترهای مختلفی توجه نمود که نادیده گرفتن آن‌ها مشکلاتی را در عملکرد سیستم به همراه خواهد داشت. اولین عامل در طراحی انتخاب تکنولوژی مناسب است. در این میان، تکنولوژی CMOS به دلیل هزینه کم و توان مصرفی و سطح ولتاژ پایین‌تر نسبت به بقیه تکنولوژی‌ها از مقبولیت بیشتری برخوردار است. از جمله پارامترهای دیگری که در طراحی نوسان‌سازها باید به آن توجه نمود عبارت اند از: سطح ولتاژ منبع، توان مصرفی، فرکانس مرکزی، گستره تنظیم فرکانسی، نویزفاز و خطای فاز است. برآورده کردن همزمان تمامی قابلیت‌ها کار بسیار دشواری است. بنابراین، با توجه به نوع نیاز و نوع کاربرد، مصالحه‌ای بین پارامترهای مختلف صورت می‌گیرد.

۲-۲-۱ نویزفاز

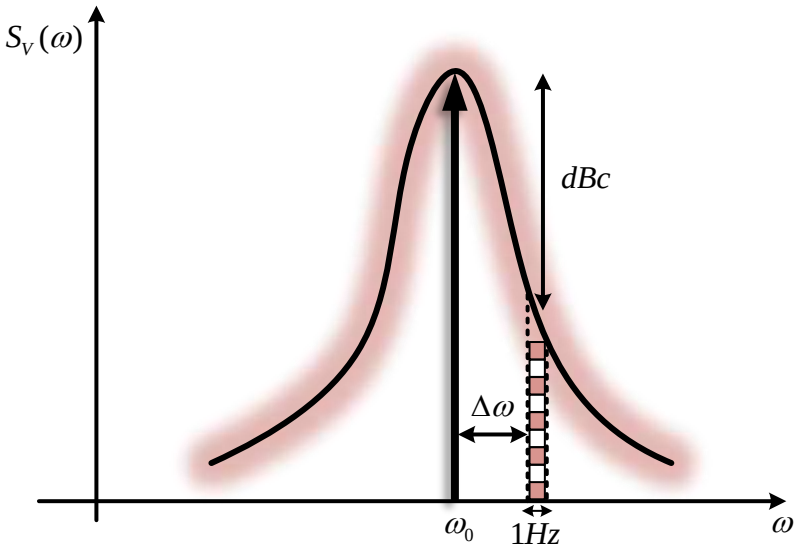
نویز در نوسان‌سازها به دو صورت تغییرات دامنه و فاز خروجی در مدار اثرگذار است. نویزفاز یکی از مهم‌ترین پارامتر در طراحی نوسان‌ساز بشمار می‌آید که باعث می‌شود طیف سینوسی خروجی که در حالت ایده‌آل به شکل یک ضربه فرکانس است [۱۱] به صورت شکل ۲-۱ تبدیل شود.

نویزفاز در نوسان‌سازها به صورت زیر تعریف می‌شود [۱۲]:

[1] Quadrature Voltage Controlled Oscillator (QVCO)

$$L(\Delta\omega) = 10\log\left(\frac{P_{sideband}(\omega_0 + \Delta\omega, 1Hz)}{P_{carrier}}\right) \qquad (۱-۲)$$

که در این رابطه $P_{sideband}$ توان باند جانبی است که در آفست $\Delta\omega$ با پهنای باند $1Hz$ اندازه‌گیری شده است، که در شکل ۲-۱ نشان داده شده است و $P_{carrier}$ کل توان سیگنال حامل در فرکانس مرکزی ω_0 است.



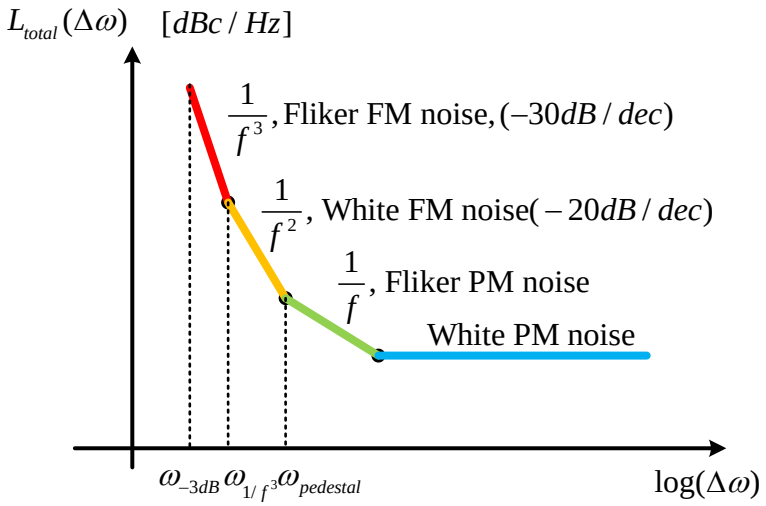
شکل ۲-۱: نویزفاز در پهنای باند واحد [۱۳]

مزیت رابطه (۲-۱) سهولت اندازه‌گیری آن است. نقطه ضعف آن این است که مجموع تغییرات دامنه و فاز را نشان می‌دهد و اثر این دو را به طور جداگانه نشان نمی‌دهد. غالباً دانستن نویزفاز و دامنه به طور جداگانه مهم است زیرا که در یک مدار متفاوت رفتار می‌کنند. به عنوان مثال، اثر نویز دامنه را می‌توان با محدود کردن دامنه کاهش داد، در حالی که نویزفاز را نمی‌توان به روش مشابه کاهش داد. بنابراین، در اکثر نوسان‌سازهای کاربردی، $L(\Delta\omega)$ در بخش فاز تعیین کننده و غالب است، که به عنوان نویزفاز شناخته می‌شود، مگر اینکه در غیر این صورت مشخص شده باشد [۱۳].

روش دیگری برای محاسبه نویزفاز استفاده می‌شود که به رابطه لیسون[1] معروف است. لازم به ذکر است که این رابطه به صورت تجربی بدست آمده است. در این رابطه نویزفاز شامل پارامترهای عملی از قبیل دامنه، ضریب کیفیت تانک LC، فرکانس نوسان و آفست فرکانسی است، که دید بهتری به پارامترهای تاثیرگذار بر نویزفاز می‌دهد [۱۴].

$$L(\Delta\omega)=10\log\left[\frac{2FKT}{P_{sig}}\left\{1+\left(\frac{\omega_0}{2Q_L\Delta\omega}\right)^2\right\}\left(1+\frac{\omega_{1/f^3}}{|\Delta\omega|}\right)\right] \qquad (۲-۲)$$

پارامتر تجربی این رابطه F است که فاکتور افزونی نویز نامیده می‌شود. ω_0 فرکانس مرکزی، $\Delta\omega$ آفست از فرکانس مرکزی، ω_{1/f^3} جداکننده گوشه بین $1/f^2$ و $1/f^3$ همانطور که در شکل ۲-۲ نشان داده شده است، Q_L ضریب کیفیت تانک، K ثابت بولتزمن، T دمای مطلق و P_{sig} توان مصرفی است. از آنجایی این رابطه توسط آقای لیسون به صورت تجربی بدست آمده پس این رابطه دقیق نیست [۱۵]، به همین منظور آقای حاجی میری و لی مدل جدیدی را برای محاسبه نویزفاز ارائه نمودند [۱۶] [۱۷].



شکل ۲-۲: طیف نویزفاز نوسان‌ساز [۱۳]

اگر بخواهیم $L(\Delta\omega)$ برای یک نوسان‌ساز به عنوان تابعی از $\Delta\omega$ برحسب لگاریتمی رسم کنیم، مناطقی با شیب‌های مختلف ممکن است مشاهده شود، همانطور که در شکل ۲-۲ نشان داده شده است.

[1] Lesson

در آفست فرکانسی بزرگ، کف نویز بصورت مسطح خواهد بود. در آفست فرکانسی کوچک، مناطقی با شیب $1/f$، $1/f^2$ و $1/f^3$ وجود دارد که با توجه به شکل ۲-۲ نقطه جدا کننده مناطق $1/f^2$ و $1/f^3$، ω_{1/f^3} نامیده می‌شود. همچنین نقطه جدا کننده مناطق $1/f$و $1/f^2$، $\omega_{pedestal}$ نامیده می‌شود. سرانجام، طیف در آفست فرکانسی بسیار کوچک دوباره مسطح می‌شود. بنابراین معمولا روش‌های مختلفی برای اندازه‌گیری نویزفاز وجود دارد و بسته به روش خاصی که برای اندازه‌گیری آن استفاده می‌شود، تقسیم بندی طیف همانند شکل ۲-۲ ممکن است صورت گیرد یا انجام نشود. به طور مثال، اگر از تحلیل‌گر طیف برای اندازه‌گیری نویزفاز استفاده شود، ω_{-3dB} به راحتی مشاهده می‌شود. با این وجود، اگر نویزفاز با استفاده از یک حلقه قفل فاز اندازه‌گیری شود، تابع تبدیل غیرخطی آشکارساز فاز، ω_{-3dB} اندازه‌گیری شده را تغییر می‌دهد [۱۳].

۲-۲-۲ خطای فاز

نوسان‌سازهای متعامد دارای چهار خروجی با اختلاف فاز ۹۰ درجه می‌باشند. نوسان‌ساز متعامد مطلوب باید از دقت تعامد بالایی برخوردار باشد، اما عدم تطابق سبب بروز انحراف فاز خروجی می‌گردد. یعنی فاز خروجی از ۹۰ درجه فاصله می‌گیرد، که به آن خطای فاز می‌گویند [۱۸].

۲-۲-۳ گستره تنظیم[1]

در نوسان‌سازهای کنترل‌شونده با ولتاژ[2] پارامتر مهم گستره تنظیم فرکانسی در طراحی مطرح می‌شود. در نوسان‌سازهای کنترل‌شونده با ولتاژ ایده‌آل، فرکانس خروجی تابع خطی از ولتاژ کنترلی است که رابطه زیر بیانگر آن است:

$$\omega_{out} = \omega_0 + K_{VCO}V_{cont} \qquad (۲-۳)$$

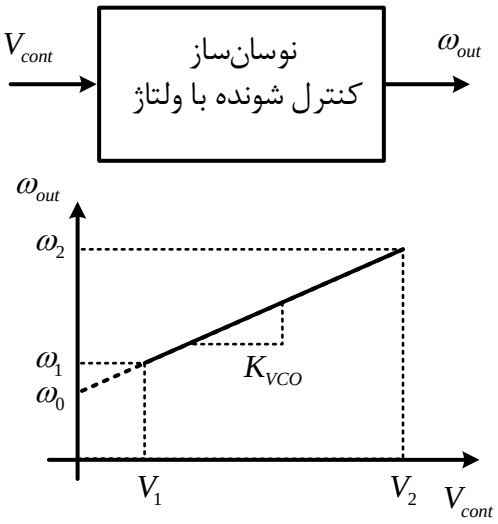
[1] Tunning Range
[2] VCO

در این رابطه ω_0 فرکانس متناظر $V_{cont}=0$ است و K_{VCO} بهره یا حساسیت مدار با یکای $rad/s/V$ است. گستره قابل دسترسی $\omega_2-\omega_1$ را گستره تنظیم می‌نامند [۱].

اگر محدوده مجاز کنترل ولتاژ از V_1 تا V_2 و محدوده تنظیم فرکانسی از ω_1 تا ω_2 باشد، همانطور که در شکل ۲-۳ نشان داده شده است، حساسیت محدوده فرکانسی قابل تنظیم طبق رابطه زیر بدست می‌آید:

$$K_{VCO}=\frac{\omega_2-\omega_1}{V_2-V_1} \qquad (۴-۲)$$

این رابطه بیانگر این است که با تغییر ولتاژ، فرکانس نیز به شکل خطی و مطابق با آن تغییر می‌کند.



شکل ۲-۳: مشخصه VCO [۲]

گستره تنظیم طبق رابطه زیر بیان می‌شود [۱۹]:

$$FTR=\frac{f_{\max}-f_{\min}}{f_{center}}\times 100 \qquad (۵-۲)$$

در رابطه فوق داریم:

$$f_{center}=\frac{f_{\max}+f_{\min}}{2} \qquad (۶-۲)$$

در این رابطه f_{center} ، $f_{\max}$ و $f_{\min}$ به ترتیب فرکانس مرکزی، فرکانس بیشینه و فرکانس کمینه تولید شده توسط نوسان‌ساز است.

از آنجایی که داریم:

$$\omega = 2\pi f \qquad (۷-۲)$$

$$\omega = \frac{1}{\sqrt{LC}} \qquad (۸-۲)$$

پس فرکانس نوسان طبق رابطه زیر بدست می‌آید:

$$f = \frac{1}{2\pi\sqrt{L(C + C_{parasitic})}} \qquad (۹-۲)$$

در این رابطه L اندازه القاگر تانک، C خازن تانک و $C_{parasitic}$ خازن‌های پارازیتی مدار می‌باشند.

با جایگزاری کردن رابطه (۲-۹) در رابطه (۲-۵)، پس از ساده کردن به رابطه (۲-۱۰) میرسیم [۱۹]:

$$FTR = 2\times\frac{\frac{1}{\sqrt{C_{\min} + C_{parasitic}}} - \frac{1}{\sqrt{C_{\max} + C_{parasitic}}}}{\frac{1}{\sqrt{C_{\min} + C_{parasitic}}} + \frac{1}{\sqrt{C_{\max} + C_{parasitic}}}}\times 100 \qquad (۱۰-۲)$$

در این رابطه $C_{\max}$ و $C_{\min}$ به ترتیب بیشینه و کمینیه ظرفیت ورکتور است.

از رابطه (۲-۱۰) می‌توان به این نتیجه رسید که گستره تنظیم تحت تاثیر خازن‌های مدار است و با کاهش خازن‌های پارازیتی مقدار گستره تنظیم افزایش می‌یابد. کاهش خازن‌های پارازیتی مستلزم کاهش اندازه ترانزیستورها است که منجر به کاهش ترارسانایی و دامنه نوسان می‌شود که این امر می‌تواند باعث افزایش نویزفاز نیز شود، در نتیجه یک مصالحه به وجود می‌آید.

۲-۲-۴ دامنه نوسان

محاسبه دامنه نوسان که یکی از پارامترهای مهم در طراحی نوسان‌ساز محسوب می‌شود از اهمیت ویژه‌ای برخوردار است که به علت رفتار غیر خطی مدار نوسان‌ساز محاسبه آن دشوار می‌شود. اگر چه می‌توان دامنه نوسان را به راحتی با شبیه‌سازی بدست آورد ولی برای محاسبه و اثبات دستی رابطه نویزفاز عمدتا به محاسبه دامنه نوسان نیاز داریم.

۲-۲-۵ فرکانس مرکزی

فرکانس مرکزی نوسان‌ساز توسط محیطی که در آن قرار دارد تعیین می‌شود، در نوسان‌سازهای LC، فرکانس مرکزی برابر با فرکانس تشدید تانک است. بطور مثال نوسان‌ساز برای کابردهای WiMax[1] باید در باند فرکانسی C کار کنند. انواع باندهای فرکانسی را در جدول زیر مشاهده می‌کنیم.

جدول ۲-۱: انواع باندهای فرکانسی [۲۰]

نوع باند	محدوده فرکانسی
G	**140-220 GHZ**
D	**110-170 GHZ**
W	**75-110 GHZ**
E	**60-90 GHZ**
V	**50-70 GHZ**
U	**40-60 GHZ**
Q	**33-50 GHZ**
Ka	**26.5-40 GHZ**
K	**18-26.5 GHZ**
Ku	**12.4-18 GHZ**
X	**8-12.4 GHZ**
C	**4-8 GHZ**
S	**2-4 GHZ**
L	**1-2 GHZ**
UHF	**500-1000 MHZ**
VHF	**50-500 MHZ**

[1] Worldwide Interoperability for Microwave Access

۲-۲-۶ توان مصرفی[1]

یکی از پارامترهای مهم در طراحی هر مداری توان مصرفی آن است. توان مصرفی در نوسان‌سازها به جریان، شرایط شروع نوسان و مقامت منفی وابستگی دارد، از طرفی هم هر چه شرایط شروع نوسان دشوار می‌شود توان بیشتری برای شروع نوسان و ایجاد ترارسانایی منفی موثر نیاز است. لازم به ذکر است که توان مصرفی با نویزفاز در مصالحه است بطوری که باید در حالت ایده‌آل با حداقل توان مصرفی به کمترین نویزفاز رسید، لذا توان مصرفی در طراحی نوسان‌سازها از اهمیت ویژه‌ای برخوردار است.

۲-۲-۷ ضریب شایستگی[2]

ضریب شایستگی معیاری است که برای ارزیابی و مقایسه عملکرد نوسان‌سازها نسبت به هم تعریف می‌شود که با نرمالیزه کردن پارامترهای اساسی در هر نوسان‌ساز محاسبه می‌شوند که شامل پارامترهای توان مصرفی، نویزفاز و فرکانس مرکزی که با هم در تقابل هستند، یکی از چالش‌های اساسی در نوسان-سازها، مصالحه‌ی بین توان مصرفی و نویزفاز است.

برای اینکه مقایسه درستی بین نوسان‌سازها داشته باشیم، ضریب شایستگی به صورت زیر تعریف می‌شود که در آن نویزفاز به توان مصرفی و فرکانس مرکزی نرمالیزه می‌شود به این معنا که هر چه اندازه ضریب شایستگی بزرگتر باشد مدار با توان مصرفی کمتر به نویزفاز بهتری دست یافته است [۲۱].

$$FOM = L(\Delta\omega) + 10\log(\frac{P_{DC}}{1mW}) - 20\log(\frac{\omega_0}{\Delta\omega}) \qquad (۱۱-۲)$$

در این رابطه، $L(\Delta\omega)$ نویزفاز نوسان‌ساز در آفست فرکانسی $\Delta\omega$ که بر حسب dBc/Hz است و P_{DC} توان مصرفی DC برحسب mW است و ω_0 فرکانس مرکزی نوسان است. واحد FOM برحسب dBc است.

[1] Power Dissipation
[2] Figure of Merit (FOM)

یک معیار خوبی دیگری که مصالحه مربوط به گستره تنظیم را نیز در بر دارد، به صورت زیر قابل تعریف است [۲۲]:

$$FOM_T = FOM - 10\log(\frac{FTR}{\Delta V_{tune}}) \quad (۱۲-۲)$$

که در این رابطه FTR[1] و ΔV_{tune} به ترتیب گستره تنظیم فرکانس و ولتاژ قابل تنظیم است.

۲-۳ خلاصه فصل

در این فصل اصول کلی طراحی و پارامترها مهم مربوط به نوسان‌سازها متعامد بررسی شد. بهبود نویزفاز در نوسان‌سازها با وجود توان مصرفی پایین از چالش‌های دشوار در این زمینه است. طراحی مدارهای مجتمع فرکانس رادیویی با مصرف توان پایین حوزه‌ای است که در حال حاضر روی آن تحقیق می‌شود. ساختارهای استفاده مجدد از جریان از ساختارهای متداولی هستند که برای کاربردهای توان پایین مورد استفاده قرار می‌گیرند.

[1] Frequency Tuning Range (FTR)

فصل سوم

بررسی و مروری بر کارهای گذشته

۳-۱ مقدمه

در این فصل به ساختارهای مختلف برای پیاده‌سازی نوسان‌سازهای متعامد LC با استفاده از تکنیک استفاده مجدد از جریان برای کاهش توان مصرفی در حین داشتن نویزفاز مطلوب و نوع اتصال و تزویج متفاوت بین زوج هسته نوسان‌ساز متعامد و اصول کلی عملکرد این نوع ساختارها می‌پردازیم.

۳-۲ اصول تولید سیگنال‌های متعامد در نوسان‌سازهای LC

طبق روابطی که آدلر در سال ۱۹۴۰ بیان کرد، اگر سیگنالی با فرکانس نزدیک به فرکانس نوسان یا نزدیک به یکی از هماهنگ‌های آن تزریق شود، نوسان‌ساز در فرکانس نوسان سیگنال تزریق شده، شروع به نوسان خواهد کرد و با آن اختلاف فاز ثابتی پیدا خواهد کرد [۲۳]. در صورتی که ضریب تزویج قوی باشد، پدیده قفل فرکانسی رخ می‌دهد و باعث می‌شود که نوسان‌ساز در فرکانس تزریق شده نوسان کند. اما اگر سیگنال تزریق شده نتواند نوسان‌ساز را وادار به نوسان در فرکانس تزریق کند، تنها باعث مختل شدن سیگنال می‌شود که به این پدیده هل دادن فرکانسی[1] می‌گویند. این روش حلقه بسته محسوب می‌شود که در مقایسه با روش حلقه باز از دقت بالایی برخوردار است چرا که در روش حلقه باز خطای ورودی مستقیم به خروجی انتقال می‌یابد.

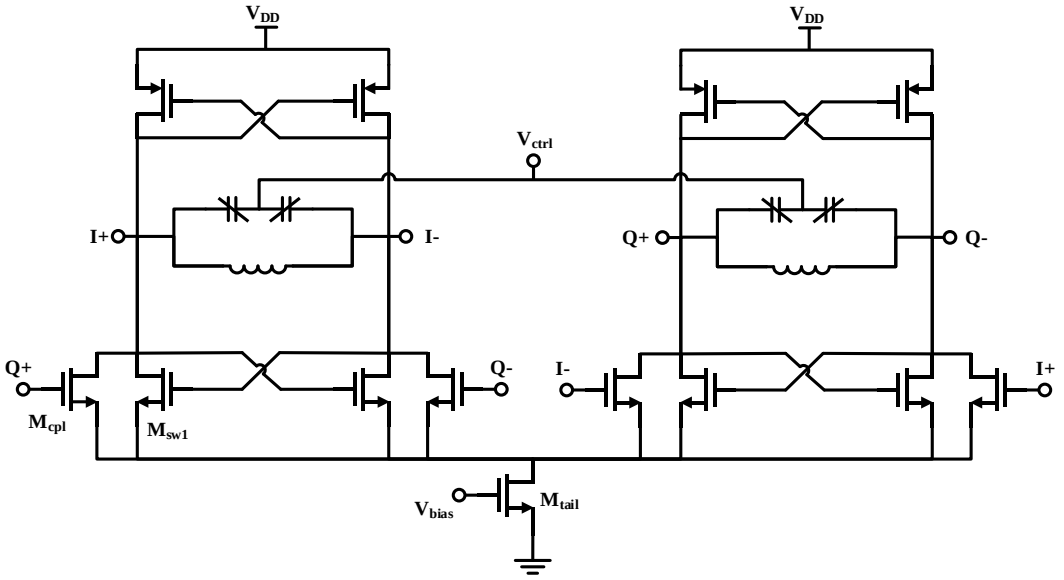
استفاده عمده از فرآیند قفل فرکانسی در ساخت نوسان‌سازهای متعامد است. بنابراین طراحی یک مدار نوسان‌ساز متعامد LC شامل دو بخش طراحی هسته نوسان‌ساز و طراحی شبکه تزویج برای متعامد کردن سیگنال‌ها است. تزریق سیگنال به روش‌های مختلفی می‌تواند انجام گیرد که در این پایان‌نامه درباره تزریق به دو روش تزریق از طریق هماهنگ مرتبه اول وتزریق از طریق هماهنگ مراتب بالاتر پرداخته می‌شود.

[1] Injection pulling

۳-۳ تکنیک استفاده مجدد از جریان در نوسان‌ساز متعامد

در ساختارهای ارائه شده در این قسمت برای تزویج دو هسته نوسان‌ساز متعامد LC از گره‌های تفاضلی استفاده شده است که به نوسان‌سازهای متعامد مرتبه اول معروفند.

در ساختار شکل ۳-۱ برای تزویج دو هسته نوسان‌ساز از ترانزیستورهای موازی استفاده شده است، به همین دلیل به این ساختارها P-QVCO[1] گویند.



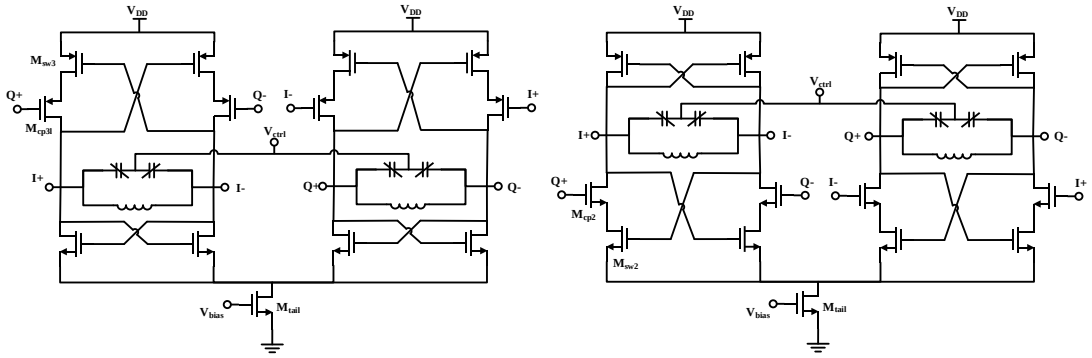
شکل ۳-۱: مدار P-QVCO با تکنیک استفاده مجدد از جریان [۲۴]

در این ساختار ترانزیستورهای M_{sw1}، M_{cp1} و M_{tail} به ترتیب وظیفه تولید مقاومت منفی، تزویج متعامد و منبع جریان دنباله را دارند. P-QVCO معمولا عملکرد نویزفاز ضعیفی دارد که علت اصلی آن ترانزیستورهای تزویج کننده است که به طور موازی با ترانزیستورهای سوئیچ اتصال-ضربدری قرار گرفته‌اند که باعث شیفت فاز غیر صفر[2] مدار تشدید می‌شود [۲۴]. برای بهبود این ساختار در عملکرد نویزفاز، می‌توان از ترانزیستورهای PMOS به جای ترانزیستورهای NMOS برای تزویج استفاده نمود.

[1] Parallel QVCO
[2] non-zero resonator-phase-shift

زیرا، ترانزیستورهای PMOS نسبت به ترانزیستورهای NMOS نویز فلیکر کمتری دارد. از معایب دیگر این ساختار می‌توان به مصالحه‌ی بین نویزفاز و دقت فاز اشاره کرد.

به منظور بهبود عملکرد نویزفاز، ساختارهای S-QVCO[1] ارائه شدند. در این ساختار برای تزویج دو هسته نوسان‌ساز از ترانزیستورهای سری استفاده شده است. در این ساختار نسبت به ساختار P-QVCO، نیازی به جریان بایاس اضافی برای ترانزیستورهای تزویج نیست و بنابراین توان مصرفی آن کاهش می‌یابد، از طرفی هم به علت روی هم قرار گرفتن ترانزیستورها، پیاده‌سازی آن برای کاربردهای ولتاژ پایین مشکل است. همانطور که در شکل ۳-۲ مشاهده می‌کنیم، پیکره‌بندی‌های متفاوتی برای پیاده-سازی S-QVCO وجود دارد.



(ب) (الف)

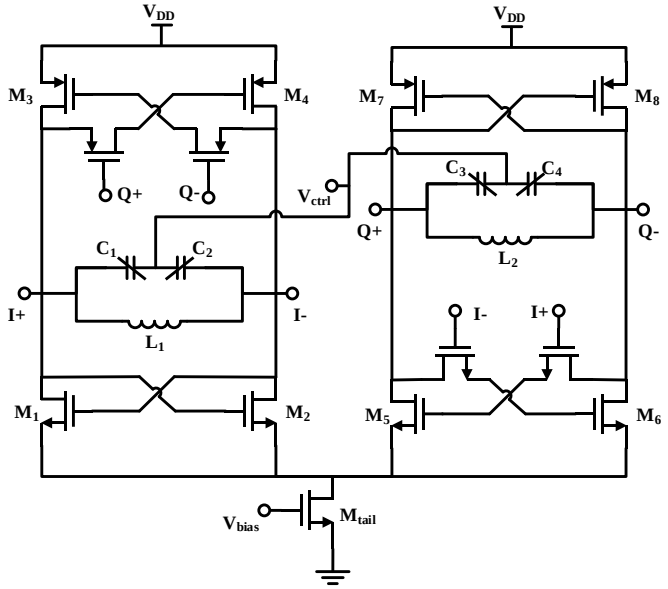
شکل ۳-۲: مدار S-QVCO در ساختار مکمل (الف) NMOS S-QVCO (ب) PMOS S-QVCO [۲۴]

ساختار S-QVCO می‌تواند ترارسانایی بالایی را در جریان معین ارائه کند که منجر به سوئیچ سریع ترانزیستورهای اتصال-ضربدری شود و تقارن زمان صعود و نزول[2] خوبی را انجام دهد که منجر به کاهش نویز فلیکر و دیگر نویزهای فرکانس پایین می‌شود. در ضمن، این ساختار به مصالحه بین نویزفاز و دقت فاز محدود نمی‌شود [۲۴].

[1] Serial QVCO
[2] rise- and fall-time

به منظور کاهش توان مصرفی در حین نویزفاز پایین، یک نوسان‌ساز متعامد LC که شامل تکنیک مدولاسیون گیت است ارائه شده است، همانطور که در شکل ۳-۳ نشان داده شده است. نوسان‌ساز ارائه شده در این قسمت تزویج دو هسته نوسان‌ساز متعامد LC از گره‌های تفاضلی استفاده شده است که به نوسان‌ساز متعامد مرتبه اول معروفند.

در این ساختار، تقریباً هیچ جریانی از طریق ترانزیستورهای تزویج انتقال نمی‌یابد، زیرا آن‌ها به گیت ترانزیستورهای اتصال-ضربدری متصل می‌شوند، در نتیجه نویز کانال ترانزیستورهای تزریق را به حداقل می‌رسانند. علاوه بر این، ترانزیستورها تزریق در این ساختار بر خلاف QVCO اتصال سری، با ترانزیستورهای اتصال-ضربدری، کسکود نمی‌شوند، و بنابراین در عملکرد ولتاژ پایین کاربردی‌تر می-باشند. در این نوع ساختار نسبت به ساختار P-QVCO، نیازی به جریان بایاس اضافی نیست، پس توان مصرفی آن نیز کاهش می‌یابد.



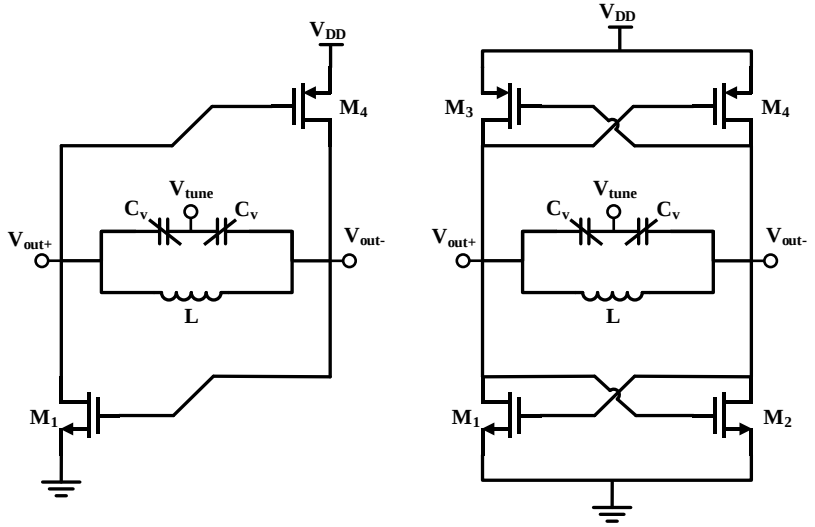
شکل ۳-۳: مدار نوسان‌ساز متعامد با تزویج مدولاسون گیت [۲۴]

نویزفاز گزارش شده برای این ساختار در آفست فرکانسی ۱ MHz از فرکانس مرکزی ۲/۷ GHz برابر ۱۲۵ dBc/Hz- است. همچنین توان مصرفی این ساختار در ولتاژ تغذیه ۱/۵ V برابر ۸/۲۲ mW گزارش شده است. در نتیجه ضریب شایستگی نوسان‌ساز ۱۸۴/۵ dBc- بدست می‌آید.

۳-۴ نوسان‌ساز متعامد استفاده مجدد از جریان با متعادل‌سازی خروجی نوسان

در این قسمت ابتدا مقایسه‌ای بین نوسان‌ساز اتصال-ضربدری مکمل و روش استفاده مجدد از جریان خواهیم نمود. شکل ۳-۴ (الف) نوسان‌ساز اتصال-ضربدری مکمل با هسته N-P را نشان می‌دهد که چهار ترانزیستور M_1 تا M_4 با تولید ترارسانایی منفی در جهت جبران‌سازی برای تلفات مدار تانک LC استفاده شده‌اند.

در طول نیم سیکل اول نوسان، ترانزیستورهای M_1 و M_4 روشن هستند و ترانزیستورهای M_2 و M_3 خاموش هستند، در این صورت جریان از راست به چپ از طریق تانک LC جاری می‌شود. در طول نیم سیکل دوم، M_2 و M_3 روشن هستند و M_1 و M_4 خاموش هستند و جریان از چپ به راست از طریق تانک LC جاری خواهد شد.



(ب) (الف)

شکل ۳-۴: (الف) نوسان‌ساز اتصال-ضربدری مکمل با هسته N-P (ب) نوسان‌ساز با تکنیک استفاده مجدد از جریان [۲۵]

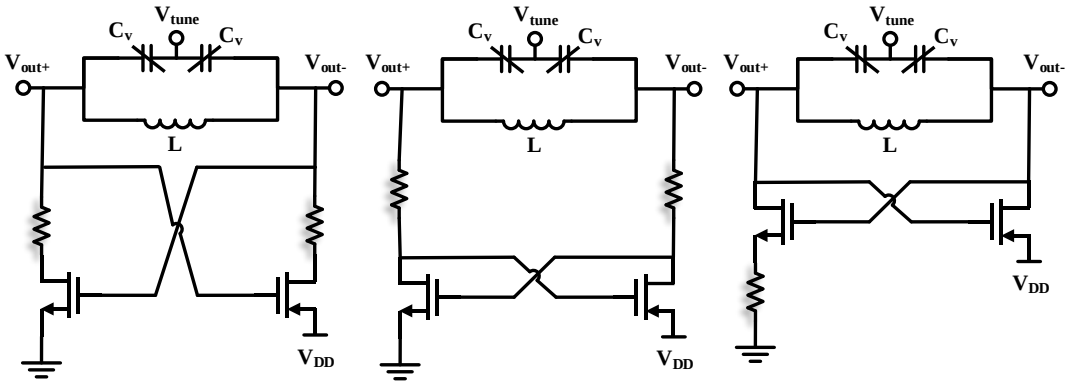
شکل ۳-۴ (ب) نوسان‌ساز کنترل‌شونده با ولتاژ با تکنیک استفاده مجدد از جریان را نشان می‌دهد، که در آن ترارسانایی منفی توسط ترانزیستورهای NMOS و PMOS ایجاد می‌شود. جالب است بدانید که مدار شکل ۳-۴ (ب) نیمی از مدار شکل ۳-۴ (الف) است، اما با این اختلاف که ترانزیستورها به

روشی متفاوت سوئیچ می‌شوند. در طول سیکل اول نوسان، دو VCO به روشی مشابه کار می‌کنند. اما در طول نیم سیکل دوم، VCO فعلی هیچ جریانی از مدار جاری نمی‌شود و ترانزیستورها خاموش می‌باشند، پس می‌توان نتیجه گرفت که جریان تغذیه در VCO استفاده مجدد از جریان تقریبا نیمی از VCO مکمل متداول است. در حقیقت، این ساختار نه تنها باعث کاهش توان مصرفی می‌شود، بلکه استفاده از دو ترانزیستور به جای چهار ترانزیستور در مدار سبب کاهش خازن‌های پارازیتی می‌شود که منجر به بهبود نویزفاز در مقایسه با مدار اتصال-ضربدری مکمل خواهد شد [۲۵].

در نیم سیکل اول ولتاژ سوئینگ خروجی به ولتاژ منبع تغذیه محدود است، ولی در نیم سیکل دوم اندکی بیشتر است، در نتیجه منجر به عدم تقارن در شکل موج خروجی مدار نوسان‌ساز می‌شود، که عمده‌ترین مشکل این روش است. نامتقارن شدن خروجی نوسان‌ساز می‌تواند باعث بدتر شدن نویز شود.

برای حل این مشکل با اضافه کردن مقاومت در قسمت‌های پایینی[1] خارجی[2] و داخلی[3] به سه روش پیشنهاد شده است، الف) در ساختار BRB، که در آن همانطور که در شکل ۳-۵ (الف) نشان داده شده است، یک مقاومت بین سورس NMOS و زمین اضافه می‌شود، ب) در ساختار ERB، که در آن دو مقاومت به صورت متقارن در خارج زوج NMOS-PMOS اضافه می‌شوند این روش در شکل ۳-۵ (ب) نشان داده شده است. ج) در ساختار IRB، که در آن همانطور که در شکل ۳-۵ (ج) نشان داده شده است، دو مقاومت به صورت متقارن در داخل زوج NMOS-PMOS اضافه می‌شوند [۲۵].

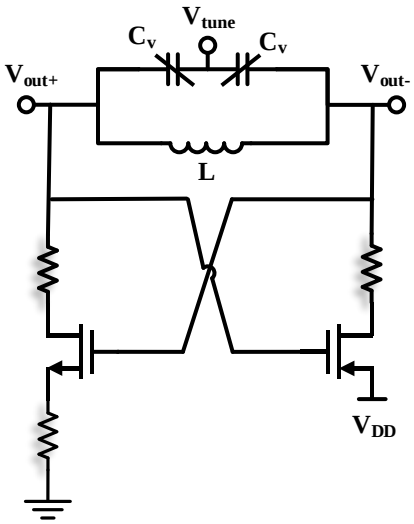
[1] Bottom Resistor Biasing (BRB)
[2] External Resistor Biasing (ERB)
[3] Internal Resistor Biasing (IRB)



(ج) (ب) (الف)

شکل ۳-۵: طرح‌های پیشنهادی برای کنترل جریان (الف) BRB (ب) ERB (ج) IRB [۲۵]

در نتیجه مدار نهایی ارائه شده در [۲۵] که در شکل ۳-۶ نوسان‌ساز پیشنهادی نشان داده شده است، جهت متعادل‌سازی و کاهش نویزفاز از ترکیب دو روش (الف) و (ج) در شکل ۳-۵ استفاده شده است.



شکل ۳-۶: ساختار ترکیبی پیشنهادی [۲۵]

با انتخاب صحیح مقاومت، VCO پیشنهادی می‌تواند به جای حالت ولتاژ محدود، در یک حالت جریان محدود کار کند، زیرا دامنه نوسان ولتاژ نوسان تابعی از پیک جریان دینامیک است [۲۶].

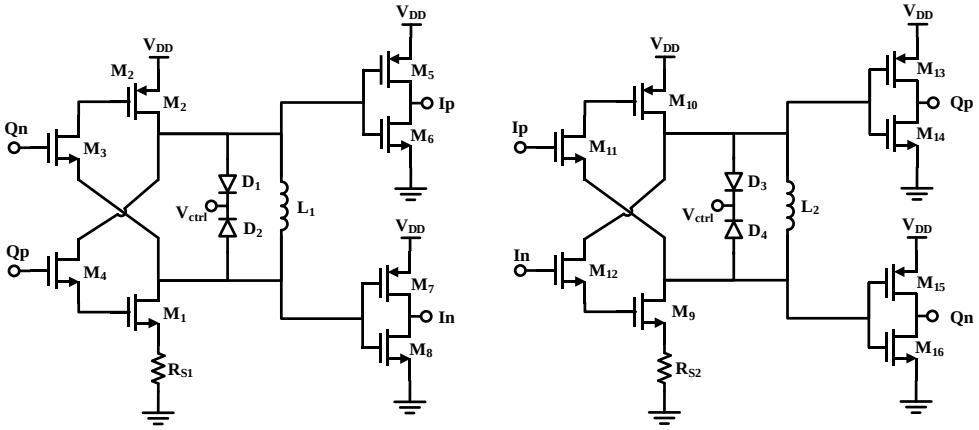
از آنجایی که در قسمت‌های قبل نیز به آن اشاره شد، طراحی یک مدار نوسان‌ساز متعامد LC شامل دو بخش طراحی هسته نوسان‌ساز و طراحی شبکه تزویج برای متعامد کردن سیگنال‌ها است که با در

نظر گرفتن نوع کاربرد نوسان‌ساز و انتخاب ساختار مورد نظر برای هسته نوسان‌ساز سپس به طراحی شبکه تزویج برای متعامد کردن سیگنال‌ها پرداخته می‌شود که در ادامه به چند مورد از آن‌ها اشاره می‌شود.

۳-۵ تکنیک‌های استفاده مجدد از جریان و مدولاسیون گیت برای QVCO با توان مصرفی کمتر از ۱ mW

تکنیک‌های استفاده مجدد از جریان و مدولاسیون گیت برای طراحی نوسان‌سازهای متعامد کنترل‌شونده با ولتاژ با توان مصرفی بسیار کم و نویزفاز کم نیز ارائه شده است. مدار پیشنهادی برای مصالحه بین توان مصرفی و نویزفاز ارائه شده است.

در مقایسه با سایر روش‌های تولید سیگنال متعامد، نوسان‌ساز متعامد کنترل‌شونده با ولتاژ یک روش مناسب از نظر توان مصرفی و نویزفاز است. در این مقاله، یک تکنیک استفاده مجدد از جریان با یک زوج اتصال-ضربدری PMOS و NMOS برای تولید مقاومت منفی ارائه شده است و باعث کاهش توان مصرفی به نیمی از توان مصرفی یک نوسان‌ساز متعامد متداول می‌شود. لازم به ذکر است که ترانزیستورهای M_3، M_4، M_{11} و M_{12} علاوه بر این که نقش عنصر تزویج را بین دو هسته نوسان‌ساز ایفا می‌کند، بلکه یک تکنیک مدولاسیون گیت در جهت تولید سیگنال متعامد با نویزفاز کم و توان مصرفی پایین نیز است.



شکل ۳-۷: QVCO مدولاسیون گیت با تکنیک استفاده مجدد از جریان [۲۷]

در این روش به جای استفاده از یک زوج ترانزیستور فقط NMOS یا یک زوج ترانزیستور فقط PMOS در طراحی QVCO متداول، از یک ترانزیستور NMOS و یک ترانزیستور PMOS استفاده شده است که یک مسیر جریان را برای تولید مقاومت منفی به اشتراک می‌گذارند و توان مصرفی را به نصف کاهش می‌دهند. ترارسانایی تولیدی توسط این ساختار به صورت زیر است [۲۷]:

$$G_{neg} = -\frac{g_{m1}g_{m2}}{g_{m1} + g_{m2} + R_{s1}g_{m1}g_{m2}} \qquad (۱-۳)$$

که در رابطه بالا g_{m1} و g_{m2} به ترتیب ترارسانایی ترانزیستورهای M_1 و M_2 هستند. R_{s1} مقاومت سورس ترانزیستور M_1 است، که به حفظ تقارن خوب شکل موج‌های خروجی کمک می‌کند. در این ساختار نحوه اتصال ترانزیستورهای تزویج تاثیر بسیار ناچیزی بر توان مصرفی هر هسته نوسان‌ساز و نویزفاز آن دارد. همچنین قرار گرفتن سیگنال تزویج در یک مسیر تقویت‌کنندگی سبب تزویج محکم‌تر این دو نوسان‌ساز و افزایش دقت فاز می‌گردد. در مقایسه با طراحی نوسان‌سازهای متعامد موازی یا سری، طرح مدولاسیون گیت بکار رفته در این مقاله از نظر توان مصرفی، دقت فاز، نویزفاز و سطح ولتاژ عملکرد بهتری دارند. مقایسه‌ای بین بهره حلقه در این ساختار با نوسان‌ساز متعامد سری در زیر آورده شده است [۲۷]:

$$T_{gate_\mathrm{mod}ulation} \cong -\left[(g_{m_cp}r_{ds_cp})(g_{m_inj}r_{ds_inj}) \times \frac{j\omega L}{j\omega L + r_{ds_cp}(1-\omega^2 LC + j\omega LG_L)}\right]^2 \qquad (۲-۳)$$

$$T_{bottom_series} \cong -\left[(g_{m_cp}r_{ds_cp}) \times \frac{j\omega L}{j\omega L + g_{m_cp}r_{ds_cp}r_{ds_inj}(1-\omega^2 LC + j\omega LG_L)}\right]^2 \qquad (۳-۳)$$

که در این رابطه‌ها T بهره‌ی حلقه و G_L ترارسانایی بار است. g_{m_cp}، r_{ds_cp}، g_{m_inj} و r_{ds_inj} به ترتیب ترارسانایی و مقاومت درین-سورس ترانزیستورهای اتصال-ضربدری و تزویج می‌باشند. بهره حلقه نوسان-ساز متعامد با مدولاسیون گیت بسیار بزرگتر از نوسان‌ساز متعامد سری است. بهره حلقه بالا در مدولاسیون گیت، توان مصرفی کم را برای یک شروع نوسان قابل قبول فراهم می‌کند [۲۷].

علاوه بر این، در مدولاسیون گیت، تقریباً هیچ جریانی از طریق ترانزیستورهای اتصال-ضربدری انتقال نمی‌یابد زیرا آن‌ها به گیت ترانزیستورهای اتصال-ضربدری متصل می‌شوند، در نتیجه نویز کانال ترانزیستورهای تزریق را به حداقل می‌رسانند [۲۷]. علاوه بر این، ترانزیستورها تزویج بر خلاف QVCO اتصال سری، با ترانزیستورهای اتصال-ضربدری، کسکود نمی‌شوند که در عملکرد ولتاژ پایین کاربردی‌تر است.

نویزفاز گزارش شده برای این ساختار در آفست فرکانسی ۱ MHz از فرکانس مرکزی ۲/۴ GHz برابر ۱۲۳/۷ dBc/Hz- است. همچنین توان مصرفی این ساختار در ولتاژ تغذیه ۱/۱ V برابر ۰/۶۸ mW گزارش شده است. در نتیجه ضریب شایستگی نوسان‌ساز ۱۹۶ dBc- بدست می‌آید.

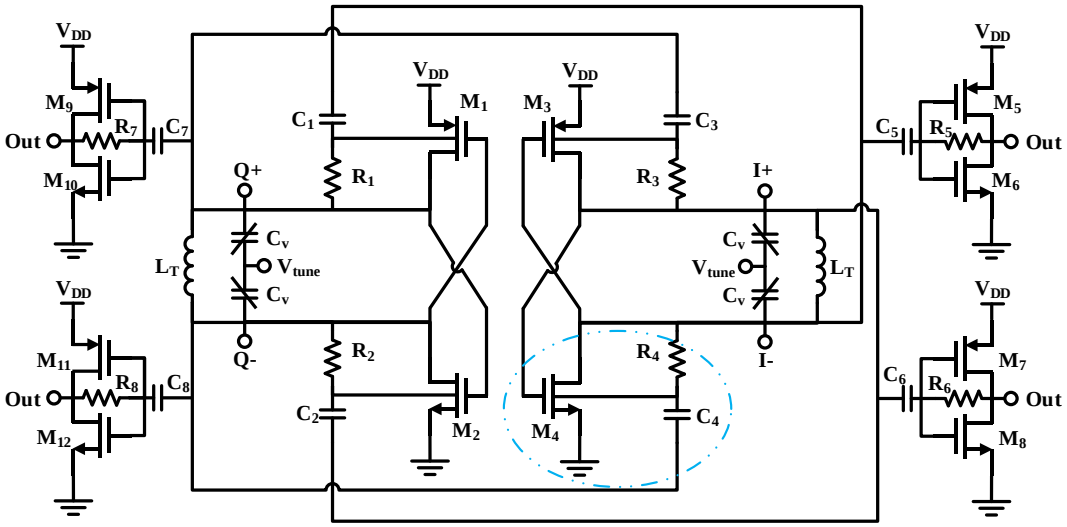
۳-۶ نوسان‌ساز متعامد استفاده مجدد از جریان با اتصال و تزویج گیت پشتی (بدنه)[1]

همانطور که در شکل ۳-۸ نشان داده شده است، این ساختار از دو زوج ترانزیستورهای اتصال-ضربدری PMOS-NMOS (زوج ترانزیستورهای M_1-M_2 و M_3-M_4) تشکیل شده‌اند که با اتصال هر زوج ترانزیستور با تانک LC، یک VCO تفاضلی استفاده مجدد از جریان تشکیل می‌شود. بدنه ترانزیستور سوئیچ نه تنها از طریق یک مقاومت به گره درین خود متصل است، بلکه از طریق خازن به گره درین ترانزیستور سوئیچ دیگر متصل می‌شود. بنابراین، بدنه هر ترانزیستور سوئیچ نقش گره تزویج را ایفا می‌کند [۲۸].

در این ساختار از مقاومت‌های R_1، R_2، R_3 و R_4 جهت بایاس بدنه‌های ترانزیستورها تزویج و از خازن‌های C_1، C_2، C_3 و C_4 جهت اتصال و تزویج ac دو هسته نوسان‌ساز برای متعامد شدن خروجی-های مدار، استفاده شده است.

[1] Back-Gate (bulk)

در این گونه مدارها بر خلاف مدارهای قبلی از خازن به جای ترانزیستور برای تزویج استفاده شده است. مقاومت دارای نویز حرارتی و خازن دارای نویز زیر لایه[1] است، از آنجایی که می‌دانیم عناصر غیرفعال[2] نویز کمتری نسبت به عناصر فعال[3] دارند، پس نویزفاز این ساختار بهبود می‌یابد. مزیت این گونه از ساختارها که تزویج از طریق گیت پشتی یا بدنه انجام می‌شود، این است که بدنه جریان نمی‌کشد و یا دامنه ولتاژ در آن کوچک است. در نتیجه نویزفاز و توان مصرفی پایینی دارند.



شکل ۳-۸: QVCO با اتصال گیت پشتی [۲۸]

مقاومت‌های R_1، R_2، R_3 و R_4 که جهت بایاس بدنه‌های ترانزیستورها تزویج مورد استفاده قرار گرفته‌اند با تانک LC سری شده‌اند که باعث تشدید تلفات مقاومت موازی معادل ناشی از مدار تانک LC می‌شود، در نتیجه ضریب کیفیت[4] یا Q مدار کاهش می‌یابد که طبق رابطه لیسون منجر به کاهش نویزفاز می‌شود. از محدودیت این مدار می‌توان به غیر ممکن بودن پیاده‌سازی آن با ترانزیستورهای BJT اشاره کرد. در این مدار دو زوج اتصال-ضربدری PMOS-NMOS (زوج ترانزیستورهای M_1-M_2 و M_3-M_4) استفاده شده است که هرکدام به ولتاژ متفاوتی متصل است، که برای پیاده‌سازی آن هر

[1] Substrate
[2] passive elements
[3] active elements
[4] Quality Factor

کدام از ترانزیستورها را باید در چاهک جداگانه در نظر گرفت. درنتیجه برای پیاده‌سازی این مدار نیاز به فناوری سه چاهک[1] است.

ولتاژ بایاس V_{bs} در این ساختار ثابت نیست بلکه به صورت دینامیک است. این ویژگی در این ساختار هم زمان به ولتاژ درین ترانزیستور M_4 (V_{ds4}) و ولتاژ درین ترانزیستور M_2 (V_{ds2}) بستگی دارد. رابطه بین آن‌ها را می‌تواند به صورت زیر بیان کرد [۲۸]:

$$V_{bs} = \frac{V_{ds4} + j\omega R_4 C_4 V_{ds2}}{j\omega R_4 C_4 + 1} \qquad (۴-۳)$$

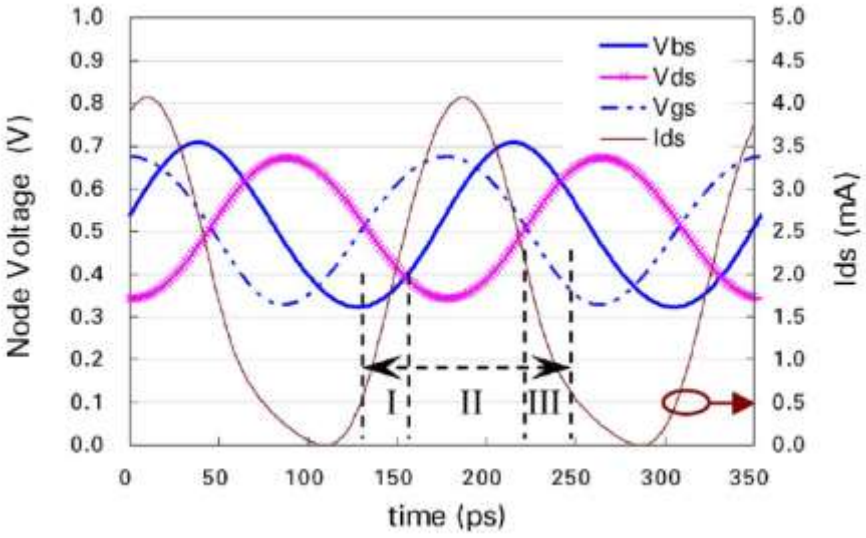
برای عملکرد ترانزیستور MOSFET، ولتاژ آستانه نه تنها به ضریب اثر بدنه γ و پتانسیل فرمی[2] Φ_F بستگی دارد، بلکه وابسته به مقدار ولتاژ بدنه (V_{bs}) نیز است. رابطه ولتاژ آستانه طبق رابطه زیر تعریف می‌شود:

$$V_{th} = V_{th0} + \gamma\sqrt{|2\Phi_F - V_{bs}|} - \gamma\sqrt{|2\Phi_F|} \qquad (۵-۳)$$

در قسمت II در شکل ۳-۹ V_{bs} ترانزیستور M_4 در بایاس مستقیم از V_{ds} بیشتر است که این منجر به کاهش ولتاژ آستانه V_{th} می‌شود. جریان و ولتاژ بیشینه در این قسمت قابل دستیابی است که با توجه به جریان بیشتر توان بیشتری نیز انتظار می‌رود. در قسمت‌های I و III شکل ۳-۹، به ترتیب V_{bs} و V_{gs} کمتر از V_{ds4} است که جریان درین محدود می‌شود. در حالت ایده‌آل در ساختار استفاده مجدد از جریان باید ترانزستورهای NMOS در خارج از ناحیه نقطه چین خاموش باشند. در مقایسه با بایاس بدنه ثابت، بدنه NMOS ساختار پیشنهادی در بخشی از دوره تناوب در بایاس معکوس قرار می‌گیرد و V_{gs} نیز در این مدت کم‌تر می‌شود. در نتیجه، جریان به دلیل افزایش V_{th}، کاهش می‌یابد.

[1] Triple-Well
[2] Fermi potential

به همین ترتیب، در مورد عملکرد PMOS نیز صدق می‌کند. بنابراین، در این ساختار نسبت به ساختار استفاده مجدد از جریان با بایاس بدنه ثابت، توان مصرفی کاهش می‌یابد [۲۸].



شکل ۳-۹: گره‌های ولتاژ و جریان درین شبیه‌سازی شده ترانزیستور M_4 [۲۸]

در این ساختار نامتقارن با انتخاب صحیح اندازه ترانزیستورها، مقادیر خازن‌ها و مقاومت‌ها می‌توان به تزویج محکم بین دو هسته نوسان‌ساز متعامد دست یافت. قدرت تزویج بر روی خطای فاز و نویزفاز بطور قابل توجهی تأثیر می‌گذارد. مقاومت‌ها باید به اندازه کافی بزرگ باشند تا از عبور سیگنال تزویج از طریق آن جلوگیری کنند. با استفاده از مقادیر متفاوت مقاومت‌ها برای ترانزیستورهای NMOS و PMOS می‌توان استحکام تزویج را تنظیم کرد.

نویزفاز گزارش شده برای این ساختار در آفست فرکانسی ۱ MHz از فرکانس مرکزی ۵/۴۸ GHz برابر ۱۱۴ dBc/Hz- است. همچنین توان مصرفی این ساختار در ولتاژ تغذیه ۱ V برابر ۲/۵ mW گزارش شده است. در نتیجه ضریب شایستگی نوسان‌ساز ۱۸۴/۸ dBc- بدست می‌آید.

۳-۷ نوسان‌ساز متعامد استفاده مجدد از جریان با تزویج بدنه برای کابردهای کم توان

با توجه به شکل ۳-۱، ضریب تزویج بین دو هسته P-QVCO به صورت زیر تعریف می‌شود [۲۹]:

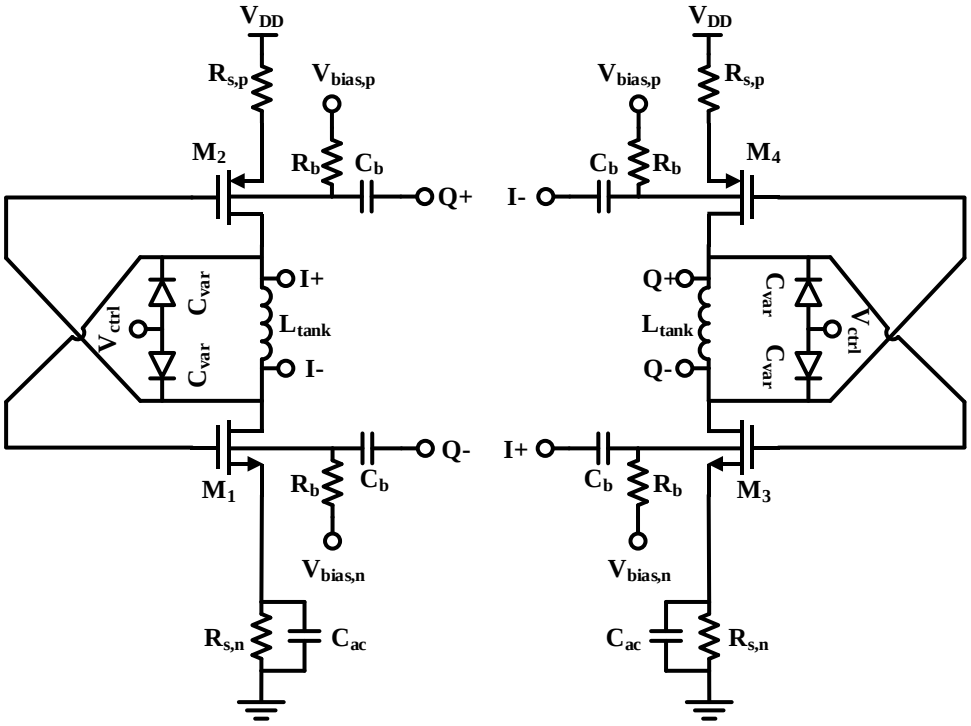
$$\alpha = \frac{g_{cpl}}{g_{sw}} = \frac{W_{cpl}}{W_{sw}} \qquad (۶-۳)$$

در این رابطه g_{cpl} و g_{sw} به ترتیب ترارسانایی ترانزیستورهای تزویج و اتصال-ضربدری می‌باشند و W_{cpl} و W_{sw} به ترتیب عرض ترانزیستورهای تزویج و اتصال-ضربدری می‌باشند.

در واقع نویزفاز و خطای فاز هر دو تابعی از ضریب تزویج α است، که در P-QVCO برابر با نسبت عرض ترانزیستورهای تزویج به عرض ترانزیستورهای اتصال-ضربدری است. با افزایش عرض ترانزیستورهای اتصال-ضربدری، ترارسانایی منفی و دامنه نوسان افزایش می‌یابد که منجر به کاهش نویزفاز می‌شود از طرفی هم طبق رابطه (۳-۶) باعث کاهش ضریب تزویج و دقت فاز می‌شود که بیانگر مصالحه این دو پارامتر و یک چالش در طراحی P-QVCO است. از دیگر معایب این ساختار می‌توان به مصرف توان نسبتا بالای آن اشاره کرد که این مشکل به علت قرار دادن ترانزیستورهای تزویج به صورت موازی با ترانزیستورهای اتصال-ضربدری به وجود می‌آید، که قبلا نیز به آن اشاره شد [۲۹] [۳۰].

مدار نوسان‌ساز استفاده مجدد از جریان پیشنهادی در [۲۹] که از ترانزیستورهای اتصال-ضربدری NMOS-PMOS (زوج ترانزیستورهای $M_2 - M_1$ و $M_4 - M_3$) تشکیل شده است، در شکل ۳-۱۰ نمایش داده شده است، تزویج بین دو هسته نوسان‌ساز از طریق بدنه ترانزیستورهای اتصال-ضربدری استفاده شده است.

در ساختارهای استفاده مجدد از جریان در شکل ۳-۱۰، در مقایسه با نوسان‌سازهای با ساختار P-QVCO متداول نشان داده شده در شکل ۳-۱، توان مصرفی کمتری دارند. به عبارتی دیگر، در شکل ۳-۱۰ از آنجایی که تزویج از طریق بدنه انجام می‌شود و بدنه جریان نمی‌کشد، پس در مقایسه با ساختار P-QVCO متداول، برای متعامد شدن هیچ توان مصرفی اضافی در شبکه تزویج لازم نیست. بنابراین، QVCO پیشنهادی در [۲۹] مسئله اتلاف توان مصرفی را که نقص اصلی P-QVCO متداول است را برطرف می‌کند.



شکل ۳-۱۰: مدار QVCO استفاده مجدد از جریان با تزویج بدنه [۲۹]

همانطور که گفته شد، یکی از مشکل‌های ساختار P-QVCO مصالحه بین نویزفاز و خطای فاز است. با این حال، در نوسان‌ساز متعامد استفاده مجدد از جریان پیشنهادی در [۲۹]، خطای فاز می‌تواند بدون آسیب رساندن به نویزفاز، کاهش یابد، زیرا در این ساختار برای تزویج نیازی به ترانزیستورهای اضافی نیست. ضریب تزویج بین دو هسته با تزویج بدنه به صورت رابطه زیر تعریف می‌شود [۲۹]:

$$\alpha_B = \frac{g_{mb}}{g_m} = \frac{\gamma}{2\sqrt{2\Phi_F - V_{BS}}} \qquad (۷-۳)$$

دراین رابطه γ، Φ_F و V_{BS} به ترتیب ضریب اثر بدنه، تابع کار و ولتاژ بایاس بدنه-سورس است. از رابطه‌ی (۷-۳) در می‌یابیم ضریب تزویج α_B تابعی از V_{BS} است که با کاهش بایاس معکوس بدنه-سورس α_B افزایش می‌یابد.

مقاومت‌های $R_{s,p}$ و $R_{s,n}$ باعث می‌شوند که نوسان‌ساز به جای حالت ولتاژ محدود در حالت جریان محدود نوسان کند و نوسان تابعی از پیک جریان شود تا با تنظیم مقادیر مقاومت‌ها، به خروجی‌های

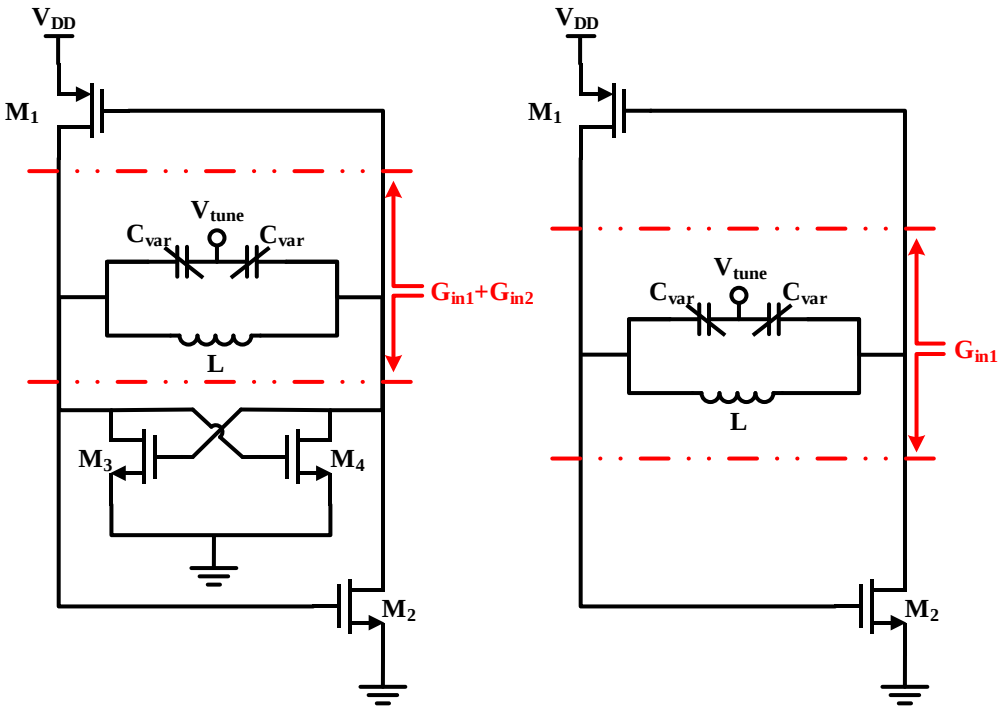
متعامد با دامنه متقارن دست یابیم. از خازن‌های بزرگ C_{ac} هم برای کاهش نویز حرارتی فرکانس بالا مقاومت $R_{s,n}$ استفاده شده است [۲۹].

معایب این ساختار همانند معایب ساختار قبلی تزویج از طریق بدنه (شکل ۳-۸) است، جز این که در مدار ساختار قبلی مقاومت‌های بایاس بدنه‌های ترانزیستورها تزویج با تانک LC سری شده بودند که باعث افزایش تلفات مدار تانک LC می‌شد و ضریب کیفیت یا Q مدار را کاهش می‌داد که طبق رابطه لیسون منجر به کاهش نویزفاز می‌شود. اما در این ساختار به دلیل نوع بایاس بدنه متفاوت نسبت به ساختار قبلی، دیگر مقاومت‌های بایاس بدنه‌های ترانزیستورها تزویج به تانک LC متصل نمی‌شوند. به عبارت دیگر، اثر مقاومت‌های R_b بر روی تانک LC کاهش یافته پس تاثیر کمتری بر ضریب کیفیت مدار می‌گذارند.

نویزفاز گزارش شده برای این ساختار در آفست فرکانسی ۱ MHz از فرکانس مرکزی ۲/۰۱ GHz برابر ۱۲۴ dBc/Hz- است. همچنین توان مصرفی این ساختار در ولتاژ تغذیه ۱ V برابر ۲/۲ mW گزارش شده است. در نتیجه ضریب شایستگی در تکنولوژی سه چاهک برابر ۱۸۶/۷ dBc- بدست می‌آید.

۳-۸ نوسان‌ساز استفاده مجدد از جریان با دامنه خروجی اصلاح شده

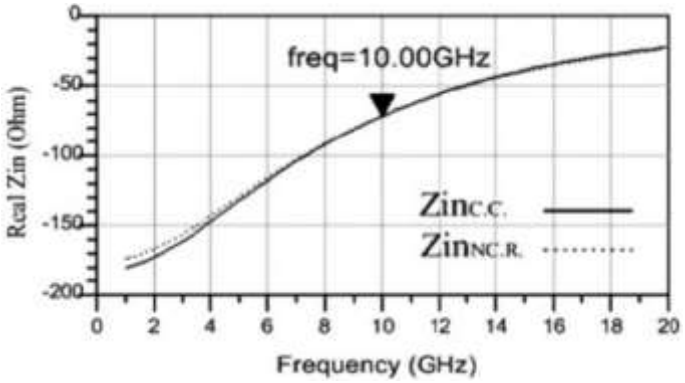
شکل ۳-۱۱ (الف) همان مدار نوسان‌ساز استفاده مجدد از جریان متداولی است که از ترانزیستورهای سوئیچ سری PMOS-NMOS تشکیل شده است. شکل ۳-۱۱ (ب)، مدار پیشنهادی با یک زوج اتصال-ضربدری NMOS اضافی در قسمت داخلی مدار نوسان‌ساز شکل ۳-۱۱ (الف) است. هنگامی که زوج اتصال-ضربدری NMOS در مدار اضافه می‌شود، مقاومت منفی دیگری را برای جبران تلفات عنصر غیرفعال تانک LC و بهبود پایداری نوسان‌ساز فراهم می‌کند [۳۱]. دلیل استفاده از VCO با تکنیک استفاده مجدد از جریان معمولا برای طراحی‌های کم توان است.



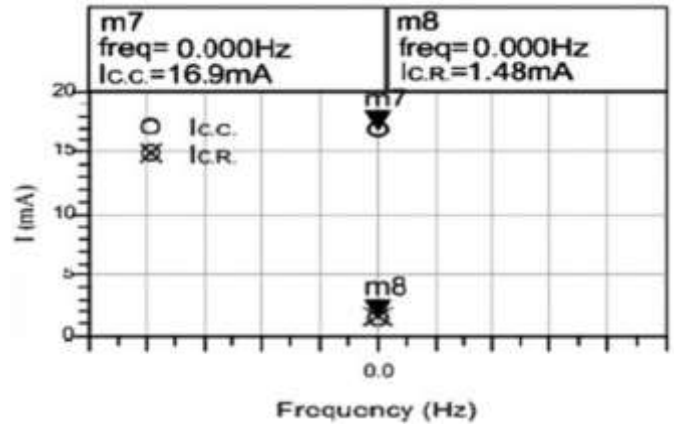
(ب) (الف)

شکل ۳-۱۱: (الف) ساختار استفاده مجدد از جریان متداول (ب) ساختار استفاده مجدد از جریان با یک زوج اتصال-ضربدری NMOS اضافی [۳۱]

برای مقایسه‌ی دو ساختار شکل ۳-۱۱، آن‌ها را در ولتاژ تغذیه یکسان و همچنین در ترارسانایی یا G_m ثابت قرار می‌دهیم. پس از شبیه‌سازی، در [۳۱] مشاهده می‌شود که ساختار استفاده مجدد از جریان متداول، ۱۴۸ میلی آمپر جریان مصرفی دارد و ساختار استفاده مجدد از جریان با یک زوج اتصال-ضربدری NMOS اضافی، ۱۶/۹ میلی آمپر جریان مصرفی دارد. پس می‌توان نتیجه گرفت که جریان مصرفی در مدار با ساختار استفاده مجدد از جریان با یک زوج اتصال-ضربدری NMOS اضافی، کوچک‌تر است. نتایج حاصل از رسم جریان در شکل ۳-۱۳ نشان می‌دهد که ساختار استفاده مجدد از جریان با یک زوج اتصال-ضربدری NMOS اضافی برای شروع نوسان نیاز به توان مصرفی کمتری نسبت به ساختار استفاده مجدد از جریان متداول دارد. این نتیجه برای مهندسین و طراحانی که قصد طراحی مدارهای کم توان را دارند بسیار کاربردی است [۳۱].



شکل ۳-۱۲: مقایسه مقدار مقاومت منفی ساختار استفاده مجدد از جریان متداول ($Zin_{C.C}$) و ساختار استفاده مجدد از جریان با یک زوج اتصال-ضربدری NMOS اضافی ($Zin_{NC.R}$) [۳۱]



شکل ۳-۱۳: مقایسه جریان مصرفی ساختار استفاده مجدد از جریان متداول ($I_{C.C}$) و ساختار استفاده مجدد از جریان با یک زوج اتصال-ضربدری NMOS اضافی ($I_{C.R}$) [۳۱]

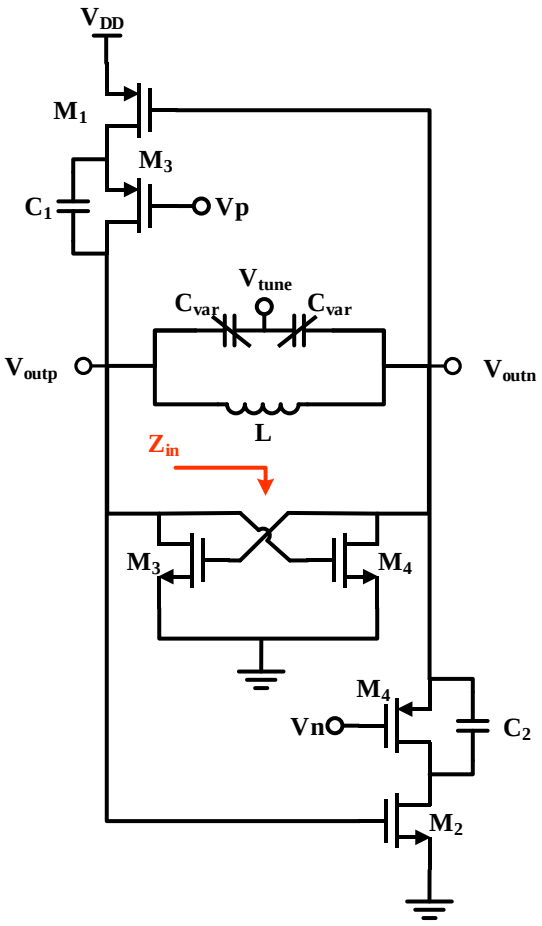
همانطور که قبلا هم اشاره شد، عمده‌ترین مشکل نوسان‌ساز پیشنهادی شکل ۳-۱۱، عدم تقارن شکل موج خروجی تفاضلی مدار است. علت این مسئله، نابرابر بودن ولتاژ خروجی در نیم سیکل اول و نیم سیکل دوم نوسان است. لازم به ذکر است، نامتقارن شدن شکل موج سینوسی خروجی تفاضلی نوسان‌ساز می‌تواند سبب بدتر شدن مسئله نویز گردد. برای حل این مشکل، می‌بایست ولتاژ خروجی نوسان‌ساز را از ناحیه محدود شونده با ولتاژ تغذیه به ناحیه محدود شونده با جریان تبدیل نمود. به عبارت دیگر با افزودن مقاومت‌های فعال در مدار نوسان‌ساز پیشنهادی شکل ۳-۱۱ می‌توان جریان راه‌اندازی مدار را کنترل نمود. به عنوان نمونه، ترانزیستورهای M_3 و M_4 در شکل ۳-۱۴ توسط ولتاژهای

V_p و V_n در ناحیه اهمی بایاس شده‌اند که با انتخاب مناسب اندازه دو ترانزیستور شکل سینوسی خروجی تفاضلی نوسان‌ساز متقارن خواهد شد. بنابراین در این ساختار ولتاژ خروجی برابر است با [۳۱]:

$$V_{OUTP} = V_{OUTN} \qquad (۸-۳)$$

$$g_{mp}(Z_{OUTP} \| Z_{in} \| Z_{\tan k}) = g_{mn}(Z_{OUTN} \| Z_{in} \| Z_{\tan k}) \qquad (۹-۳)$$

که در رابطه بالا Z_{OUTP} و Z_{OUTN} به ترتیب امپدانس دیده شده از نقطه‌های خروجی $outp$ و $outn$ است و $Z_{\tan k}$ امپدانس مدار تانک و Z_{in} امپدانس زوج ترانزیستورهای اتصال-ضربدری است.



شکل ۳-۱۴: نوسان‌ساز استفاده مجدد از جریان اصلاح شده با دامنه شکل موج سینوسی خروجی تفاضلی متقارن [۳۱]

خازن‌های C_1 و C_2 استفاده شده به صورت موازی با درین-سورس ترانزیستورهای M_3 و M_4 در جهت بهبود مشکل نویز اضافی در این ترانزیستورها استفاده شده است. اگر چه استفاده از این خازن‌ها

نویزفاز را بهبود می‌بخشد، از طرفی هم منجر به خراب شدن محدوده تنظیم فرکانسی خواهد شد که بیانگر مصالحه بین نویزفاز و محدوده تنظیم است.

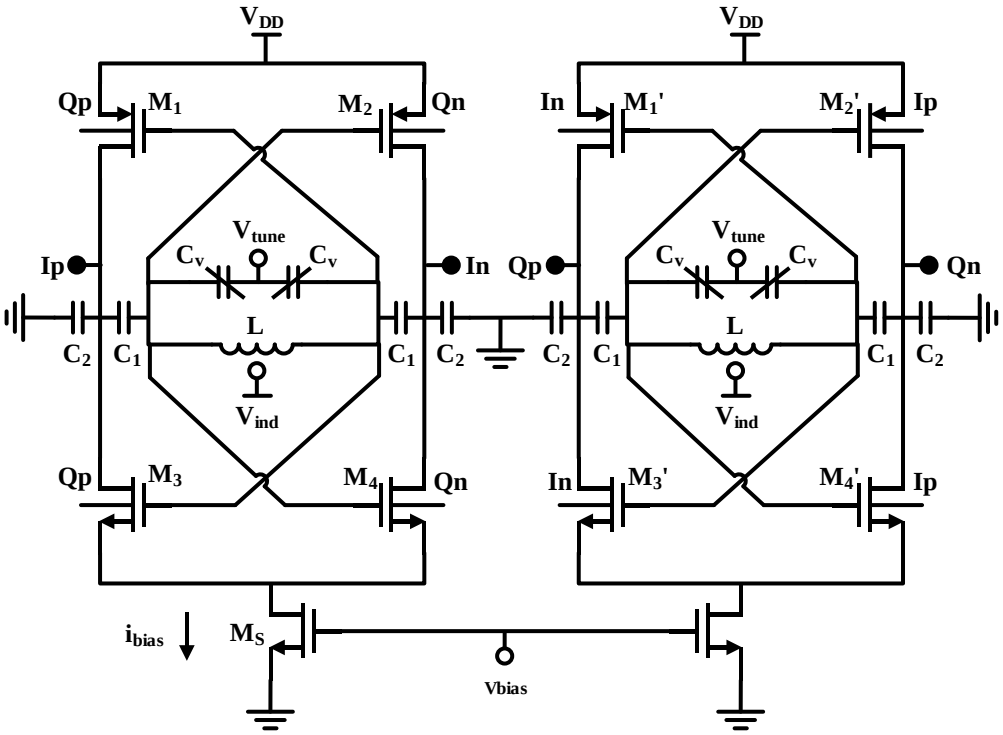
۳-۹ نوسان‌ساز متعامد با اتصال و تزویج بدنه مستقیم برای کاربردهای کم توان

از آنجایی که ساختارهای مکمل نسبت به ساختارهایی با هسته فقط PMOS و فقط NMOS، از ترارسانایی بزرگ‌تری برخوردارند که منجر به شروع نوسان و نویزفاز بهتری می‌شود، از این رو ساختار مکمل در [۳۲] انتخاب شده است. در این ساختار که در شکل ۳-۱۵ نشان داده شده است، ترانزیستورهای M_1، M_2، M_3 و M_4 یک هسته از نوسان‌ساز متعامد مکمل را تشکیل می‌دهند و تزویج از طریق بدنه‌ها انجام شده است که موجب حذف عناصر اضافی و بهبود توان مصرفی می‌شود. در ساختارهایی که از بدنه برای تزویج استفاده می‌شود، برای بایاس آن‌ها معمولا مقاومت و اتصال خازنی مورد استفاده قرار می‌گیرد، در این ساختار مکمل تزویج دو هسته از طریق بدنه به صورت مستقیم انجام شده است و از هیچ گونه عنصر اضافی برای تزویج استفاده نشده است که باعث کاهش نویز و توان مصرفی می‌شود. از طرفی هم ولتاژ مد مشترک سیگنال خروجی با بایاس مستقیم دیود سورس-بدنه این ترانزیستورها امکان دستیابی به ولتاژ آستانه پایین‌تر برای کاربردهای ولتاژ پایین را تا حدی فراهم می‌کند. لازم به ذکر است که بایاس مستقیم بدنه به کاهش نویز فلیکر در ترانزیستور PMOS نیز کمک می‌کند و در نتیجه باعث کاهش نویزفاز مدار می‌شود [۳۲].

به منظور کاهش نویزفاز، از نوسان‌سازهای کلاس C استفاده می‌شود. عملکرد نوسان‌سازهای کلاس C در مقایسه با نوسان‌سازهای کلاس B، علاوه بر کاهش زمان روشن بودن ترانزیستورها، باعث کاهش جریان مصرفی مدار می‌شود و منجر به کاهش نویز اعمالی به مدار می‌شود. همچنین می‌توان مشاهده کرد که در نوسان‌سازهای کلاس C، در لحظه گذر از صفر شکل موج ولتاژ، ترانزیستورهای PMOS خاموش هستند و از این رو، نویز تزریق شده ناچیز است. بنابراین، تابع حساسیت ضربه[1] QVCO به

[1] Impulse sensivity function (ISF)

طرز مطلوبی اصلاح شده است تا منجر به نویزفاز پایین شود. ترانزیسورها در این طرح که از نوسان-سازهای کلاس C استفاده شده، دارای چرخه وظیفه[1] ۳۰% می‌باشند. برای اطمینان از سیگنال‌های خروجی متقارن، اندازه ترانزیستورهای NMOS به گونه‌ای انتخاب می‌شود که ترارسانایی زوج‌های NMOS و PMOS با یکدیگر همسان شوند [۳۲].



شکل ۳-۱۵: نوسان‌ساز متعامد مکمل با تزویج مستقیم بدنه [۳۲]

خازن‌های C_1 و C_2 که بین تانک LC و زوج اتصال-ضربدری قرار گرفته‌اند، که یک تقسیم ولتاژ بین ولتاژ تانک LC و خروجی QVCO را تشکیل می‌دهد. این تقسیم ولتاژ باعث کاهش ولتاژ نوسان در خروجی می‌شود، همچنین گستره تنظیم فرکانسی را نیز کاهش می‌دهد، در حالی که دامنه تانک LC را حفظ می‌کند. نسبت مقدار خازن‌های C_1 و C_2 به ترتیب ۲ به ۳ است، به طوری که نوسان خروجی حدود ٪۶۰ دامنه تانک LC است [۳۲]. چرخه وظیفه با تغییر اندازه خازن‌های C_1 و C_2 تغییر می‌کند که کاهش چرخه وظیفه به این معناست که ترانزیستورها زمان بیشتری را در لحظه گذر از صفر خاموش

[1] duty cycle

می‌باشند، در نتیجه با کاهش زمان روشن بودن ترانزیستورها، نویز کمتری به مدار اعمال می‌کند و منجر به کاهش نویز مدار می‌شود.

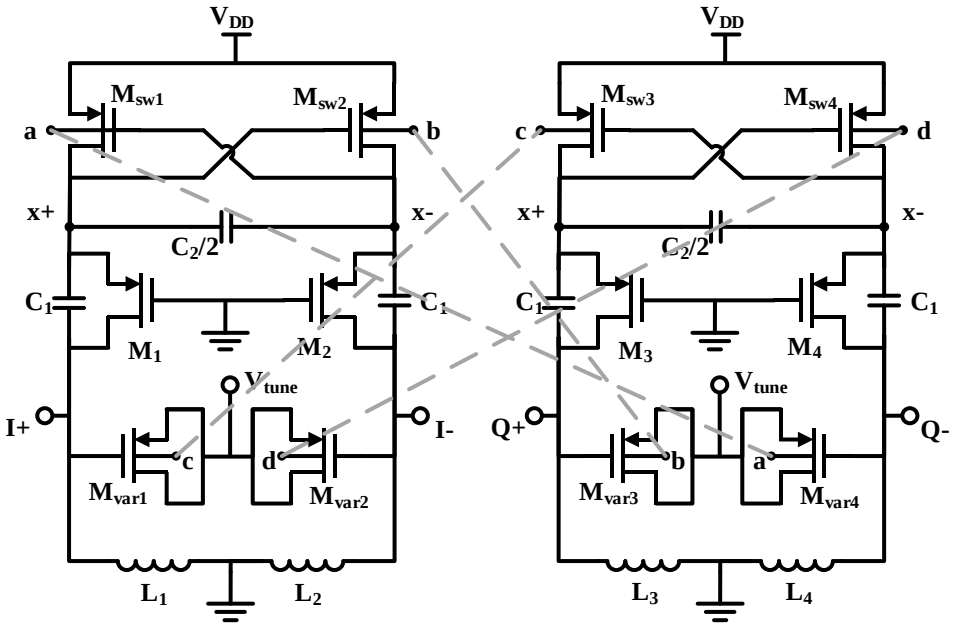
نویزفاز گزارش شده برای این ساختار در آفست فرکانسی ۱ MHz از فرکانس مرکزی ۶/۲۶ GHz برابر ۱۱۴/۲ dBc/Hz- است. همچنین توان مصرفی این ساختار در ولتاژ تغذیه ۱ V برابر ۳/۲ mW است. در نتیجه ضریب شایستگی ۱۸۵/۱ dBc- بدست می‌آید.

۳-۱۰ نوسان‌ساز متعامد کولپیتس با اتصال و تزویج بدنه مستقیم

در همه نوسان‌سازهای متعامد بیان شده تاکنون، شبکه تزویج شامل عنصرها و افزاره‌هایی است که هر کدام به نوعی کارایی مدار را کاهش می‌دهند. مثلا استفاده از عنصرهای فعال مانند ترانزیستور، سبب تزریق نویز اضافی به مدار و همچنین افزایش توان مصرفی می‌شود. استفاده از عنصرهای غیرفعال از جمله القاگر و خازن نیز، حتی اگر تأثیر منفی زیادی بر نویزفاز نوسان‌ساز متعامد نداشته باشد، اما پیاده‌سازی آن نیاز به مساحت بسیار زیادی بر روی تراشه دارند. علاوه بر این، هر چه تعداد عنصرهای تزویج فعال یا غیرفعال بیشتر باشد امکان ایجاد خطای فاز به علت وجود عدم تطابق بین عنصرها و به هم خوردن تقارن مدار نیز افزایش می‌یابد.

در [۳۳] نوسان‌ساز متعامد کولپیتس با اتصال و تزویج بدنه مستقیم ارائه شده است که شبکه تزویج در آن نیاز به هیچ عنصر اضافی تزویج ندارد. در این نوسان‌ساز متعامد که مدار آن در شکل ۳-۱۶ نشان داده شده، دو نوسان‌ساز کولپیتس تفاضلی یکسان از طریق بدنه ترانزیستورهای اتصال-ضربدری و بدنه ورکتورهای MOS به صورت هم‌فاز-فاز متقابل[1] با یکدیگر تزویج شده‌اند. بنابراین، با حذف عنصرهای اضافی، منابع نویز مدار کاهش یافته، توان تلفاتی در شبکه تزویج به حداقل مقدار خود رسیده و سطح مورد نیاز برای پیاده‌سازی آن بر روی تراشه نیز کاهش یافته است.

[1] in phase-anti phase



شکل ۳-۱۶: نوسان‌ساز متعامد کولپیتس با اتصال و تزویج بدنه مستقیم [۳۳]

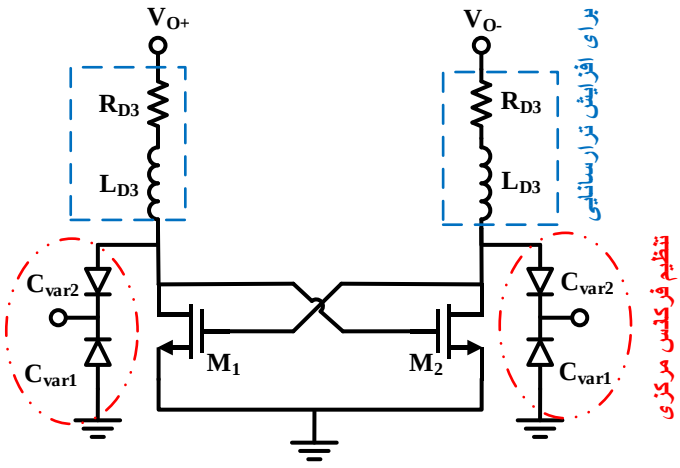
همانطور که در شکل ۳-۱۶ نشان داده شده است، بدنه ترانزیستورهای سوئیچ M_{swr3} و M_{sw4}، یعنی گره‌های c و d به بدنه ورکتورهای MOS، یعنی گره‌های c و d ترانزیستورهای M_{var1} و M_{var2}، به صورت هم‌فاز متصل شده‌اند. به طور مشابه بدنه ترانزیستورهای سوئیچ M_{sw1} و M_{sw2}، یعنی گره‌های a و b به بدنه ورکتورهای M_{var3} و M_{var4}، اما به صورت فاز متقابل متصل شده‌اند. به این ترتیب روش اتصال هم‌فاز-فاز متقابل برای تزویج هماهنگ‌های مرتبه اول بین دو هسته این نوسان‌ساز بدون نیاز به هیچ عنصر اضافی تزویج کننده برقرار شده است.

از آنجا که در یک تکنولوژی CMOS با ویفر نوع p (یا نوع n)، ترانزیستورهای PMOS (یا ترانزیستورهای NMOS) در چاهک‌های جداگانه قرار می‌گیرند، بدنه هر یک از آن‌ها را می‌توان به پتانسیل‌های متفاوتی متصل نمود. بنابراین اگر در این ساختار ورکتورها و ترانزیستورهای سوئیچ هر دو از فقط نوع p (یا فقط نوع n) انتخاب شوند، دیگر نیازی به استفاده از تکنولوژی‌های با سه چاهک نیست و این نوع ساختارها قابلیت پیاده‌سازی در تکنولوژی با یک چاهک را نیز خواهد داشت. اما همچنان از محدودیت این مدار می‌توان به غیر ممکن بودن پیاده‌سازی آن با ترانزیستورهای BJT اشاره کرد.

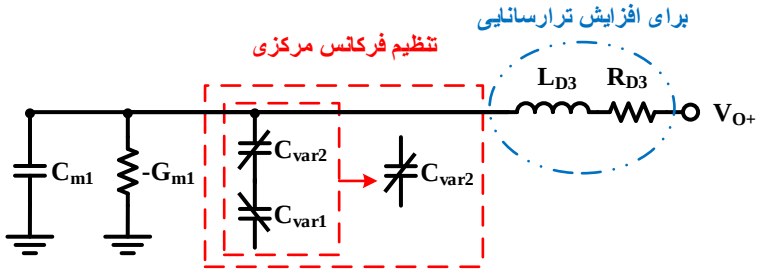
لازم به ذکر است که ویژگی مهم این ساختار، حذف هرگونه افزاره اضافی در شبکه تزویج و استفاده از خازن‌های ذاتی ترانزیستورها به عنوان عنصرهای تزویج است. همانطور که در شکل ۴-۱۶ نشان داده شده است، خازن‌های ذاتی گیت-بدنه و بدنه-درین در ترانزیستورهای سوئیچ و خازن گیت-بدنه در ورکتورها MOS نقش عنصرهای تزویج را بازی نموده و مسیر مورد نیاز برای تزریق هماهنگ‌های مرتبه اول از گره‌های خروجی هسته یک نوسان‌ساز به هسته‌ی نوسان‌ساز دیگر را فراهم می‌کنند. همچنین برای بهبود بیشتر نویزفاز، از ساختار نوسان‌سازهای کولپیتس با جریان سوئیچ‌شونده که نویزفاز بهتری از دیگر ساختارهای اتصال-ضربدری متداول دارند، انتخاب شده است و به این ترتیب به طور همزمان نویز هم در قسمت شبکه تزویج و هم در نوع ساختار هسته نوسان‌ساز انتخابی به کمترین مقدار ممکن کاهش داده شده است که انتظار بر آن است که نویزفاز کل مدار نوسان‌ساز متعامد پیشنهادی در این مرجع کاهش یابد [۳۳].

۳-۱۱ استفاده از القاگر سری در نوسان‌ساز اتصال-ضربدری LC

در [۳۴] روش دیگری برای بهبود ترارسانایی منفی بدون افزایش توان مصرفی ارائه شده است. در این ساختار همانطور که در شکل ۳-۱۷ نشان داده شده، از القاگر سری جهت بهبود ترارسانایی منفی استفاده شده است.



شکل ۳-۱۷: ساختار بهبود ترارسانایی منفی با استفاده از القاگر سری [۳۴]



شکل ۳-۱۸: مدل نیمه سیگنال کوچک ساختار شکل ۳-۱۷ [۳۴]

با توجه به مدل نیمه سیگنال کوچک ساختار بهبود ترارسانایی منفی که در شکل ۳-۱۸ نشان داده شده و با نوشتن روابط مداری KCL و KVL در گره خروجی و حلقه شکل ۳-۱۸، ترارسانایی منفی ساختار مورد نظر از رابطه (۳-۱۰) قابل محاسبه است [۳۴].

(۱۰-۳)

$$-G_{m2}=\frac{R_{D3}(C_{\mathrm{var}1,2}+C_{m1})^2\omega^2+G_{m1}(R_{D3}G_{m1}-1)}{L_{D3}^2(C_{\mathrm{var}1,2}+C_{m1})^2\omega^4+[L_{D3}^2G_{m1}^2-2L_{D3}(C_{\mathrm{var}1,2}+C_{m1})+R_{D3}^2(C_{\mathrm{var}1,2}+C_{m1})^2]\omega^2+(1-R_{D3}G_{m1})^2}$$

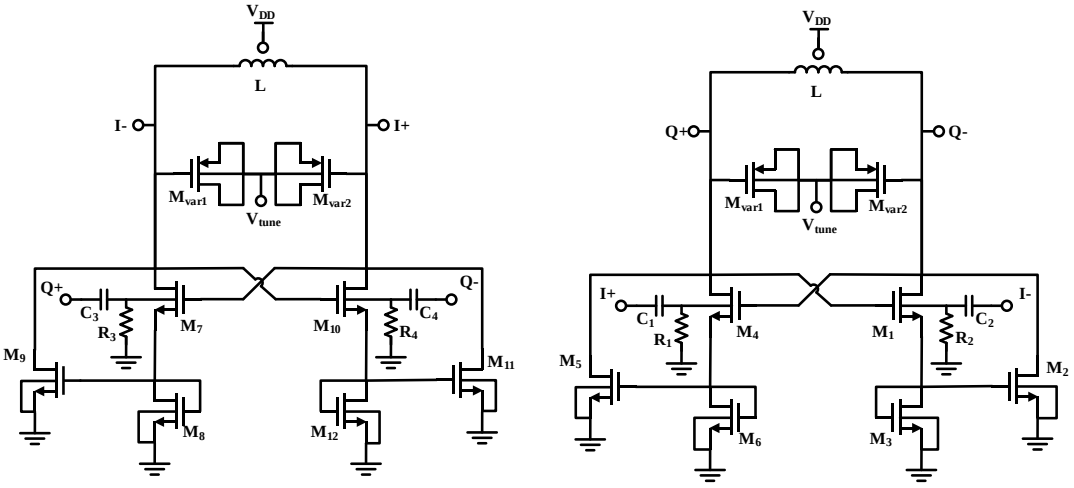
در این رابطه G_{m1} ترارسانایی دیده شده از درین ترانزیستورهای اتصال-ضربدری است که در فصل اول به محاسبه آن پرداختیم. مقاومت R_{D3} تلفات القاگر L_{D3} که به صورت سری مدل شده است و C_{m1} خازن پارازیتی مدار است. رابطه (۳-۱۰) بیانگر افزایش ترارسانایی منفی (بدون افزایش جریان) ناشی از القاگرهای سری با ترانزیستورهای اتصال-ضربدری فقط NMOS است.

از معایب این ساختار این است که القاگر فضای زیادی را روی تراشه اشغال می‌کند که برای پیاده‌سازی دو القاگر سری اضافی نیاز به مساحت بسیار زیادی بر روی تراشه دارد. به همین منظور برای کاهش فضای اشغال در فصل چهارم ساختار جدیدی ارائه شده است که در آن پیشنهاد می‌شود از خازن‌های موازی به جای القاگرهای سری جهت بهبود ترارسانایی منفی استفاده شود. علاوه بر این، هر چه تعداد عنصرها بیشتر باشد امکان ایجاد خطای فاز به علت وجود عدم تطابق بین عنصرها و به هم خوردن تقارن مدار نیز افزایش می‌یابد، برای رفع این مشکل می‌توان از القاگرهای سر وسط استفاده کرد. از طرفی هم القاگرهای سری اضافه شده بر ضریب کیفیت تانک LC نیز تاثیر می‌گذارد. لازم به ذکر است،

استفاده بیش از حد و یا انتخاب نامناسب مقادیر القاگرها، سبب محدود شدن گستره تنظیم فرکانس می‌شود، که بیانگر مصالحه بین ترارسانایی و گستره تنظیم است، در نتیجه برای انتخاب القاگرها باید دقت لازم را داشته باشیم.

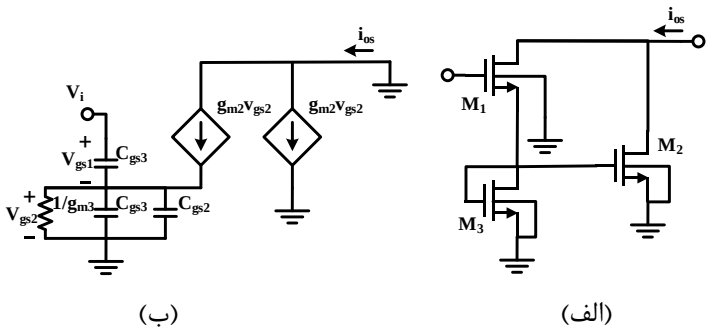
۳-۱۲ استفاده از سلول دارلینگتون در QVCO اتصال-ضربدری

در [۳۵] روش دیگری برای بهبود ترارسانایی منفی بدون افزایش توان مصرفی ارائه شده است. در این ساختار همانطور که در شکل ۳-۱۹ نشان داده شده، از سلول دارلینگتون جهت بهبود ترارسانایی منفی استفاده شده است.



شکل ۳-۱۹: ساختار بهبود ترارسانایی منفی با استفاده از سلول دارلینگتون [۳۵]

برای بدست آوردن ترارسانایی منفی سلول مذکور باید از مدل سیگنال کوچک شکل ۳-۲۰ (ب) استفاده کنیم.

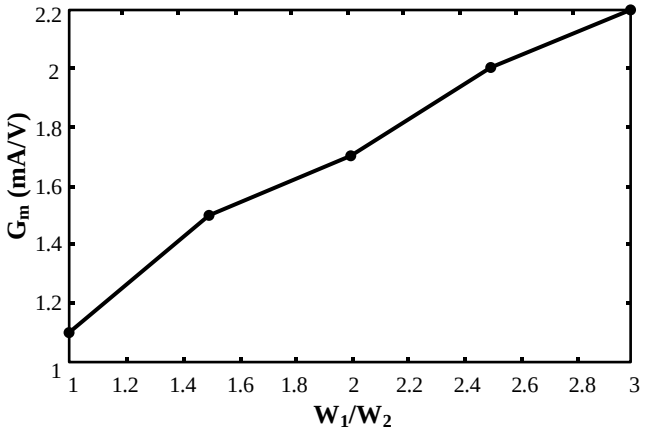


شکل ۳-۲۰: (الف) سلول دارلینگتون (ب) مدل سیگنال کوچک سلول دارلینگتون [۳۵]

با توجه به شکل ۳-۲۰ و نوشتن KCL و KVL های مورد نیاز، اندازه ترارسانایی حاصل از زوج دارلینگتون از رابطه ۳-۱۱ قابل محاسبه است [۳۵]:

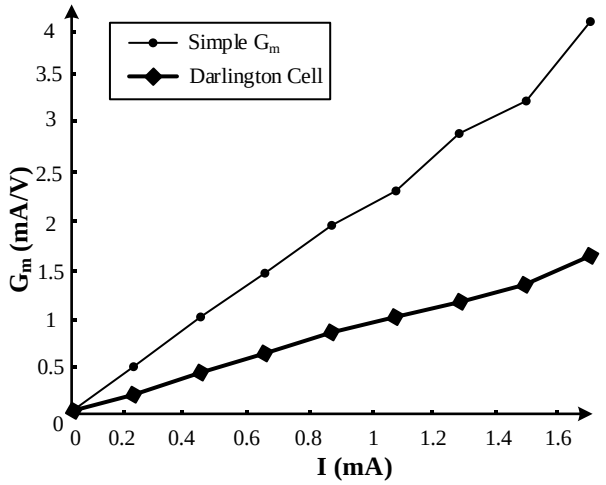
$$G_m = \frac{i_{os}}{v_i} = \frac{g_{m1}g_{m2} + g_{m1}g_{m3} + S[g_{m1}(C_{gs2} + C_{gs3}) + g_{m2}C_{gs1}]}{g_{m1} + g_{m3} + S(C_{gs1} + C_{gs2} + C_{gs3})} \qquad (۱۱-۳)$$

با داشتن رابطه ترارسانایی منفی موثر می‌توان نتیجه گرفت که اندازه ترانزیستورهای M_1 و M_2 مقدار این ترارسانایی در سلول دارلینگتون را مشخص می‌کند. بنابراین ترارسانایی بهینه می‌تواند با انتخاب صحیح نسبت W_1/W_2 حاصل شود. شکل ۳-۲۱ اندازه ترارسانایی به ازای مقادیر مختلف نسبت W_1/W_2 را نشان می‌دهد. مشاهده می‌شود هر چه نسبت W_1/W_2 بزرگتر باشد مقدار ترارسانایی، بیشتر می‌شود. این شبیه‌سازی برای فرکانس نوسان ۸/۴ GHz صورت گرفته است. [۳۵].



شکل ۳-۲۱: اندازه ترارسانایی منفی سلول دارلینگتون بر حسب نسبت ترانزیستورها [۳۵]

شکل ۳-۲۲ هم مقایسه‌ای بین ترارسانایی اتصال-ضربدری ساده با همتای سلول دارلینگتون آن در جریان‌های DC مختلف نشان داده شده است. همانطور که در شکل ۳-۲۲ نشان داده شده است، به ازای جریان یکسان ترارسانایی سلول دارلینگتون نسبت به ترارسانایی اتصال-ضربدری ساده بیشتر است. که این نتیجه بیانگر سهولت در شرط نوسان خروجی و افزایش ترارسانایی منفی موثر بدون افزایش جریان است که یکی از راه‌های کاهش توان مصرفی در نوسان‌سازها است. در فصل چهارم روش دیگری برای بهبود ترارسانایی بدون افزایش توان مصرفی ارائه می‌گردد.



شکل ۳-۲۲: مقایسه ترارسانایی اتصال-ضربدری ساده با همتای سلول دارلینگتون آن [۳۵]

۳-۱۳ خلاصه و نتیجه‌گیری

در این فصل بررسی انواع نوسان‌سازهای متعامد LC که هسته‌ی آن‌ها یکی از انواع نوسان‌سازهای اتصال-ضربدری استفاده مجدد از جریان و کولپیتس پرداخته شد که هر کدام از آن‌ها مبتنی بر ساختار کلاس C یا کلاس B بود و سپس برخی از تکنیک‌های تزویج کم نویز با توان مصرفی کم ارائه شد. همچنین نوسان‌سازهای متعامد بر اساس نوع هماهنگ تزریقی به دو دسته نوسان‌سازهای متعامد مرتبه اول و هماهنگ مرتبه دوم دسته‌بندی شده و ویژگی‌های انواع نوسان‌سازهای متعامد از نظر رفتار نویزفاز و توان مصرفی مورد بررسی قرار گرفت.

فصل چهارم

طراحی و شبیه‌سازی نوسان‌ساز متعامد استفاده مجدد از جریان پیشنهادی

۴-۱ مقدمه

همانطور که در فصل قبل توضیح داده شد، هسته مدار نوسان‌ساز با ساختار استفاده مجدد از جریان، توان مصرفی کمتری را در مقایسه با ساختار اتصال-ضربدری مکمل دارد. بنابراین در این پایان‌نامه نیز برای ارائه یک نوسان‌ساز متعامد با توان مصرفی کم از این نوع ساختارها استفاده می‌شود. در ابتدا به بررسی اجمالی به طراحی نوسان‌ساز پیشنهادی با ساختار استفاده مجدد از جریان پرداخته می‌شود، و پس از نشان دادن افزایش ترارسانایی توسط زوج ترانزیستورهای اتصال-ضربدری NMOS-PMOS، فقط NMOS و خازن‌های موازی با درین-سورس ترانزیستورها، سپس به تحلیل و اثبات افزایش ترارسانایی منفی موثر و متعامد بودن خروجی‌ها پرداخته می‌شود. در ضمن تزویج در ساختار پیشنهادی از طریق گیت زوج ترانزیستورهای اتصال-ضربدری NMOS صورت گرفته است، بنابراین نیازی به استفاده از هیچ عنصر اضافی در این ساختار نیست. لازم به ذکر است که این نوع روش تزویج کاملا جدید است.

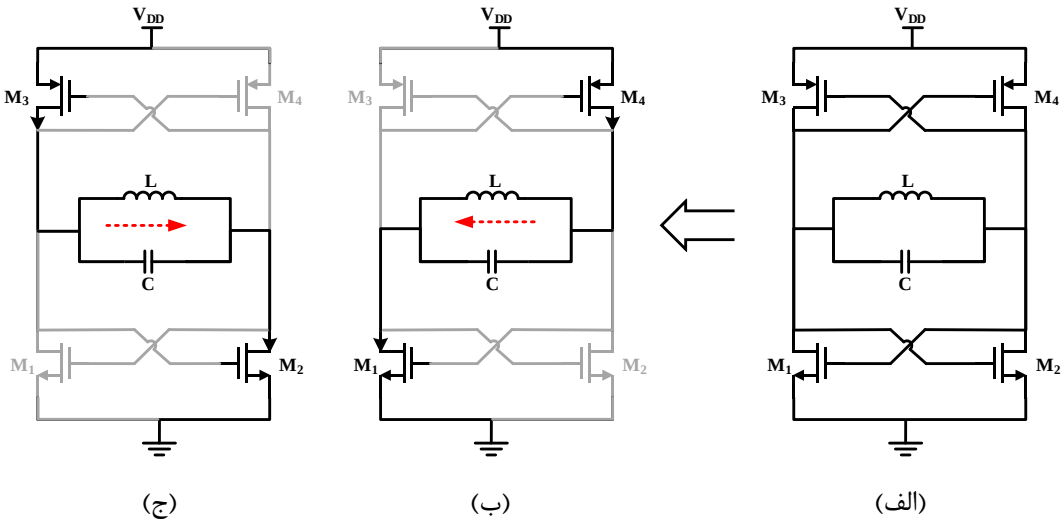
نتایج حاصل از شبیه‌سازی نشان می‌دهد که مدار نوسان‌ساز متعامد استفاده مجدد از جریان پیشنهادی ضمن کاهش توان مصرفی، نویزفاز و ضریب شایستگی مطلوبی دارد. مدار نوسان‌سان متعامد پیشنهادی با استفاده از نرم افزار ADS در تکنولوژی TSMC 0.18µm RF-CMOS طراحی و شبیه-سازی شده است و سپس با برخی از کارهای گذشته مقایسه می‌شود.

۴-۲ مروری بر عملکرد نوسان‌سازهای استفاده مجدد از جریان

در این قسمت به شرح مختصری بین نوسان‌سازهای اتصال-ضربدری مکمل و نوسان‌سازهای استفاده مجدد از جریان و مقایسه بین این دو مدار خواهیم پرداخت. شکل ۴-۱ و ۴-۲ به ترتیب دو نوسان‌ساز اتصال-ضربدری مکمل و نوسان‌ساز استفاده مجدد از جریان را نشان می‌دهد. در نوسان‌ساز اتصال-ضربدری مکمل ترارسانایی منفی جهت جبران تلفات مدار تانک LC، توسط چهار ترانزیستور $M_1 \sim M_4$ (زوج اتصال-ضربدری فقط PMOS و فقط NMOS) ساخته می‌شود، در صورتی که در نوسان‌ساز

استفاده مجدد از جریان شکل ۴-۲ صرفا از دو ترانزیستور M_1 و M_2 (زوج اتصال-ضربدری PMOS-NMOS) استفاده شده است. به عبارتی دیگر مدار نوسان‌ساز استفاده مجدد از جریان نیمی از مدار نوسان‌ساز اتصال-ضربدری مکمل است.

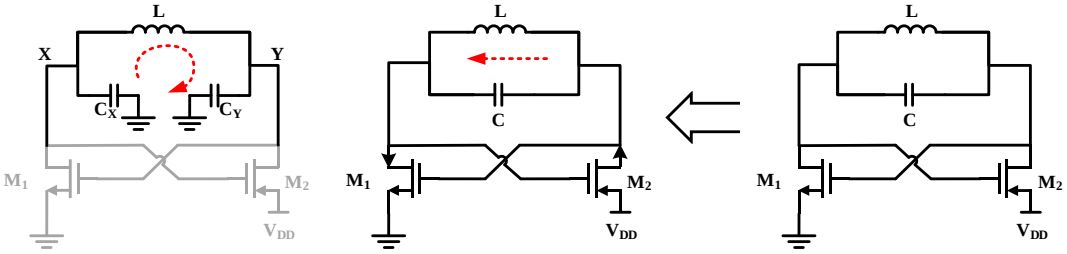
همانطور که در شکل ۴-۱ (ب) و (ج) نشان داده شده است، در طی نیم سیکل اول نوسان، ترانزیستورهای M_1 و M_4 روشن و ترانزیستورهای M_2 و M_3 خاموش می‌باشند، در این حالت جریان از راست به چپ در مدار تانک LC جاری است. و به طور مشابه در طی نیم سیکل دوم نوسان، ترانزیستورهای M_2 و M_3 روشن و ترانزیستورهای M_1 و M_4 خاموش می‌باشند، در این حالت جریان از چپ به راست در مدار تانک LC جاری است. بدین ترتیب دامنه جریان در این ساختار بین $-I_{ss}$ و $+I_{ss}$ تغییر می‌کند.



شکل ۴-۱: (الف) ساختار مکمل (ب) نیم سیکل اول (ج) نیم سیکل دوم

با توجه به شکل ۴-۲ (ب) و (ج)، نیم سیکل اول نوسان در ساختار استفاده مجدد از جریان مشابه مدار نوسان‌ساز اتصال-ضربدری مکمل عمل می‌کند، اما در طی نیم سیکل دوم نوسان ترانزیستورها خاموش می‌باشند. در این ساختار تغییرات دامنه جریان بین ۰ و $+I_{ss}$ است. بنابراین جریان مصرفی مدار در نوسان‌ساز استفاده مجدد از جریان، نصف مدار نوسان‌ساز اتصال-ضربدری مکمل است. از طرفی هم در این ساختار سوئینگ ولتاژ خروجی نیز نصف ساختار قبلی است.

لازم به ذکر است که ترارسانایی این مدار نیز تقریبا نصف ساختار مکمل است. در ادامه روش دیگری برای بهبود ترارسانایی بدون افزایش توان مصرفی ارائه می‌شود، بدین منظور از ساختار استفاده مجدد از جریان با یک زوج اتصال-ضربدری NMOS اضافی استفاده می‌شود.



شکل ۴-۲: (الف) ساختار استفاده مجدد از جریان (ب) نیم سیکل اول (ج) نیم سیکل دوم

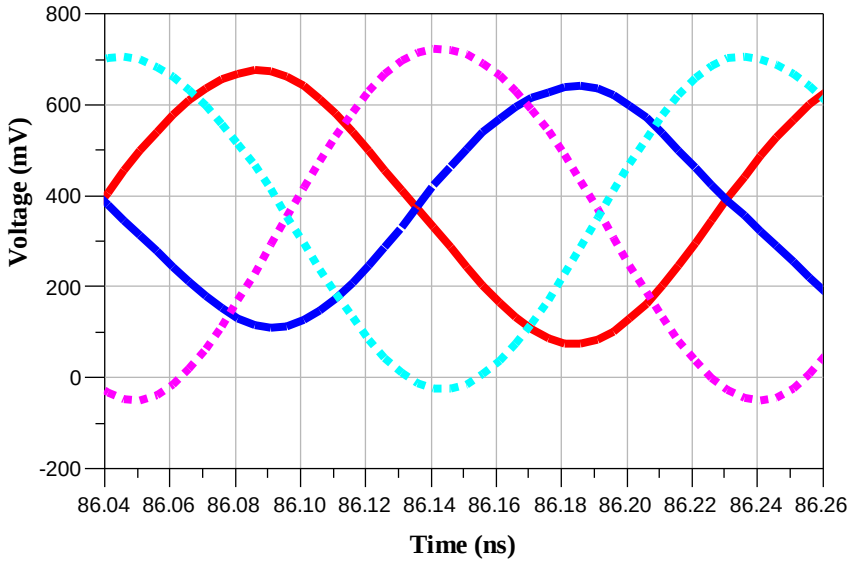
در ساختار استفاده مجدد از جریان خازن گره‌های X و Y به صورت $C_x = \frac{C}{2} + C_{px}$ و $C_y = \frac{C}{2} + C_{py}$ مدل می‌کنیم، که C_x و C_y به ترتیب خازن‌ها پارازیتی گره‌های X و Y می‌باشند. همانطور که اشاره کردیم در طی نیم سیکل اول نوسان، جهت جریان از V_{DD} به سمت زمین است و در طی نیم سیکل دوم نوسان، جریان از C_x و C_y در جهت مخالف جاری است. در این حالت ولتاژهای خروجی به مقادیر زیر محدود می‌شود:

$$\begin{aligned} V_{out+} &= V_{DD} \\ V_{out-} &= V_{DD} + V_{on2} - V_{on1} \end{aligned} \qquad (۱-۴)$$

در این رابطه V_{on1} و V_{on2} به ترتیب حداقل ولتاژ درین-سورس برای اشباع ترانزیستورها M_1 و M_2 است. همانطور که در رابطه (۴-۱) مشاهده می‌شود به علت نابرابر بودن ولتاژ خروجی در طی نیم سیکل اول و نیم سیکل دوم ($V_{out+} \neq V_{out-}$)، همانطور که در شکل ۳-۴ مشاهدی می‌شود، عدم تقارن دامنه شکل موج سینوسی خروجی ایجاد می‌شود که بزرگترین مشکل در نوسان‌سازهای با ساختار استفاده مجدد از جریان محسوب می‌شود [۳۸-۳۶]، برای حل این مشکل باید مدار نوسان‌ساز را از ناحیه محدود

شونده به ولتاژ به ناحیه محدود شونده به جریان تبدیل کرد تا جریان راه‌اندازی را کنترل نمود، که در فصل قبل مفصل راجع به آن توضیح داده شد.

در ادامه این فصل به توضیح راجع به کنترل جریان راه‌اندازی و ایجاد تقارن در دامنه شکل موج‌های سینوسی خروجی با استفاده از عنصرهای مدار نوسان‌ساز و بدون نیاز به هیچ نوع المان اضافی پرداخته خواهد شد.



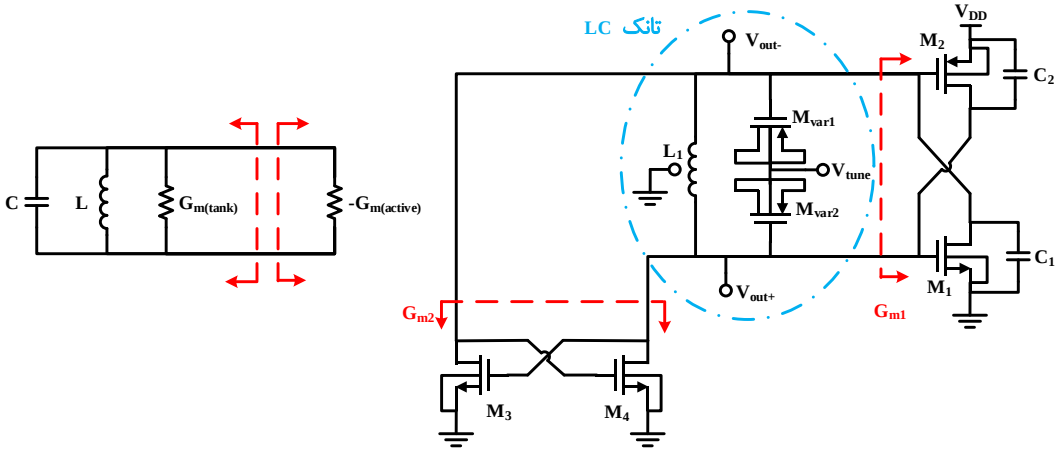
شکل ۴-۳: شکل موج تفاضلی خروجی نامتقارن [۳۹]

۴-۳ افزایش ترارسانایی منفی توسط خازن موازی و زوج اتصال-ضربدری NMOS

یکی از روش‌های کاهش توان مصرفی در نوسان‌سازها، سهولت در شرط نوسان است که مستلزم افزایش ترارسانایی منفی موثر بدون افزایش جریان است.

در بخش ۴-۲ عملکرد نوسان‌ساز مکمل جهت بهبود ترارسانایی منفی موثر توضیح داده شد. شکل ۴-۴ ساختار نوسان‌ساز استفاده مجدد از جریان با اتصال-ضربدری NMOS اضافی و خازن موازی را نشان می‌دهد، که یک روش دیگر برای افزایش ترارسانایی منفی موثر، بدون افزایش جریان مصرفی است. در واقع این ساختار همان ساختار نوسان‌ساز مکمل متداول است با این تفاوت که یکی از

ترانزیستورها PMOS آن تا شده[1] است که این تکنیک در جهت کاهش توان مصرفی بکار برده می‌شود [۴۰].



(ب) (الف)

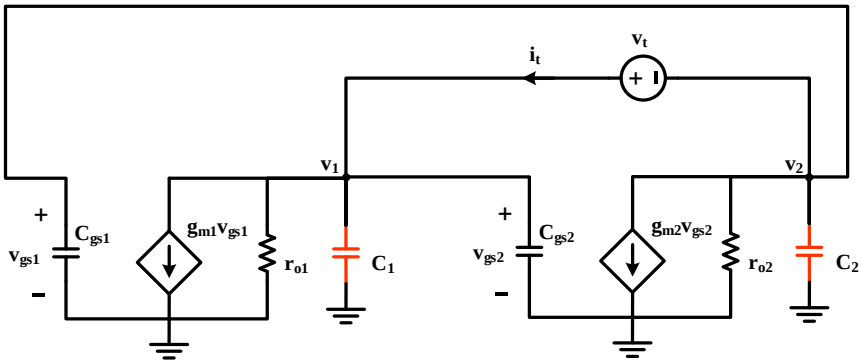
شکل ۴-۴: (الف) هسته نوسان‌ساز پیشنهادی (ب) حذف تلفات تانک LC با استفاده از مقاومت منفی

قبل از ارائه و بررسی عملکرد نوسان‌ساز متعامد پیشنهادی در این پایان‌نامه و نوع اتصال و تکنیک تزویج جدید بین دو هسته نوسان‌ساز پیشنهادی، به اثبات رابطه افزایش ترارسانایی[2] منفی موثر در ساختار هسته نوسان‌ساز شکل ۴-۴ می‌پردازیم.

۴-۴ اثبات افزایش ترارسانایی در ساختار پیشنهادی

این ساختار از دو ترارسانایی منفی موازی (G_{m1} و G_{m2}) با تانک LC تشکیل شده است. ابتدا برای بدست آوردن ترارسانایی منفی موثر هسته پیشنهادی شامل ترانزیستورهای M_1 و M_2 از مدل سیگنال کوچک شکل ۵-۴ استفاده می‌کنیم.

[1] Folded
[2] G_m-Boosting



شکل ۴-۵: مدل سیگنال کوچک مدار پیشنهادی

با توجه به مدل سیگنال کوچک مدار پیشنهادی در شکل ۴-۵ برای بدست آوردن امپدانس ورودی زوج اتصال-ضربدری کافی است از قضیه تونن استفاده کنیم. لازم به ذکر است که در محاسبه روابط زیر از r_o صرف نظر شده است. با نوشتن KCL در گره‌های خروجی v_1 و v_2 به ترتیب داریم:

$$-i_t + g_{m1}.v_{gs1} + v_1.c_1.s + v_1.c_{gs2}.s = 0 \qquad (۲-۴)$$

$$i_t + g_{m2}.v_{gs2} + v_2.c_2.s + v_2.c_{gs1}.s = 0 \qquad (۳-۴)$$

از طرفی هم می‌دانیم $v_1 = v_{gs2}$ و $v_2 = v_{gs1}$ پس داریم:

$$v_1 - v_2 = v_t \rightarrow v_1 = v_t + v_2 \rightarrow v_{gs2} = v_t + v_{gs1} \qquad (۴-۴)$$

با جایگذاری رابطه (۴-۴) در رابطه‌های (۴-۲) و (۴-۳) حاصل می‌شود:

$$-i_t + g_{m1}.v_{gs1} + v_{gs2}(c_1 + c_{gs2})s = 0 \rightarrow -i_t + g_{m1}.v_{gs1} + v_t(c_1 + c_{gs2})s + v_{gs1}(c_1 + c_{gs2})s = 0 \qquad (۵-۴)$$

$$i_t + g_{m2}.v_{gs2} + v_{gs1}(c_2 + c_{gs1})s = 0 \rightarrow i_t + g_{m2}.v_{gs2} + g_{m2}v_t + g_{m2}v_{gs1} + v_{gs1}(c_2 + c_{gs1})s = 0 \qquad (۶-۴)$$

با فرض $c = c_1 = c_2$ و جایگذاری $c_{gs} = c_{gs1} = c_{gs2}$ از رابطه‌ی (۴-۵) در $v_{gs1} = \dfrac{i_t - v_t(c + c_{gs})s}{g_{m1} + (c + c_{gs})s}$ رابطه‌ی (۴-۶) داریم:

$$\begin{aligned} &g_{m1}.i_t + i_t(c + c_{gs})s + g_{m1}.g_{m2}.v_t + g_{m2}.v_t(c + c_{gs})s + g_{m2}.i_t \\ &-g_{m2}.v_t(c + c_{gs})s + i_t(c + c_{gs})s - v_t(c + c_{gs})^2 s^2 = 0 \end{aligned} \qquad (۷-۴)$$

برای محاسبه امپدانس ورودی این زوج اتصال-ضربدری از قضیه تونن کافی است حاصل $\frac{v_t}{i_t}$ را بدست بیاوریم:

$$\frac{v_t}{i_t}=\frac{g_{m1}+(c+c_{gs})s+g_{m2}+(c+c_{gs})s}{-g_{m1}.g_{m2}-g_{m2}(c+c_{gs})s+g_{m2}(c+c_{gs})s+(c+c_{gs})^2s^2}=\frac{g_{m1}+g_{m2}+2(c+c_{gs})s}{-g_{m1}.g_{m2}+(c+c_{gs})^2s^2} \quad (۸-۴)$$

با فرض $g_m=g_{m1}=g_{m2}$ در رابطه (۴-۸) خواهیم داشت:

$$\begin{aligned}\frac{v_t}{i_t}&=2\times\frac{g_m+(c+c_{gs})s}{-g_m^2+(c+c_{gs})^2s^2}\\&=2\times\frac{g_m+(c+c_{gs})s}{[-g_m+(c+c_{gs})s]\times[g_m+(c+c_{gs})s]}\\&=-\frac{2}{g_m-(c+c_{gs})s}\end{aligned} \quad (۹-۴)$$

برای تفکیک قسمت موهومی و حقیقی امپدانس می‌توان صورت و مخرج حاصل از رابطه (۹-۴) را در مزدوج مخرج یعنی $g_m+(c+c_{gs})s$ ضرب می‌کنیم:

$$\frac{v_t}{i_t}=-\left[\frac{2g_m}{g_m^2+(c+c_{gs})^2\omega^2}+j\frac{2(c+c_{gs})\omega}{g_m^2+(c+c_{gs})^2\omega^2}\right] \quad (۱۰-۴)$$

حال می‌توان ترارسانایی منفی را به صورت عکس قسمت حقیقی عبارت فوق بیان نمود:

$$G_{m1}=\frac{i_t}{v_t}=-\frac{g_m^2+(c+c_{gs})^2\omega^2}{2g_m} \quad (۱۱-۴)$$

برای بدست آوردن امپدانس و ترارسانایی ورودی زوج اتصال-ضربدری NMOS شامل ترانزیستورهای M_3 و M_4 نیز به همین ترتیب عمل می‌کنیم، که حاصل کار رابطه زیر خواهد شد:

$$R=-\frac{2}{g_m}\rightarrow G_{m2}=-\frac{g_m}{2} \quad (۱۲-۴)$$

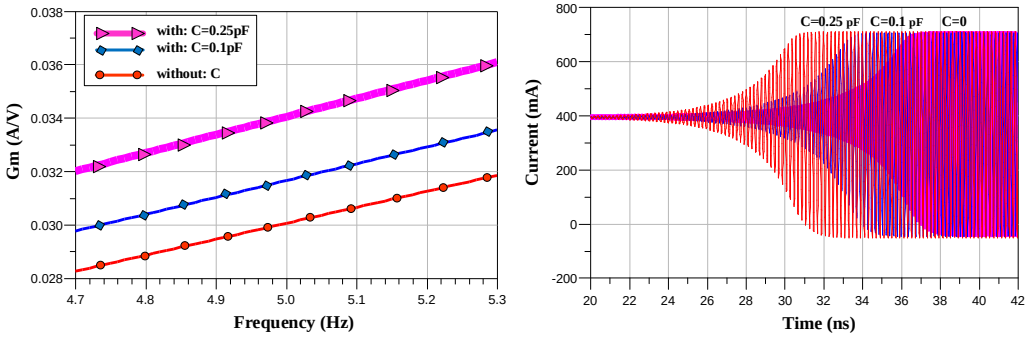
مقاومت‌های منفی حاصل با تانک LC موازی‌اند، پس ترارسانایی منفی موثر به صورت مجموع دو ترارسانایی منفی بدست می‌آید:

$$G_{m(active)} = G_{m1} + G_{m2} = -\left[\frac{g_m^2 + (c + c_{gs})^2 \omega^2}{2g_m} + \frac{g_m}{2}\right] \qquad (۱۳-۴)$$

رابطه (۴-۱۳) بیانگر افزایش ترارسانایی منفی (بدون افزایش جریان) ناشی از زوج ترانزیستورهای اتصال-ضربدری فقط NMOS و همچنین خازن‌های موازی با درین-سورس ترانزیستورها است. لازم به ذکر است که افزایش ترارسانایی منفی ناشی از خازن‌های موازی با درین-سورس ترانزیستورها روشی جدید است. از طرفی هم استفاده بیش از حد و یا انتخاب نامناسب مقادیر خازن‌ها، سبب محدود شدن گستره تنظیم فرکانس می‌شود، که بیانگر مصالحه بین ترارسانایی و گستره تنظیم است، در نتیجه برای انتخاب خازن‌ها باید دقت لازم را داشته باشیم.

افزایش ترارسانایی بدون افزایش جریان مصرفی به این معناست که در یک ترارسانایی دلخواه و ثابت جریان مصرفی کمتری نسبت به زوج اتصال-ضربدری متداول لازم است، در نتیجه افزایش ترارسانایی منفی بدون افزایش جریان، از طرفی باعث سهولت در شرط شروع نوسان می‌شود و از طرف دیگر یکی از روش‌های کاهش توان مصرفی محسوب می‌شود.

برای بررسی تاثیر خازن‌های C_1 و C_2 بر زمان شروع نوسان و اندازه ترارسانایی، نوسان‌ساز شکل ۴-۴ با پارامترهای مداری جدول ۴-۱ به ازای مقادیر مختلف خازن‌های C_1 و C_2 شبیه‌سازی و جریان کشیده شده از منبع تغذیه و اندازه ترارسانایی برای سه مقدار ۰، ۰/۱ و ۰/۲۵ پیکو فاراد از خازن‌های C_1 و C_2 در شکل ۴-۶ نشان داده شده است. همانطور که در این شکل ملاحظه می‌شود علی‌رغم برابر بودن جریان‌ها در هر سه حالت، افزایش خازن‌های C_1 و C_2 سبب بهبود ترارسانایی و زمان شروع نوسان می‌شود.



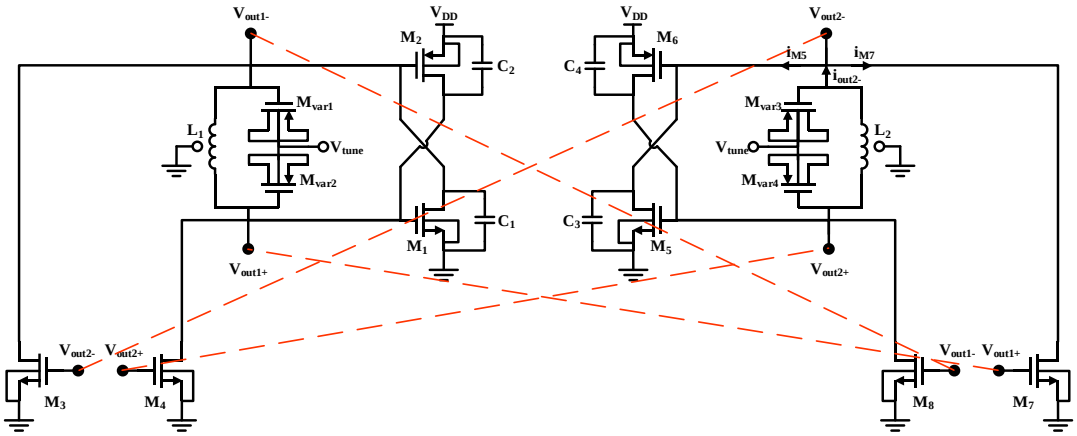
(ب) (الف)

شکل ۴-۶: (الف) زمان شروع نوسان و (ب) اندازه ترارسانایی به ازای مقادیر مختلف خازن‌های موازی (با فرض $C_1=C_2=C$)

۴-۵ نوسان‌ساز متعامد پیشنهادی

در همه نوسان‌سازهای متعامد بیان شده تاکنون، شبکه تزویج شامل عنصرهای اضافی می‌باشند که هر کدام به نوعی کارایی مدار را کاهش می‌دهند. مثلا استفاده از عنصرهای فعال مانند ترانزیستور، سبب تزریق نویز اضافی به مدار و همچنین افزایش توان مصرفی می‌شود. استفاده از عنصرهای غیرفعال از جمله القاگر و خازن نیز، حتی اگر تأثیر منفی زیادی بر نویزفاز نوسان‌ساز متعامد نداشته باشد، اما پیاده‌سازی آن نیاز به مساحت بسیار زیادی بر روی تراشه دارند. علاوه بر این، هر چه تعداد عنصرهای تزویج فعال یا غیرفعال بیشتر باشد امکان ایجاد خطای فاز به علت وجود عدم تطابق بین افزاره‌ها و به هم خوردن تقارن مدار نیز افزایش می‌یابد.

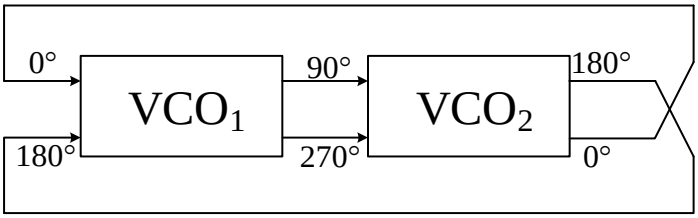
در این بخش نوسان‌ساز متعامد استفاده مجدد از جریان پیشنهادی با تزویج از طریق زوج اتصال-ضربدری NMOS اضافی که در جهت افزایش ترارسانایی به کار برده شده است، ارائه می‌گردد که در آن شبکه تزویج نیاز به هیچ عنصر اضافی ندارد. در این نوسان‌ساز متعامد پیشنهادی که مدار آن در شکل ۴-۷ نشان داده شده، از دو هسته نوسان‌ساز استفاده مجدد از جریان تفاضلی یکسان بهره گرفته شده است که از طریق ترانزیستورهای اتصال-ضربدری NMOS به یکدیگر تزویج شده‌اند.



شکل ۴-۷: ساختار نوسان‌ساز متعامد استفاده مجدد از جریان پیشنهادی

ترانزیستورهای اتصال-ضربدری NMOS از طریق گیت مسیر مورد نیاز برای تزریق هماهنگ‌های مرتبه اول را از گره‌های خروجی هسته یک نوسان‌ساز به هسته‌ی نوسان‌ساز دیگر فراهم می‌کنند. بنابراین، با حذف عنصرهای اضافی، منابع نویز مدار کاهش یافته، تلفات توان در شبکه تزویج به حداقل مقدار خود رسیده و سطح مورد نیاز برای پیاده‌سازی آن بر روی تراشه نیز کاهش یافته است.

همانطور که در شکل ۴-۷ نشان داده شده است، گیت ترانزیستورهای سوئیچ M_3 و M_4، از هسته اول (هسته سمت چپ) به ترتیب به خروجی هسته دوم (هسته سمت راست) یعنی گره‌های V_{out2+} و V_{out2-} به صورت هم‌فاز متصل شده‌اند. به طور مشابه گیت ترانزیستورهای سوئیچ M_8 و M_7، از هسته دوم به ترتیب به خروجی هسته اول یعنی گره‌های V_{out1-} و V_{out1+} اما به صورت فاز متقابل متصل شده‌اند. به این ترتیب روش اتصال هم‌فاز-فاز متقابل برای تزویج هماهنگ‌های مرتبه اول (نقاط تفاضلی) بین دو هسته این نوسان‌ساز برقرار شده است.



شکل ۴-۸: بلوک دیاگرام اتصال هم‌فاز-فاز متقابل [۴۱]

در شکل ۴-۸ نیز اتصال هم‌فاز-فاز متقابل برای مفهوم بهتر این موضوع به صورت بلوک دیاگرام نمایش داده شده است، که این ساختار در سال ۱۹۹۶ توسط رفوگران برای تزویج دو هسته نوسان‌ساز به یکدیگر معرفی شد [۳۰].

با توجه به اینکه دو نوسان‌ساز هسته کاملا مشابه هم هستند و گره‌های خروجی آن‌ها دارای ولتاژ مد مشترک یکسانی هستند، اتصال گیت ترانزیستورهای M_3 و M_4 (یا M_8 و M_7) به خروجی‌های نوسان‌ساز دیگر هیچ خللی را در نقطه کار آن‌ها ایجاد نمی‌کند و نیاز به بایاس جداگانه گیت این ترانزیستورها نیست. لازم به ذکر است که در ساختار پیشنهادی ترانزیستورهای تزویج در جهت کاهش توان مصرفی به صورت خود بایاس[1] تغذیه می‌شود [۲۸] [۴۲].

همانطور که قبلا شرح داده شد، برای کاهش بیشتر توان مصرفی، ساختار نوسان‌ساز هسته از نوع استفاده مجدد از جریان با زوج اتصال-ضربدری NMOS اضافی انتخاب شده است که توان مصرفی بهتری از دیگر ساختارهای اتصال-ضربدری استفاده مجدد از جریان متداول دارند. به این ترتیب توان مصرفی در قسمت شبکه تزویج و در نوع ساختار هسته نوسان‌ساز انتخابی به کمترین مقدار ممکن کاهش داده شده است که انتظار بر آن است که توان مصرفی کل مدار نوسان‌ساز متعامد پیشنهادی نیز کاهش یابد.

تزویج از طریق بدنه، نویز زیر لایه را به مدار نوسان‌ساز تزریق می‌کند که منجر به افزایش نویز مدار می‌شود. از طرفی هم ترارسانایی بدنه نسبت به گیت کوچک‌تر است، در نتیجه بین دو هسته نوسان‌ساز متعامد اتصال محکمی برقرار نخواهد شد به عبارتی دیگر زمانی از تزویج از طریق بدنه استفاده می‌کنیم که گیت ترانزیستور در دسترس نباشد. در نتیجه در تزویج جدید ارائه شده در ساختار نوسان‌ساز متعامد پیشنهادی دیگر مشکلات مربوط به تزویج از طریق بدنه را نداریم. از آنجایی که از بدنه برای تزویج استفاده نشده می‌توان برای بهبود هر چه بیشتر عملکرد و کارایی مدار به جای استفاده از تکنولوژی

[1] Self bias

CMOS از BiCMOS نیز استفاده کرد. همچنین مشکلات مربوط به تزویج موازی و سری به منظور افزایش چهار ترانزیستور اضافی را نیز در ساختار پیشنهادی نداریم.

۴-۶ تحلیل و اثباتی بر متعامد بودن خروجی‌های ساختار پیشنهادی

برای این که نشان دهیم ساختار پیشنهادی یک نوسان‌ساز متعامد است، باید اثبات کنیم که بین سیگنال‌های خروجی این نوسان‌ساز اختلاف فاز ۹۰ درجه وجود دارد. بدین منظور تحلیل خطی با فرض حالت دائمی سینوسی ولتاژ و جریان‌های مدار در حوزه فازور و در نظر نگرفتن برخی اثرات غیر خطی ارائه شده است.

با نوشتن KCL در گره خروجی v_{out2-} مدار شکل ۴-۷ داریم:

$$i_{out2-} = i_{M7} + i_{M5} \qquad (۱۴-۴)$$

جریان ترانزیستور بدون در نظر گرفتن r_O ترانزیستورها برابر $i = G_m.v_{gs}$ است، پس داریم:

$$i_{out2-} = G_{m7}.v_{gs7} + G_{m5}.v_{gs5} \qquad (۱۵-۴)$$

در رابطه (۴-۱۵) ترارسانایی ترانزیستورها در حالت سیگنال بزرگ در نظر گرفته شده است. از طرفی در مدار پیشنهادی $v_{gs7} = v_{out1+}$ و $v_{gs5} = v_{out2+}$ است. پس خواهیم داشت:

$$i_{out2-} = G_{m7}.v_{out1+} + G_{m5}.v_{out2+} \qquad (۱۶-۴)$$

همچنین ولتاژ در گره خروجی v_{out2-} برابر رابطه (۴-۱۷) است.

$$v_{out2-} = -i_{out2-}.Z(j\omega) \qquad (۱۷-۴)$$

در این رابطه $Z(j\omega)$ امپدانس تانک دیده شده از درین ترانزیستور M_2 است.

با جایگذاری رابطه (۴-۱۶) در (۴-۱۷) داریم:

$$v_{out2-} = -Z(j\omega).[G_{m7}.v_{out1+} + G_{m5}.v_{out2+}] \quad (۱۸-۴)$$

با توجه به تفاضلی بودن مدار روابط $v_{out1-} = -v_{out1+}$ و $v_{out2-} = -v_{out2+}$ برقرار است و با فرض برابری ترارسانایی ترانزیستورها در حالت سیگنال بزرگ خواهیم داشت:

$$v_{out2-} = Z(j\omega).G_m.[v_{out1-} + v_{out2-}] \quad (۱۹-۴)$$

با توجه به تقارن مدار می‌توان به طور مشابه ولتاژ درگره خروجی v_{out1-} را نیز محاسبه کرد.

$$v_{out1-} = Z(j\omega).G_m.[v_{out1-} - v_{out2-}] \quad (۲۰-۴)$$

اگر دو طرف رابطه (۴-۱۹) و (۴-۲۰) را به ترتیب در v_{out2-} و v_{out1-} ضرب کنیم و سپس این دو رابطه را با هم جمع کنیم که در این صورت خواهیم داشت:

$$(1 - Z(j\omega).G_m).(v_{out2-})^2 + (1 - Z(j\omega).G_m).(v_{out1-})^2 = 0 \quad (۲۱-۴)$$

به علت تقارن مدار $|v_{out1+}| = |v_{out1-}| = |v_{out2+}| = |v_{out2-}|$ است، با توجه به این موضوع و با استفاده از رابطه (۴-۲۱) داریم:

$$v_{out2-} = \pm j v_{out1-} \quad (۲۲-۴)$$

این رابطه بیانگر این است که خروجی‌های v_{out1-} و v_{out2-} نسبت به هم اختلاف فاز ۹۰ درجه دارند، به عبارتی دیگر سیگنال‌های خروجی v_{out1-} و v_{out2-} متعامد می‌باشند. برای سایر خروجی‌ها نیز به طور مشابه همین تحلیل را می‌توان برای متعامد بودن انجام داد.

۴-۷ محاسبه و تحلیل ضریب تزویج

یکی از رابطه‌هایی که در نوسان‌سازهای متعامد مطرح می‌شود ضریب تزویج است که هر چه اندازه سیگنال تزرق شده از یک نوسان‌ساز هسته به نوسان‌ساز هسته دیگر قوی‌تر باشد، قوت تزویج بیشتر و

خطای فاز کمتر می‌شود. ضریب تزویج α با نسبت جریان تزویج به جریان سوئیچ برای تعیین قوت تزویج بین دو نوسان‌ساز هسته محاسبه می‌شود.

$$\alpha = \frac{I_{cp}}{I_{sw}} = \frac{I_{M7}}{I_{M5} + I_{M7}} \qquad (۲۳-۴)$$

جریان تزویج I_{cp} و جریان سوئیچ I_{sw} به ترتیب ناشی از ترارسانایی گیت ترانزیستورهای تزویج و سوئیچ در حالت سیگنال بزرگ است که مقدار آن‌ها برابر است با:

$$I_{M7} = G_{M7}.V_{gs7} \qquad (۲۴-۴)$$

$$I_{M5} = G_{M5}.V_{gs5} \qquad (۲۵-۴)$$

با توجه به شکل ۴-۷، $V_{gs7} = V_{out1+}$ و $V_{gs5} = V_{out2+}$ است. پس داریم:

$$I_{M7} = G_{M7}.V_{out1+} \qquad (۲۶-۴)$$

$$I_{M5} = G_{M5}.V_{out2+} \qquad (۲۷-۴)$$

که با جایگذاری رابطه‌های (۴-۲۶) و (۴-۲۷) در (۴-۲۳) ضریب تزویج به صورت زیر بدست می‌آید:

$$\alpha = \frac{G_{m7}.V_{out1+}}{G_{m5}.V_{out2+} + G_{m7}.V_{out1+}} \qquad (۲۸-۴)$$

از آنجایی که ترانزیستور M_7 به عنوان یک تقویت‌کننده سورس-مشترک با بهره A_{V5} عمل می‌کند، داریم:

$$A_{V7} = \frac{V_{out1+}}{V_{out2-}} \qquad (۲۹-۴)$$

و با توجه به تقارن مدار و هم اندازه بودن خروجی‌ها و همچنین تفاضلی بودن مدار ($V_{out2-} = -V_{out2+}$) با جایگذاری رابطه (۴-۲۹) در (۴-۲۸) داریم:

$$\alpha = \frac{-A_{V7}.G_{m7}}{G_{m5} - A_{V7}.G_{m7}} \qquad (۳۰-۴)$$

که در این رابطه با افزایش اندازه ترانزیستورهای تزویج، بهره و ترارسانایی افزایش می‌یابد که منجر به افزایش بیشتر ضریب تزویج می‌شود. اما افزایش اندازه ترانزیستورهای سوئیچ باعث کاهش ضریب تزویج می‌شود از طرفی هم باعث افزایش ترارسانایی نیز می‌شود که این امر سبب ایجاد یک مصالحه می‌شود. به همین منظور اندازه ترانزیستورهای سوئیچ را تا حدی که شرط شروع نوسان را برقرار کند در نظر می‌گیریم. در نتیجه خازن‌هایی موازی با درین-سورس ترانزیستورهای سوئیچ در نظر گرفته می‌شود تا ترارسانایی منفی را طبق رابطه (۴-۱۳) افزایش دهد. از طرفی هم با افزایش اندازه ترانزیستورهای تزویج، خازن c_{gs} آن نیز افزایش می‌یابد و از آنجایی که خازن‌هایی موازی با درین-سورس با خازن c_{gs} موازی می‌شوند، دیگر نیازی به افزودن خازن‌های موازی با درین-سورس ترانزیستورهای تزویج نیست چرا که با افزایش بیش از حد خازن‌ها به مدار گستره تنظیم کاهش می‌یابد.

۴-۸ شبیه‌سازی و مقایسه ساختار پیشنهادی

مدار نوسان‌ساز متعامد استفاده مجدد از جریان پیشنهادی ارائه شده در شکل ۴-۷ با پارامترهای جدول ۴-۱ در تکنولوژی TSMC 0.18μm RF-CMOS و با استفاده از نرم افزار ADS طراحی و شبیه‌سازی شده است. مدار تانک این ساختار شامل یک القاگر سه سر مارپیچی با سر وسط[1] است. همچنین ورکتورهای به کاربرده شده از نوع PMOS با اتصال S=D=B است.

شکل موج‌های خروجی این ساختار در شکل ۴-۸ نشان داده شده است. همانطور که از شکل مشخص است، خروجی‌ها نسبت به هم متعامد می‌باشند.

[1] 3-Port Center-Tapped Spiral Inductor

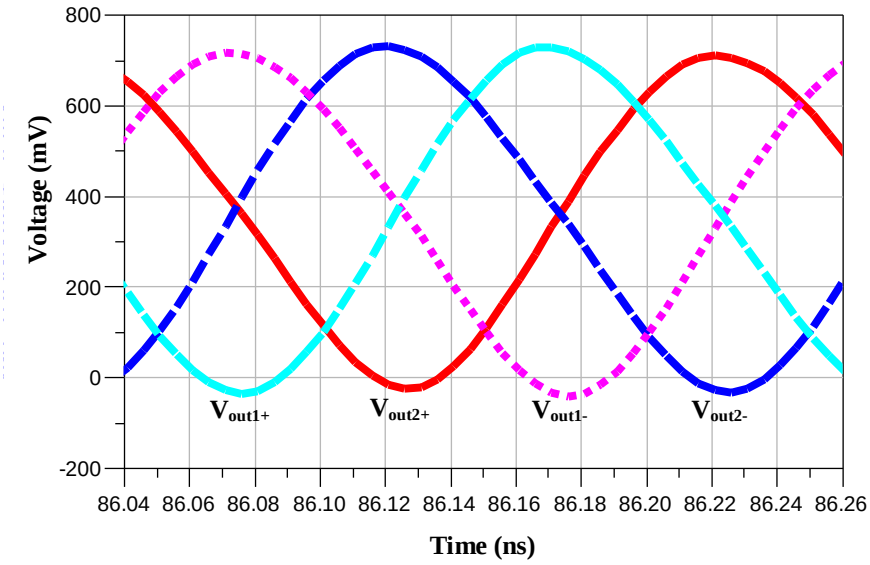
جدول ۴-۱: اندازه عنصرهای ساختار پیشنهادی

پارامتر	اندازه	پارامتر	اندازه
M_1, M_5	$28\mu m / 0.18\mu m$	M_2, M_6	$197\mu m / 0.18\mu m$
M_{var}	$400\mu m / 0.25\mu m$	M_3, M_4, M_7, M_8	$400\mu m / 0.4\mu m$
c_2, c_4	$0.25pF$	c_1, c_3	$0.2pF$
V_{DD}	$0.8V$	V_{tune}	$0.3V$
		L^*	$0.34nH$

*القاگر سه سر مارپیچی با سر وسط استفاده شده در مدار تانک ساختار پیشنهادی با مشخصات پهنای[1] ۳۰ µm، تعداد دور پیچ[2] ۱/۸۵، شعاع[3] ۶۲/۱ µm و سطح فلز ۶ در نظر گرفته شده است، که اندازه القاگر معادل ۰/۳۴ nH است.

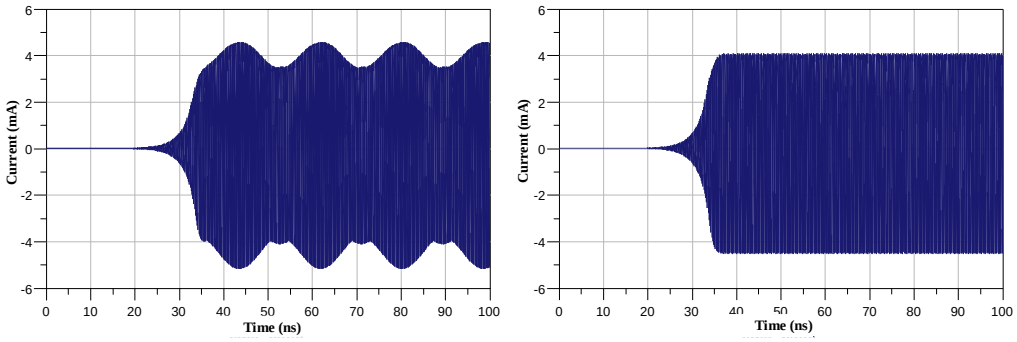
همانطور که در فصل سوم به طور مفصل به آن پرداختیم، به منظور تقارن دامنه‌های خروجی در نوسان‌سازها با ساختار استفاده مجدد از جریان، یا از فیدبک‌های مد مشترک در جهت تقارن استفاده می‌شود یا از عنصرهایی از جمله مقاومت، القاگر و ترانزیستور بایاس شده در ناحیه خطی استفاده می‌شود که باعث می‌شوند نوسان‌ساز به جای حالت ولتاژ محدود در حالت جریان محدود نوسان کند و نوسان تابعی از پیک جریان شود تا با تنظیم مقادیر این عنصرها، به خروجی‌های متعامد با دامنه متقارن دست یابند. اما در ساختار پیشنهادی، بدون هیچ عنصر اضافی از جمله مقاومت یا ترانزیستور ناحیه خطی، القاگر و هیچ نوع فیدبک مد مشترکی و حتی هیچگونه اتصال اضافی به واسطه تزویج از طریق بدنه، نوسان‌ساز در حالت جریان محدود نوسان می‌کند، فقط کافیست که با تغییر اندازه ترانزیستورهای تزویج، نوسان تابعی از پیک جریان شود. همانطور که در شکل ۴-۹ مشاهده می‌شود، شکل موج‌های خروجی از تقارن دامنه خوبی برخوردارند.

[1] Width (w)
[2] Number of turns (nr)
[3] Radius (rad)



شکل ۴-۹: شکل موج‌های خروجی ساختار پیشنهادی

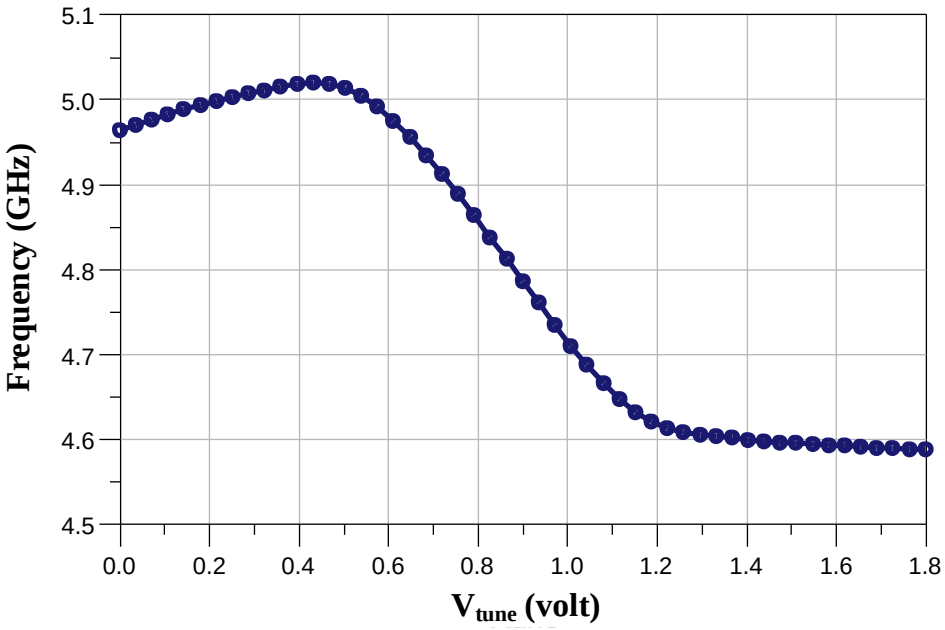
همانطور که در فصل اول نیز به آن اشاره شد از آنجایی که شکل موج‌های خروجی در نوسان‌سازهای LC سینوسی است و گیت ترانزیستورهای سوئیچ نیز به خروجی‌ها متصل می‌باشند، پس ولتاژ گیت ترانزیستورها در طول هر دوره تناوب از نوسان تغییر می‌کنند، در نتیجه جریان ترانزیستورها نیز دارای شکل موج سینوسی می‌باشند. با شبیه‌سازی نوسان‌ساز متعامد پیشنهادی با استفاده از گزینه i_probe در نرم‌افزار ADS شکل موج جریان بدست می‌آید، با توجه به شکل ۴-۴ (الف) یکنواخت بودن پوش سیگنال جریان حاکی از تقارن در دامنه شکل موج‌های خروجی نوسان‌ساز متعامد پیشنهادی است. با تحلیل مشابه شکل موج جریان در شکل ۴-۴ (ب) به علت عدم یکنواختی و سینوسی بودن پوش سیگنال جریان، بیانگر عدم تقارن در دامنه شکل موج‌های خروجی نوسان‌ساز متعامد استفاده مجدد از جریان است. لازم به ذکر است این تحلیل به صورت تجربی است و با شبیه‌سازی‌های متعدد به این نتیجه رسیده‌ایم.



(ب) (الف)

شکل ۴-۱۰: (الف) تقارن و (ب) عدم تقارن در شکل موج جریان ناشی از تقارن یا عدم تقارن دامنه ولتاژهای خروجی

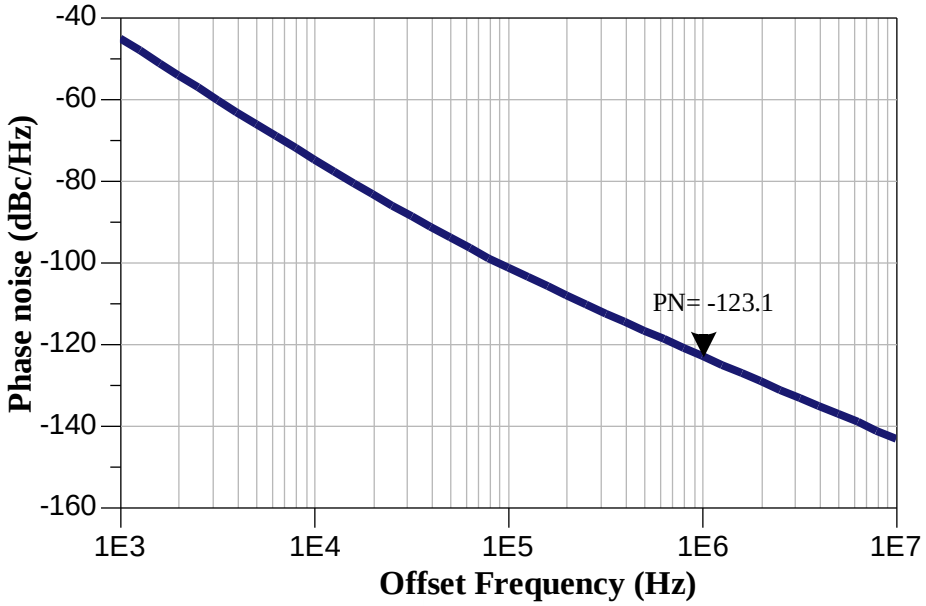
شکل ۴-۱۱ منحنی تغییرات فرکانس بر حسب تغییرات ولتاژ کنترل را نشان می‌دهد. با تغییر ولتاژ کنترل از ۰/۴۲ V تا ۱/۲۵ V، گستره فرکانسی از ۴/۶ GHz تا ۵/۰۵ GHz تغییر خواهد کرد که طبق رابطه (۲-۵) معادل با گستره تنظیم برابر با ۹/۳۳ % است.



شکل ۴-۱۱: گستره تنظیم فرکانسی بر حسب ولتاژ کنترل

در شکل ۴-۱۲ نویزفاز نوسان‌ساز متعامد پیشنهادی به عنوان یکی از مشخصه‌های مهم در هر نوسان‌ساز متعامد رسم شده است. نویزفاز شبیه‌سازی شده در این ساختار در آفست فرکانسی ۱ MHz

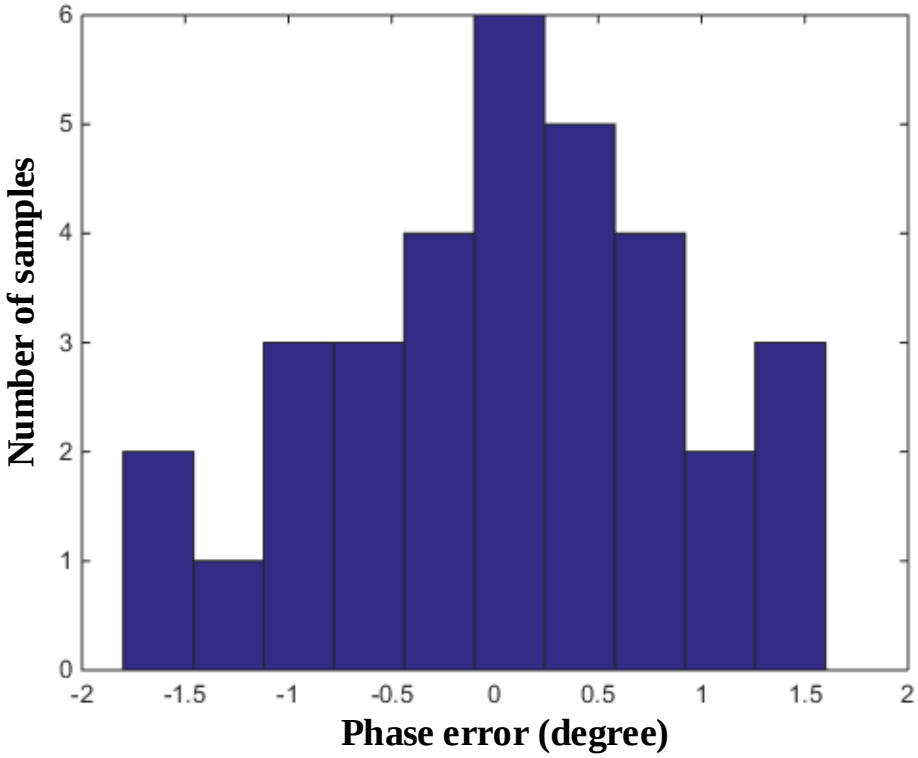
از فرکانس مرکزی ۵/۰۲ GHz برابر ۱۲۳/۱۳ dBc/Hz- است. نویزفاز شبیه‌سازی شده به صورت تک‌سر و تفاضلی نشان داده شده است، همانطور که مشاهده می‌شود با هم برابرند برای مشاهده هر چه بهتر نویزفاز شبیه‌سازی شده بهتر است نمودار افقی را لگاریتمی تعریف کنیم.



شکل ۴-۱۲: نویزفاز ساختار پیشنهادی در فرکانس ۵/۰۲ گیگاهرتز

همچنین شبیه‌سازی انجام شده نشان می‌دهد که متوسط جریان مصرفی با منبع تغذیه ۰/۸ V در نوسان‌ساز متعامد پیشنهادی برابر ۱/۵ mA است. به عبارت دیگر کل توان مصرفی نوسان‌ساز متعامد پیشنهادی برابر با ۱/۲ mW است که در میان نوسان‌سازهای LC مقدار کوچکی محسوب می‌شود.

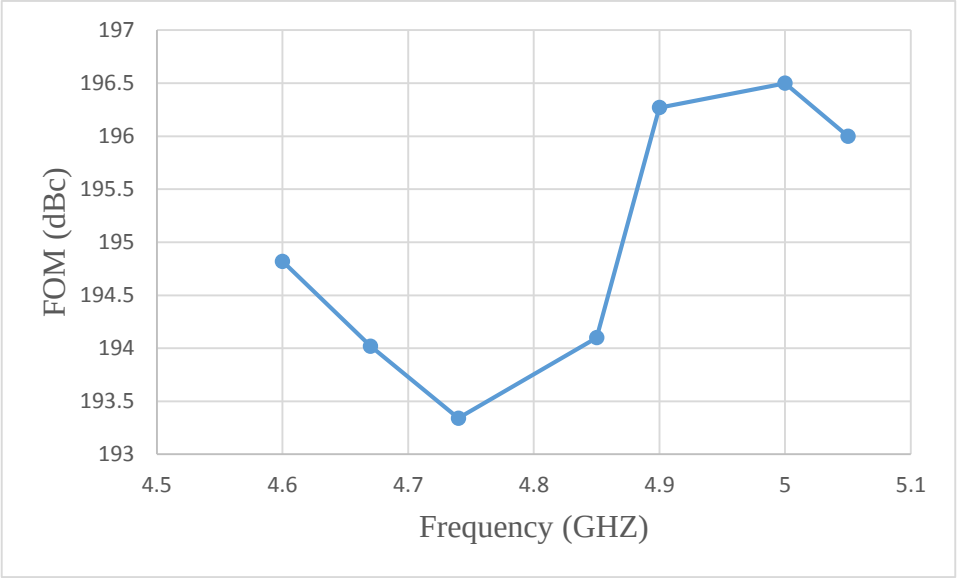
شکل ۴-۱۳ نمودار هیستوگرام خطای فاز بر حسب تعداد نمونه‌ها را نشان می‌دهد، که با استفاده از تحلیل مونت کارلو بدست آمده است. در این شبیه‌سازی خطای عدم تطابق ترانزیستورها ٪۰/۱، خطای خازن‌ها و القاگرها ٪۵ در نظر گرفته شده است. تعداد آزمایش‌ها در این تحلیل برابر ۳۳ است. اکثر نمونه‌های شبیه‌سازی بین ۱ تا ۱- درجه است که میانگین خطاها نیز برابر ۰/۴ درجه شده است.



شکل ۴-۱۳: تحلیل مونت کارلو برای خطای فاز

در نهایت برای مقایسه عملکرد و کارایی نوسان‌ساز پیشنهادی با دیگر کارهای مشابه علاوه بر ضریب شایستگی متداول FOM از ضریب شایستگی دیگری که در آن گستره تنظیم نیز لحاظ شده (FOM_T) مورد استفاده قرار می‌گیرد. با توجه به مقدارهای بدست آمده از شبیه‌سازی از جمله توان مصرفی، فرکانس مرکزی، نویزفاز و گستره تنظیم، با محاسبه ضریب شایستگی متداول FOM مدار نوسان‌ساز متعامد پیشنهادی طبق رابطه (۲-۱۱) برابر ۱۹۶/۲۴ dBc- و ضریب شایستگی FOM_T نیز طبق رابطه (۲-۱۲) برابر ۲۰۵/۷۳ dBc- بدست می‌آید.

به منظور بررسی عملکرد نوسان‌ساز متعامد پیشنهادی در گستره تنظیم فرکانس نوسان، مقدار FOM در کل بازه فرکانس شبیه‌سازی و محاسبه شده است که در شکل ۴-۱۴ نمایش داده شده است. همانطور که در این شکل دیده می‌شود، ضریب شایستگی این نوسان‌ساز در کل بازه فرکانس تغییرات بسیار کوچکی دارد.



شکل ۴-۱۴: ضریب شایستگی بر حسب فرکانس

همچنین عملکرد نوسان‌ساز متعامد مذکور در گوشه‌های مختلف پروسه مورد بررسی قرار گرفت و نتایج آن در جدول ۴-۲ جمع‌آوری شده است.

جدول ۴-۲: مقایسه ساختار پیشنهادی در گوشه‌های پروسه

گوشه پروسه برای N/P	نویزفاز (dBc/Hz) [@1MHz]	فرکانس نوسان (GHz)	ضریب شایستگی (dBc/Hz)
T/T	-۱۲۳/۱	۵/۰۲	**-۱۹۶/۲۴**
F/F	-۱۲۲/۸۲	۴/۹۹	**-۱۹۴/۱۵**
S/S	-۱۲۳/۲۷	۵/۰۵	**-۱۹۸/۰۴**
F/S	-۱۲۳/۰۷	۵/۰۲	**-۱۹۷/۸۳**
S/F	-۱۲۲/۹	۵/۰۳	**-۱۹۴/۸**

جدول ۴-۳ خلاصه‌ای از عملکرد و مقایسه بین ساختار نوسان‌سازهای متعامد استفاده مجدد از جریان پیشنهادی و ساختارهای متعامد پیشین را نشان می‌دهد. مشکل کلی نوسان‌سازهای با ساختار استفاده مجدد از جریان، کم بودن اندازه گستره تنظیم است. نتایج حاصل از شبیه‌سازی نشان می‌دهد

[1] Typical
[2] Fast
[3] Slow

که مدار نوسان‌ساز متعامد استفاده مجدد از جریان پیشنهادی ضمن کاهش توان مصرفی، نویزفاز و ضریب شایستگی مطلوبی دارد.

جدول ۴-۲: مقایسه ساختار پیشنهادی با ساختارهای پیشین

نوسان‌ساز متعامد	تکنولوژی (µm)	ولتاژ تغذیه (V)	فرکانس نوسان (GHz)	توان مصرفی (mW)	نویزفاز (dBc/Hz) [@1MHz]	گستره تنظیم (%)	خطای فاز (degree)	FOM (dBc)	FOM_T (dBc)
[۲۴]	۰/۱۸	۱/۵	۲/۷	۸/۲۲	-۱۲۵	N/A	N/A	-۱۸۴/۵	N/A
[۲۸]	۰/۱۸	۱	۵/۴۸	۲/۵	-۱۱۴	۱۷/۵%	N/A	-۱۸۴/۸	-۱۹۳/۳۶
[۲۹]	۰/۱۸	۱/۲۵	۲/۰۱	۲/۲	-۱۲۴	N/A	N/A	-۱۸۶/۷	N/A
[۳۲]	۰/۱۸	۱	۶/۲۶	۳/۲	-۱۱۴/۲	۳/۸%	N/A	-۱۸۵/۱	-۱۹۸/۳۷
[۳۳]	۰/۱۸	۱/۸	۵/۳۵	۸	-۱۲۸/۷	۱۸%	۰/۴۵°	-۱۹۴/۲	-۲۰۴/۲
[۳۵]	۰/۱۸	۱/۸	۵/۳۷	۶/۱	-۱۲۲/۴	۱۵/۶۵%	N/A	-۱۸۹/۲	-۱۹۸/۷۴
ساختار پیشنهادی	**۰/۱۸**	**۰/۸**	**۵/۰۲**	**۱/۲**	**-۱۲۳/۱**	**۹/۳۳%**	**۰/۴°**	**-۱۹۶/۲**	**-۲۰۵/۷۳**

فصل پنجم

جمع‌بندی و پیشنهادها برای کارهای آینده

۵-۱ جمع‌بندی

در این پایان‌نامه یک نوسان‌ساز متعامد کنترل‌شونده با ولتاژ با ساختار استفاده مجدد از جریان، با هدف دستیابی به توان مصرفی کم برای کاربرد در فرکانس ۵/۰۲ GHz ارائه شده است. مدار نوسان‌ساز پیشنهادی شامل دو ترانزیستور NMOS و PMOS و یک زوج اتصال-ضربدری NMOS اضافی داخل هر دو هسته مدار نوسان‌ساز قرار گرفته است که منجر به افزایش ترارسانایی موثر و سهولت در شرط نوسان می‌شود، بنابراین نوسان‌ساز با جریان کمتری شروع به نوسان خواهد می‌کند که این موضوع در کاهش توان مصرفی موثر است. در ضمن در این ساختار، تزویج از طریق گیت ترانزیستورهای زوج اتصال-ضربدری NMOS صورت گرفته است، بنابراین احتیاج به عناصر اضافی برای تزویج نیست و عملکرد نویزفاز نیز بهبود می‌یابد. استفاده از خازن‌ها به موازات درین-سورس ترانزیستورها سبب افزایش ترارسانایی بدون افزایش جریان و در نتیجه کاهش توان مصرفی می‌شود. نتایج بدست آمده از شبیه سازی نشان می‌دهد که این ساختار پیشنهادی عملکرد خوبی نسبت به سایر تکنیک‌ها پیش از خود داشته است.

۵-۲ پیشنهاد برای کارهای آینده

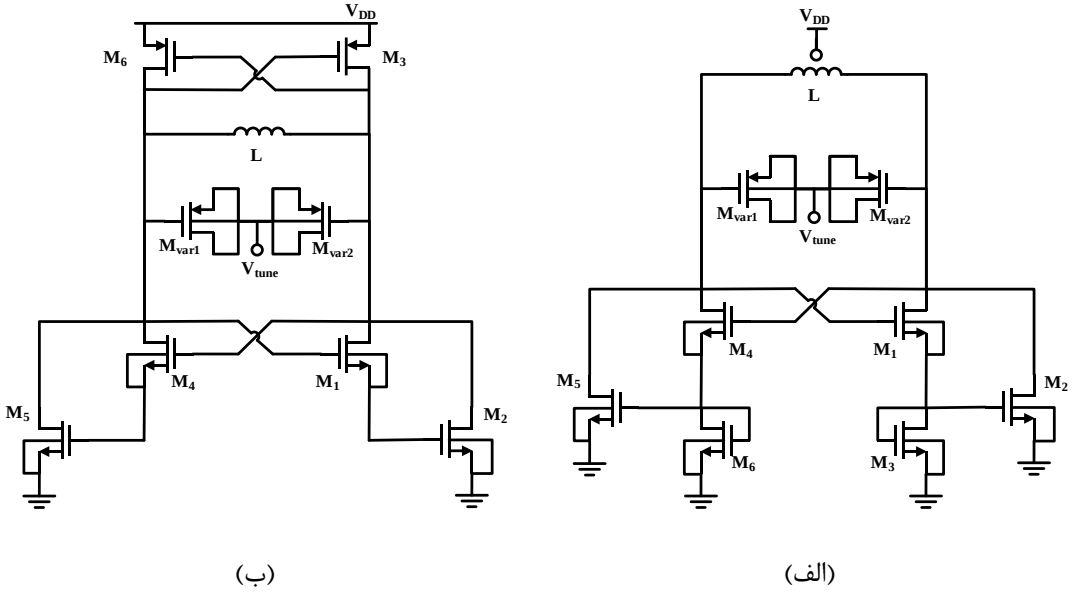
در طراحی نوسان‌سازها می‌توان به پارامترهایی نظیر سطح ولتاژ تغذیه، توان مصرفی، فرکانس مرکزی، گستره تنظیم فرکانسی، نویزفاز و خطای فاز اشاره نمود، که هر کدام از این پارامترها یک چالش در تحلیل و طراحی این مدارها به شمار می‌آیند. از جمله این چالش‌ها به عنوان پیشنهادی برای ادامه کار می‌توان به موارد زیر اشاره نمود:

- از جمله کارهایی که می‌توان برای ادامه این پایان‌نامه انجام داد، استفاده از القاگرهای فعال به جای القاگرهای مارپیچی است. در این روش از عنصرهای فعال (ترانزیستورها) برای ایجاد اندوکتانس در مدار استفاده می‌کنند. کاهش فضای اشغالی از مزایای استفاده از این نوع القاگرها نسبت به القاگرهای ماپیچی به شمار می‌آید.

- به منظور کاهش نویزفاز، از نوسان‌سازهای کلاس C استفاده می‌شود. عملکرد نوسان‌سازهای کلاس C در مقایسه با نوسان‌سازهای کلاس B، علاوه بر کاهش زمان روشن بودن ترانزیستورها، باعث کاهش جریان مصرفی مدار می‌شود و منجر به کاهش نویز اعمال به مدار می‌شود.
- گستره تنظیم فرکانسی پهن یک مزیت و پارامتر مهم در طراحی نوسان‌سازهای کنترل‌شونده با ولتاژ به شمار می‌آید. برای افزایش این پارامتر از بانک خازنی با استفاده از کلیدهای MOS برای ادامه کار پیشنهاد می‌شود.
- در ساختار نوسان‌ساز متعامد پیشنهادی برای کاهش هر چه بیشتر خطای فاز می‌توان علاوه بر تزویج از طریق گیت ترانزیستورها، به طور همزمان از طریق تزویج گیت پشتی ترانزیستورهای سوئیچ با بدنه ورکتورها نیز می‌توان استفاده کرد، به عبارتی دیگر دو تزریق برای هماهنگ‌ها داشته باشیم که در اینصورت تزویج بین دو هسته نوسان‌ساز متعامد محکم‌تر خواهد شد که منجر به دقت بالا فاز خروجی از ۹۰ درجه و کاهش خطای فاز می‌شود.
- از مزیت ترانزیستورهای دو قطبی نسبت به CMOS نویز کمتر و سرعت بالاست. از آنجایی که در ساختار پیشنهادی هیچ محدودیتی برای استفاده از ترانزیستورهای دوقطبی نیست (بدنه ترانزیستورهای NMOS به کمترین پتانسیل یعنی زمین و ترانزیستورهای PMOS به بیشتری پتانسیل یعنی منبع ولتاژ مدار متصل می‌باشند)، در نتیجه برای بهبود هر چه بیشتر عملکرد و کارایی مدار به جای استفاده از تکنولوژی CMOS از BiCMOS به عنوان پیشنهاد برای ادامه کار می‌توان استفاده کرد.

از تکنیک تزویج جدید ارائه شده در این پایان‌نامه می‌توان در نوسان‌سازهایی که در ساختار آن‌ها زوج اتصال-ضربدی اضافی بکار برده شده است، برای ایجاد اختلاف فاز ۹۰ درجه بین خروجی‌های نوسان‌ساز بدون نیاز به هیچ عنصر اضافی استفاده کرد.

شکل ۵-۱ (الف) از سلول دارلینگتون در نوسان‌ساز اتصال-ضربدری در جهت افزایش بیشتر ترارسانایی استفاده شده است. در این ساختار می‌توان به جای استفاده از ترانزیستورهای M_3 و M_6 که نقش منبع جریان ثابت دارند، همانطور که در شکل ۵-۱ (ب) نشان داده شده است از ترانزیستورهای اتصال-ضربدری فقط PMOS استفاده نمود که از طرفی نقش منبع جریان را ایفا می‌کند و هم ترارسانایی منفی موثر را افزایش می‌دهد. ولی دیگر نقطه کار ترانزیستورها به خوبی تعریف شده[1] نخواهد بود.



(ب) (الف)

شکل ۵-۱: (الف) سلول دارلینگتون (ب) استفاده از زوج اتصال-ضربدری در نقش منبع جریان

[1] well defined

مراجع

[1] B. Razavi, *Design of analog CMOS integrated circuits*. Boston: McGraw-Hill, 2005.

[2] B. Razavi, *RF microelectronics (2nd Edition)*, New Jersey: Prentice Hall, 2011.

[3] C. W. Yao and A. N. Willson, "A phase-noise reduction technique for quadrature LC-VCO with phase-to-amplitude noise conversion," *Digest of Technical Papers - IEEE International Solid-State Circuits Conference*. 2006.

[4] L. B. Oliveira, J. R. Fernandes, I. M. Filanovsky, C. J. M. Verhoeven, and M. M. Silva, *Analysis and Design of Quadrature Oscillators*. Dordrecht: Springer Netherlands, 2008.

[5] F. Behbahani, J. C. Leete, Y. Kishigami, A. Roithmeier, K. Hoshino, and A. A. Abidi, "2.4-GHz low-IF receiver for wideband WLAN in 0.6-μm CMOS - architecture and front-end," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 12. pp. 1908–1916, 2000.

[6] B. Razavi, "Design considerations for direct-conversion receivers," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 44, no. 6. pp. 428–435, 1997.

[7] B. Razavi, "A study of phase noise in CMOS oscillators," *IEEE J. Solid-State Circuits*, vol. 31, no. 3, pp. 331–343, 1996.

[8] N. Boughanmi, A. Kachouri, D. Ben Issa, and M. SAMET, "Conception of low phase noise RF-VCO using MOS varactor," *IJCSNS*, vol. 7, no. 9, p. 166, 2007.

[9] G. Gonzalez, *Foundations of oscillator circuit design*. Artech House Norwood, 2007.

[10] L. Jia, J. G. Ma, K. S. Yeo, and M. A. Do, "9.3-10.4-GHz-band cross-coupled complementary oscillator with low phase-noise performance," *IEEE Transactions on Microwave Theory and Techniques*, vol. 52, no. 4. pp. 1273–1278, 2004.

[11] D. Murphy, J. J. Rael, and A. A. Abidi, "Phase noise in LC oscillators: A phasor-based analysis of a general result and of loaded Q," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no.

6. pp. 1187–1203, 2010.

[12] A. Hajimiri and T. H. Lee, "A general theory of phase noise in electrical oscillators," *IEEE J. Solid-State Circuits*, vol. 33, no. 2, pp. 179–194, 1998.

[13] A. Hajimiri and T. H. Lee, *The design of low noise oscillators*. Springer Science & Business Media, 1999.

[14] D. B. Lesson, "A simple model of feedback oscillator noise spectrum," *proc. IEEE*, vol. 54, no. 2, pp. 329–330, 1966.

[15] X. Huang, J. Hu, Q. Bai, and Y. Tang, "Reviews of leeson model of oscillator phase noise," *Electronics Letters*, vol. 52, no. 15. pp. 1300–1302, 2016.

[16] A. Hajimiri and T. H. Lee, "Design issues in CMOS differential LC oscillators," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 717–724, 1999.

[17] T. H. Lee, "Oscillator phase noise: a tutorial (invited)," *Proceedings of the Custom Integrated Circuits Conference*. pp. 373–380, 1999.

[18] A. Mazzanti and P. Andreani, "On the amplitude and phase errors of quadrature LC-tank CMOS oscillators," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 6. pp. 1305–1313, 2006.

[19] J. Baylon, P. Agarwal, L. Renaud, S. N. Ali, and D. Heo, "A Ka-Band Dual-Band Digitally Controlled Oscillator With-195.1-dBc/Hz FoM_T Based on a Compact High-Q Dual-Path Phase-Switched Inductor," *IEEE Trans. Microw. Theory Tech.*, 2019.

[20] J.-S. G. Hong and M. J. Lancaster, *Microstrip filters for RF/microwave applications*, vol. 167. John Wiley & Sons, 2004.

[21] I. Ghorbel, F. Haddad, W. Rahajandraibe, and M. Loulou, "A subthreshold low-power CMOS LC-VCO with high immunity to PVT variations," *Analog Integrated Circuits and Signal Processing*, vol. 93, no. 3. pp. 415–426, 2017.

[22] T. Xi, S. Guo, P. Gui, D. Huang, Y. Fan, and M. Morgan, "Low-phase-noise 54-GHz transformer-coupled quadrature VCO and 76-/90-GHz VCOs in 65-nm CMOS," *IEEE Trans. Microw. Theory Tech.*, vol. 64, no. 7, pp. 2091–2103, 2016.

[23] R. ADLER, "Locking Phenomena in Oscillators," *Ire*, no. 10. pp. 351–357, 1946.

[24] F. Yu, Q. Tang, W. Wang, and H. Wu, "A 2.7 GHz low-phase-noise

LC-QVCO using the gate-modulated coupling technique," *Wirel. Pers. Commun.*, vol. 86, no. 2, pp. 671–681, 2016.

[25] W. Ying, P. Qin, J. Jin, and T. Mo, "A 1mW 5GHz current reuse CMOS VCO with low phase noise and balanced differential outputs," *2011 Int. Symp. Integr. Circuits, ISIC 2011*, no. 2009, pp. 543–546, 2011.

[26] S. J. Yun, S. B. Shin, H. C. Choi, and S. G. Lee, "A 1mW current-reuse CMOS differential LC-VCO with low phase noise," *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 48, no. 1, pp. 450–451, 2005.

[27] S. Zhu, Y. You, D. Heo, J.-H. Kim, and B.-S. Kim, "Current-reuse and gate-modulation techniques for sub-1 mW QVCO," *Electron. Lett.*, vol. 47, no. 9, pp. 530–531, 2011.

[28] J.-W. Wu, H.-H. Wu, K.-C. Hsu, and C.-C. Chen, "A back-gate coupling quadrature voltage-control oscillator embedded with self body-bias schema," *IEEE Microw. Wirel. Components Lett.*, vol. 23, no. 3, pp. 146–148, 2013.

[29] J.-P. Hong, S.-J. Yun, N.-J. Oh, and S.-G. Lee, "A 2.2-mW backgate coupled $ LC $ quadrature VCO with current reused structure," *IEEE Microw. Wirel. Components Lett.*, vol. 17, no. 4, pp. 298–300, 2007.

[30] A. Rofougaran, J. Rael, M. Rofougaran, and A. Abidi, "900MHz CMOS LC-oscillator with quadrature outputs," *Digest of Technical Papers - IEEE International Solid-State Circuits Conference*, vol. 39. pp. 392–393, 1996.

[31] M.-T. Hsu, W.-J. Li, and C.-T. Chiu, "Design of low phase noise and low power modified current-reused VCOs for 10 GHz applications," *Microelectronics J.*, vol. 44, no. 2, pp. 145–151, 2013.

[32] P. Liu *et al.*, "Design techniques for load-independent direct bulk-coupled low power QVCO," *IEEE Trans. Microw. Theory Tech.*, vol. 61, no. 10, pp. 3658–3665, 2013.

[33] E. Ebrahimi and S. Naseh, "A Colpitts CMOS quadrature VCO using direct connection of substrates for coupling," *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 21, no. 3, pp. 571–574, 2012.

[34] T. P. Wang and S. Y. Wang, "Frequency-tuning negative-conductance boosted structure and applications for low-voltage low-power wide-tuning-range VCO," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 23, no. 6. pp. 1137–1144, 2015.

[35] Y. Majd and E. Ebrahimi, "Low-Power High-Gm Quadrature LC-VCO

Using Darlington Cell," *Iranian Conference on Electrical Engineering (ICEE)*, , 2018, pp. 53–58.

[36] M. D. Wei, S. F. Chang, and S. W. Huang, "An amplitude-balanced current-reused CMOS VCO using spontaneous transconductance match technique," *IEEE Microwave and Wireless Components Letters*, vol. 19, no. 6. pp. 395–397, 2009.

[37] S. J. Yun, S. B. Shin, H. C. Choi, and S. G. Lee, "A 1mW current-reuse CMOS differential LC-VCO with low phase noise," *Digest of Technical Papers - IEEE International Solid-State Circuits Conference*, vol. 48. pp. 450–451, 2005.

[38] H.-J. Chang, C. Lim, and T.-Y. Yun, "CMOS QVCO with current-reuse, bottom-series coupling, and forward body biasing techniques," *IEEE Microw. Wirel. Components Lett.*, vol. 24, no. 9, pp. 608–610, 2014.

[39] A. P. Kumar and J. Manjula, "Design of Multiband Current-Reused Voltage Controlled Oscillator with Spontaneous Transconductance Match Technique," *Int. J. Adv. Electr. Electron. Eng.*, vol. 2, no. 5, pp. 2278–8948, 2013.

[40] Y. Lee, N. Seong, Y. Jang, and J. Choi, "Design of folded-cascode UWB low noise amplifier with low power consumption," in *13th International Conference on Advanced Communication Technology (ICACT2011)*, 2011, pp. 214–217.

[41] N. J. Oh and S. G. Lee, "Current reused LC VCOs," *IEEE Microwave and Wireless Components Letters*, vol. 15, no. 11. pp. 736–738, 2005.

[42] D. Xiaoying, L. Xin, and Z. Mingcheng, "A 0.23 mW self-biased current-reuse CMOS LC-VCO based on novel interposed network," *IEICE Electron. Express*, pp. 14–20170838, 2017.

Abstract

Quadrature voltage-controlled oscillators (QVCOs) are one of the most important building blocks of any high-frequency analog and digital communication systems. These oscillators are used in both the transmit and receive paths of the transmitter-receivers and their performance affects the overall system performance. Among the quadrature signal generation techniques, the quadrature LC oscillators have a better performance in term of phase noise and power consumption. These quadrature oscillators consist of two main parts: two identical core oscillators and a coupling network, which both of them play an effective role in phase noise and power consumption. However, one of the important challenges is trade-off between phase noise, power consumption and phase accuracy.

In this thesis, a QVCO with current-reused structure is proposed to achieve low power consumption for application at 5.02 GHz frequency range. The proposed oscillator core consists of two NMOS and PMOS transistors and an additional NMOS-only cross-coupled pair that results in increase of effective transconductance and ease of the start-up condition. Therefore, the oscillator can operate with low current and results in reducing of power consumption. In the proposed coupling scheme, the gate of cross-coupled transistors is used for coupling, so no additional elements are required for coupling and the phase noise performance is improved. Parallel capacitors to the drain-source of transistors have been used to further increase the transconductance and thus reduce power consumption. On the other hand, the increase in parallel capacitors reduces the tuning range, indicating another trade off in the proposed QVCO. The proposed quadrature oscillator is designed and simulated using ADS software with TSMC 0.18µm RF-CMOS technology. The results of the simulation show that this structure has a power consumption of 1.2 mW at the supply voltage of 0.8 V and the phase noise of the QVCO at 1 MHz frequency offset from the 5.02 GHz is -123.1 dBc/Hz. The figure of merit (FOM) of the proposed circuit is -196.24 dBc.

Keywords: Current reused, Low power, Phase noise, Quadrature oscillators, Transconductance.

Shahrood University of

Technology

Faculty of Electrical and Robotic Engineering

MSc Thesis in Electronic Integrated Circuits Engineering

Design and simulation of a low power current-reused quadrature oscillator

By: Mohammad Karimian

Supervisor:

Dr Emad Ebrahimi

January 2020