بسم الله الرحمن الرحيم

دانشکده مهندسی برق و رباتیک

پایان‌نامه کارشناسی ارشد مهندسی الکترونیک قدرت و ماشین‌های الکتریکی

طراحی، شبیه‌سازی و ساخت منبع تغذیه سوئیچینگ تمام‌پل با کلیدزنی نرم ولتاژ صفر

نگارنده: مرتضی بازقندی

استاد راهنما:

دکتر علی دستفان

استاد مشاور:

دکتر حامد ملااحمدیان

تیر ۱۳۹۶

شماره: ۱۵۰۲/ت/۰۰
تاریخ: ۹۷/۶/۱۲

باسمه‌تعالی

دانشگاه صنعتی شاهرود

مدیریت تحصیلات تکمیلی

فرم شماره (۳) صورتجلسه نهایی دفاع از پایان نامه دوره کارشناسی ارشد

با نام و یاد خداوند متعال، ارزیابی جلسه دفاع از پایان نامه کارشناسی ارشد خانم / آقای **مرتضی بازقندی** با شماره دانشجویی ۹۳۰۳۵۰۴ رشته **مهندسی قدرت** گرایش **ماشینهای الکتریکی** تحت عنوان: **طراحی و ساخت منبع تغذیه سوئیچینگ تمام پل با ساختار ZVS** که در تاریخ **۱۳۹۶/۰۶/۱۲** با حضور هیأت محترم داوران در دانشگاه صنعتی شاهرود برگزار گردید به شرح ذیل اعلام می‌گردد:

قبول (با امتیاز ۱۸٫۵۸ درجه خیلی خوب) ☐ مردود ☐

نوع تحقیق: نظری ☑ عملی ☑

عضو هیأت داوران	نام ونام خانوادگی	مرتبهٔ علمی	امضاء
۱ـ استادراهنمای اول	دکتر علی دستفان	دانشیار	
۲- استادراهنمای دوم	—	—	
۳- استاد مشاور	—	—	
۴- نماینده تحصیلات تکمیلی	دکتر حسن اصلی	استادیار	
۵- استاد ممتحن اول	دکتر حسن نیا	استادیار	
۶ـ استاد ممتحن دوم	دکتر سلیمی	دانشیار	

نام و نام خانوادگی رئیس دانشکده:

تاریخ و امضاء و مهر دانشکده:

تبصره: در صورتی که کسی مردود شود حداکثر یکبار دیگر (در مدت مجاز تحصیل) می تواند از پایان نامه خود دفاع نماید (دفاع مجدد نباید زودتر از ۴ ماه برگزار شود).

تقدیم با بوسه بر دست پدر و مادرم

ماحصل آموخته‌هایم را در کمال افتخار و امتنان تقدیم می‌نمایم به

مقدس‌ترین واژه‌ها در لغت‌نامه دلم

محضر ارزشمند پدر و مادر عزیزم

ره‌آوردی گران‌ســـنگ‌تر از این ارزان نداشـــتم تا به خاک پایتان نثار کنم،

باشد که حاصل تلاشم نسیم‌گونه غبار خستگی‌تان را بزداید.

سپاس گزاری...

سپاس بی کران پروردگار یکتا را که هستی‌مان بخشید و به طریق علم و دانش رهنمونمان ساخت و به هم‌نشینی رهروان علم و دانش مفتخرمان نمود و خوشه چینی از علم و معرفت را روزی‌مان ساخت.

به‌مصداق " **من لم یشکر الخالق لم یشکر المخلوق**" بسی شایسته است به جهت توفیق تحصیل علم، خداوند متعال را شکر گزارده و از درگاهش برای اساتید محترمی که در طی تحصیل از محضرشان کسب فیض نموده‌ام، آرزوی موفقیت نمایم.

وظیفه شاگردی خود می‌دانم از استاد راهنمای گران‌قدر جناب آقای دکتر دستفان که با راهنمایی‌های خود راهگشای اینجانب بوده‌اند کمال تشکر و سپاسگزاری را بنمایم.

هم‌چنین از جناب آقای دکتر ملااحمدیان به‌منظور تقبل مسئولیت استاد مشاور و ارائه راهنمایی‌های ارزشمند ایشان سپاسگزارم.

از کلیه دوستان عزیزم مخصوصا مهندسین محترم حسینی مقدم، علی نیک بهار و جواد برسلانی که در طول انجام پایان نامه به اینجانب کمک نمودند، تشکر می‌نمایم.

در نهایت لازم می‌دانم از اساتید بزرگوار به‌منظور تقبل مسئولیت داوری این پایان‌نامه صمیمانه سپاسگزاری نمایم.

مرتضی بازقندی

شهریور ۱۳۹۶

تعهدنامه

اینجانب **مرتضی بازقندی** دانشجوی دوره کارشناسی ارشد رشته **برق/ قدرت** دانشکده برق و رباتیک **دانشگاه صنعتی شاهرود** نویسنده پایان‌نامه **طراحی، شبیه‌سازی و ساخت منبع تغذیه سوئیچینگ تمام‌پل با سوئیچینگ ZVS** تحت راهنمایی **دکتر علی دستفان** متعهد می‌شوم.

- تحقیقات در این پایان‌نامه توسط اینجانب انجام شده است و از صحت و اصالت برخوردار است.
- در استفاده از نتایج پژوهش محققان دیگر به مرجع مورد استفاده استناد شده است.
- مطالب مندرج در پایان نامه تاکنون توسط خود یا فرد دیگری برای دریافت هیچ نوع مدرک یا امتیازی در هیچ جا ارائه نشده است.
- کلیه حقوق معنوی این اثر متعلق به دانشگاه صنعتی شاهرود می‌باشد و مقالات مستخرج با نام « دانشگاه صنعتی شاهرود» و یا « Shahrood University of Technology » به چاپ خواهد رسید.
- حقوق معنوی تمام افرادی که در به دست آمدن نتایج اصلی پایان‌نامه تأثیرگذار بوده‌اند در مقالات مستخرج از پایان‌نامه رعایت می‌گردد.
- در کلیه مراحل انجام این پایان‌نامه، در مواردی که از موجود زنده (یا بافت‌های آن‌ها) استفاده شده است ضوابط و اصول اخلاقی رعایت شده است.
- در کلیه مراحل انجام این پایان‌نامه، در مواردی که به حوزه اطلاعات شخصی افراد دسترسی یافته یا استفاده شده است اصل رازداری، ضوابط و اصول اخلاق انسانی رعایت شده است.

امضای دانشجو

تاریخ

مالکیت نتایج و حق نشر

- کلیه حقوق معنوی این اثر و محصولات آن (مقالات مستخرج، کتاب، برنامه رایانه‌ای، نرم‌افزارها و تجهیزات ساخته شده است) متعلق به دانشگاه صنعتی شاهرود می‌باشد.
- این مطلب باید به نحو مقتضی در تولیدات علمی مربوطه ذکر شود.
- استفاده از اطلاعات و نتایج موجود در پایان‌نامه بدون ذکر مرجع مجاز نمی‌باشد.

چکیده:

این پایان‌نامه به معرفی، مدل‌سازی، کنترل و طراحی منبع تغذیه سوئیچینگ تمام‌پل با کلیدزنی ZVS می‌پردازد، در ضمن روشی بر پایه اصلاح روش مرسوم طراحی مبدل تمام‌پل ایزوله با کلیدزنی ZVS، جهت طراحی مبدل مذکور ارائه می‌دهد. روش پیشنهادی طراحی مبتنی بر معادلات ریاضی توصیف‌کننده مدار مبدل تمام‌پل ایزوله با کلیدزنی ZVS ارائه شده است. با توجه به متغیر بودن زمان مرده در کلیدهای مختلف نیمه‌هادی و اهمیت این زمان، در برقراری کلیدزنی ZVS در مبدل تمام‌پل، این پارامتر به‌عنوان ورودی طراحی در نظر گرفته شده است، به نحوی که روش طراحی، برای استفاده از هر نوع کلید با زمان مرده متفاوت عمومیت داشته باشد. جهت کنترل مبدل، معادلات حالت مبدل با استفاده از مدار معادل کلید PWM نوشته شده و از آن در طراحی کنترلر استفاده شده است. در ساختار حلقه بسته مقایسه‌ای بین نتایج حاصل از بکارگیری کنترلر PID با ضرایب ثابت و PID با ضرایب خودتنظیم که جهت تنظیم ضرایب به‌صورت برخط، از شبکه عصبی با ساختار تک عصبِ بهره می‌برد، انجام گرفته است. به‌منظور تست روش طراحی پیشنهادی در شرایط کار عملی، یک نمونه آزمایشگاهی منبع تغذیه تمام‌پل با کلیدزنی ZVS به همراه کلیه ملزومات آن شامل فیلتر خروجی، بردهای مدار فرمان، بردهای واسط الکترونیکی، واحد پردازنده، سنسورها و غیره طراحی و ساخته شده و روش پیشنهادی طراحی مبدل نیز بر روی آن پیاده‌سازی شده است. در آخر بین نتایج حاصل از ساخت ونتایج حاصل از شبیه‌سازی‌های مقایسه صورت گرفته است، که حاصل این مقایسه صحت و کارآیی روش پیشنهادی را نشان می‌دهد.

واژه‌های کلیدی : منبع تغذیه با ســـاختار تمام پل، مبدل تمام پل ایزوله، کلیدزنی ZVS، کلیدزنی سخت، پارامترهای طراحی، کنترلر PID خودتنظیم، شبکه عصبی

فهرست مطالب

فصل اول: مقدمه

۱-۱- تعریف موضوع ۲

۱-۲- هدف پژوهش ۴

۱-۳- مروری بر فصول پایان‌نامه ۴

فصل دوم: مروری بر ساختارهای مختلف SMPS ایزوله

۲-۱- ساختار منابع تغذیه سوئیچینگ ۸

۲-۲- مبدل‌های مرسوم مورد استفاده در SMPS ۱۱

۲-۲-۷- مبدل تمام‌پل ۱۲

۲-۳- تحقق کلیدزنی ZVS در مبدل DC/DC تمام‌پل ۱۴

۲-۳-۲- روش‌های تولید پالس PWM برای مبدل تمام‌پل ۱۸

۲-۳-۲-۱- روش‌های تولید پالس PWM: ۱۹

۲-۳-۲-۲- تولید پالس PWM شیفت فاز (PS_PWM) ۲۱

۲-۳-۳- تجزیه و تحلیل مبدل تمام‌پل بر پایه کلیدزنی ZVS ۲۲

۲-۳-۳-۱- ساختار مداری مبدل تمام‌پل بر پایه کلیدزنی ZVS ۲۲

۲-۳-۳-۲- زمان مرده بین کلیدها و تأثیر آن بر دوره وظیفه ولتاژ خروجی ۲۴

۲-۳-۴- بررسی حالت‌های گذرای به وجود آمده در مبدل تمام‌پل در شرایط کلیدزنی ZVS ۲۶

- وضعیت عملکردی ۱ ..... ۲۸
- وضعیت عملکردی ۳ ..... ۳۱

۲-۳-۵- معادلات حاکم بر مبدل تمام‌پل با کلیدزنی ZVS ۳۴

۲-۳-۶- تلفات و راندمان در مبدل تمام‌پل ۳۹

۲-۴- روش مرسوم طراحی مبدل تمام‌پل بر پایه کلیدزنی ZVS ۴۳

۲-۴-۱- مراحل طراحی بر پایه خازن نشتی کلید ۴۳

۲-۴-۲- محدودیت‌های طراحی بر پایه خازن نشتی کلید ۴۶

۲-۴-۲-۱- تأثیر زمان مرده بین کلیدهای بازوی پیشفاز در تحقق کلیدزنی ZVS در این بازو ۴۶

۲-۴-۲-۲- تأثیر زمان مرده بین کلیدهای بازوی پسفاز در تحقق کلیدزنی ZVS در این بازو ۴۸

فصل سوم: الگوریتم پیشنهادی جهت طراحی مبدل تمام‌پل بر پایه کلیدزنی ZVS

۳-۱- تعیین پارامترهای طراحی و محدوده آن ۵۴

۳-۱-۱- تعیین حدود ضریب تبدیل ترانسفورماتور ایزوله فرکانس بالا ۵۶

۳-۱-۲- تعیین حدود مقدار سلف تشدید ۵۸

۳-۱-۳- تعیین حدود خازن مورد نیاز برای دو سر کلیدها ۵۸

۳-۱-۴- لزوم تعیین دقیق زمان مرده در طراحی ۵۹

۳-۲- طراحی مبدل مطلوب ۶۰

۳-۲-۱- تعیین مقادیر پارامترهای طراحی مبدل مطلوب با استفاده از الگوریتم مبتنی بر تکرار ۶۰

۳-۲-۲- طراحی سلف و ترانسفورماتور ایزوله فرکانس بالا ۶۳

۳-۲-۲-۱- مراحل طراحی ترانسفورماتور ایزوله فرکانس بالا ۶۴

۳-۲-۲-۲- مراحل طراحی سلف DC فیلتر خروجی ۶۶

۳-۲-۳- مدل دینامیکی و انتخاب روش کنترلی ۶۸

۳-۲-۳-۱- مدل دینامیکی مبدل تمام‌پل بر پایه مدل کلید PWM ۶۹

۳-۲-۳-۲- پاسخ پله تابع تبدیل در نظر گرفته شده برای مبدل تمام‌پل بر پایه کلیدزنی ZVS ۷۲

۳-۲-۳-۳- طراحی کنترلر ۷۴

۳-۲-۴- انتخاب پردازنده ۷۹

۳-۲-۵- مدار سنسور ولتاژ ۸۳

۳-۲-۶- طراحی مدار فرمان ۸۶

فصل چهارم: نتایج شبیه‌سازی و ساخت نمونه آزمایشگاهی منبع تغذیه سوئیچینگ تمام‌پل با کلیدزنی ZVS

۴-۱- ساخت ترانسفورماتور ایزوله فرکانس بالا و سلف فیلتر خروجی ۹۰

۴-۱-۱- مشخصات ترانسفورماتور ایزوله ۹۰

۴-۱-۲- مشخصات سلف فیلتر خروجی ۹۲

۴-۲- مقایسه نتایج حاصل از شبیه‌سازی و ساخت منبع تغذیه تمام‌پل با کلیدزنی ZVS ۹۴

۴-۲-۱-۲- نتایج حاصل از آزمایش بر روی منبع تغذیه تمام‌پل با کلیدزنی ZVS ۹۹

۴-۲-۲- نتایج آزمایش نوع ۱ ..... ۱۰۰

۴-۲-۲-۱- شکل موج و ولتاژ اولیه و ثانویه ترانسفورماتور ۱۰۰

۴-۲-۲-۲- شکل موج‌های پالس‌های فرمان و ولتاژ دو سر کلیدهای بازوی پیشفاز و پسفاز ۱۰۲

۴-۲-۲-۳- شکل موج ولتاژ و جریان خروجی مبدل ۱۰۴

۴-۲-۳- نتایج آزمایش نوع ۲ ..... ۱۰۵

۴-۲-۳-۱- شکل موج و ولتاژ اولیه و ثانویه ترانسفورماتور ۱۰۵

۴-۲-۳-۲- شکل موجهای پالس‌های فرمان و ولتاژ دو سر کلیدهای بازوی پیشفاز و پسفاز ۱۰۷

۴-۲-۳-۳- شکل موج ولتاژ و جریان خروجی مبدل ۱۰۹

۴-۲-۴- نتایج آزمایش نوع ۳ ..... ۱۱۰

۴-۲-۴-۱- شکل موج و ولتاژ اولیه و ثانویه ترانسفورماتور ۱۱۰

۴-۲-۴-۲- شکل موج‌های پالس‌های فرمان و ولتاژ دو سر کلیدهای بازوی پیشفاز و پسفاز ۱۱۲

۴-۲-۴-۳- شکل موج ولتاژ و جریان خروجی مبدل ۱۱۳

۴-۲-۵- نتایج آزمایش نوع ۴ ..... ۱۱۴

۴-۲-۵-۱- شکل موج و ولتاژ اولیه و ثانویه ترانسفورماتور ۱۱۴

۴-۲-۵-۲-شکل موج‌های پالس‌های فرمان و ولتاژ دو سر کلیدهای بازوی پیشفاز و پسفاز ۱۱۶

۴-۲-۵-۳- شکل موج ولتاژ و جریان خروجی مبدل ۱۱۸

۴-۳- کنترلر PID خودتنظیم با استفاده از شبکه عصبی تک Neurone ۱۱۹

۴-۳-۱- کنترلر PID با ضرایب خودتنظیم ۱۱۹
۴-۳-۲- کنترلر PID خودتنظیم- تک‌سلول عصبی ۱۲۰
۴-۳-۳- تنظیم وزنهای کنترلر PID خودتنظیم – تک‌سلول عصبی ۱۲۲
۴-۳-۴- نتایج شبیه‌سازی حلقه بسته در حضور کنترلر PID خودتنظیم ۱۲۳
۴-۳-۴-۱- آزمایش نوع اول ۱۲۳
۴-۳-۴-۲- آزمایش نوع دوم ۱۲۴
۴-۳-۴-۳- آزمایش نوع سوم ۱۲۵
۴-۳-۴-۴- آزمایش عدم قطعیت پارامترها ۱۲۶
۴-۳-۵- نتایج آزمایش کنترل حلقه بسته نمونه آزمایشگاهی ۱۲۷

فصل پنجم: نتیجه‌گیری و پیشنهاد

۵-۱- نتیجه‌گیری ۱۳۲
۵-۲- پیشنهادها ۱۳۴

فهرست اشکال

شکل (۲-۱) : قسمت‌های مختلف یک SMPS نمونه ۹
شکل (۲-۲) : دسته‌بندی مبدل‌های سوئیچینگ ایزوله مورد استفاده در SMPS ۱۲
شکل (۲-۸) : ساختار مبدل تمام‌پل ۱۳
شکل (۲-۹) : آرایش مبدل تمام‌پل ایزوله و تبدیل‌های صورت گرفته در هر قسمت ۱۴
شکل (۲-۱۰) : جریان و ولتاژ کلید الف) کلیدزنی نرم ب) کلیدزنی سخت ۱۶
شکل (۲-۱۱) : روش تولید پالس PWM ۲۰
شکل (۲-۱۲) : روش تولید پالس PWM برای مبدل با بیشتر از یک کلید کنترل شونده ۲۰
شکل (۲-۱۳) : روش تولید پالس PWM شیفت فاز (PS-PWM) ۲۱
شکل (۲-۱۴) : ساختار مداری یک مبدل تمام‌پل بر پایه کلیدزنی ZVS ۲۲
شکل (۲-۱۵): پالس‌های فرمان ارسالی به گیت کلیدهای بازوی پیشفاز و پسفاز در PS_PWM به همراه ولتاژ دو سر اولیه ترانسفورماتور ۲۵
شکل (۲-۱۶) : شکل موج‌های، ولتاژ اولیه ترانسفورماتور (V_P)، جریان اولیه (I_P) و ولتاژ ثانویه (V_S) ۲۷
شکل (۲-۱۹) : و ضعیت مدار مبدل در و ضعیت عملکردی ۱ به همراه شکل موج جریان ولتاژ اولیه ترانسفورماتور در این وضعیت ۲۹
شکل (۲-۲۰) : مدار معادل مبدل در وضعیت عملکردی ۱ ..... ۲۹

شکل (۲-۲۱) : شکل موج ولتاژ در دو سر کلیدهای T_1 و T_4 (V_{C1} و V_{C4}) و Δ_{lead} ۳۰

شکل (۲-۲۴) : وضعیت مدار مبدل در وضعیت عملکردی ۳ و شکل موج جریان و ولتاژ اولیه ترانسفورماتور ۳۲
شکل (۲-۲۵) : مدار معادل مبدل در وضعیت عملکردی ۳ ..... ۳۳
شکل (۲-۳۰) : شکل موج جریان بار، جریان اولیه، جریان ثانویه ترانسفورماتور ۳۵
شکل (۲-۳۱) : مشخصات IGBT واقعی ۴۰
شکل (۲-۳۲) : شکل موج پالس‌های ارسالی به کلیدهای بازوی پیشفاز و پسفاز به همراه جریان و ولتاژ اولیه ترانسفورماتور ۴۷
شکل (۳-۱) : فلوچارت الگوریتم طراحی پیشنهادی ۶۲
شکل (۳-۲): مدار معادل کلید PWM برای مبدل PS_FB ۶۹
شکل (۳-۳) : مدار معادل مبدل PS_FB ۷۰
شکل (۳-۴) : مدار معادل سیگنال کوچک مبدل PSFB ۷۰
شکل (۳-۵) : پاسخ پله تابع تبدیل G_{vd} ۷۳
شکل (۳-۶) : نمودار Bode حلقه باز تابع تبدیل G_{vd} ۷۴
شکل (۳-۷) : پاسخ پله سیستم حلقه بسته در حضور کنترلر PID ۷۶

شکل (۳-۸(: نمودار Bode سیستم حلقه باز در حضور کنترلر PID ۷۷
شکل (۳-۹) : پاسخ پله سیستم در حضور PID با ضرایب اصلاح شده ۷۸
شکل (۳-۱۰) : نمودار Bode تابع تبدیل حلقه باز در حضور کنترلر با ضرایب اصلاح شده ۷۹
شکل (۳-۱۱) نمایی از برد FPGA که جهت کنترل دیجیتال و تولید پالس‌های PWM به کارگرفته شده ۸۰
شکل (۳-۱۲) نمایی از طراحی شماتیک حلقه باز برنامه PWM در نرم‌افزار ISE Design Suite ۸۱
شکل (۳-۱۳) : نمایی از طراحی حلقه بسته برنامه PS_PWM در نرم‌افزار ISE Deasign Suite ۸۱
شکل (۳-۱۴) : دیاگرام عملکرد زمانی ADC۱۲۸S۱۰۲ ..... ۸۳
شکل (۳-۱۵) : نحوه اتصالات مدار سنسور ولتاژ ۸۴
شکل (۳-۱۶) : نمایی از برد کالیبراسیون خروجی سنسور ولتاژ ۸۵
شکل (۳-۱۷) : نمایی از برد مدار فرمان طراحی شده ۸۷
شکل (۳-۱۸) : نمایی از اپتوکوپلر TLP۲۵۰ ..... ۸۷
شکل (۴-۱) : چگالی شار مغناطیسی جاری هسته ترانسفورماتور در بار نامی ۹۲
شکل (۴-۲) : چگالی شار مغناطیسی جاری در هسته سلف فیلتر خروجی ۹۳
شکل (۴-۳) : مدل‌سازی منبع تغذیه نمونه تمام‌پل با کلیدزنی ZVS در نرم‌افزار متلب ۹۶
شکل (٤-٤) : بلوک دیاگرام ارتباط سخت‌افزار ساخته‌شده برای منبع تغذیه ZVS_PS_FB ۹۶
شکل (۴-۵) : نمایی از دستگاه ساخته‌شده در آزمایشگاه ۹۷
شکل (۴-۶)ساختار سیستم خنک‌کننده ۹۸
شکل (۴-۷) : شکل موج ولتاژ دو سر اولیه ترانسفورماتور (سبز) و ولتاژ دو سر ثانویه ترانسفورماتور (آبی) به همراه پالس ارسالی به کلیدهای بازوی پیشفاز (زرد) و بازوی پسفاز (بنفش) در آزمایش نوع ۱ ..... ۱۰۱
شکل (۴-۸) : الف) شکل موج مربوط به پالس فرمان ارسالی به گیت کلید (زرد) و شکل موج ولتاژ دو سر کلید (بنفش) برای کلید ۱ حاضر در بازوی پیشفاز ۱، ب) شکل موج مربوط به پالس فرمان ارسالی به گیت کلید (آبی) و شکل موج ولتاژ دو سر کلید (سبز) برای کلید ۲ حاضر در بازوی پسفاز در شرایط آزمایش نوع ۱ ..... ۱۰۳
شکل (۴-۹) : شکل موج ولتاژ (زرد) و جریان (سبز) خروجی مبدل در شرایط آزمایش نوع ۱ ..... ۱۰۴
شکل (۴-۱۰) : شکل موج ولتاژ دو سر اولیه ترانسفورماتور (سبز) و ولتاژ دو سر ثانویه ترانسفورماتور (آبی) به همراه پالس ارسالی به کلیدهای بازوی پیشفاز (زرد) و بازوی پسفاز (بنفش) در آزمایش نوع ۲ ..... ۱۰۶
شکل (۴-۱۱) : الف) شکل موج مربوط به پالس فرمان ارسالی به گیت کلید (زرد) و شکل موج ولتاژ دو سر کلید (بنفش) برای کلید ۱ حاضر در بازوی پیشفاز، ب) شکل موج مربوط به پالس فرمان ارسالی به گیت کلید (آبی) و شکل موج ولتاژ دو سر کلید (سبز) برای کلید ۲ حاضر در بازوی پسفاز در شرایط آزمایش نوع ۲ ..... ۱۰۸
شکل (۴-۱۲) : شکل موج ولتاژ (زرد) و جریان (سبز) خروجی مبدل در شرایط آزمایش نوع ۲ ..... ۱۰۹
شکل (۴-۱۳) : شکل موج ولتاژ دو سر اولیه ترانسفورماتور (سبز) و ولتاژ دو سر ثانویه ترانسفورماتور (آبی) به همراه پالس ارسالی به کلیدهای بازوی پیشفاز (زرد) و بازوی پسفاز (بنفش) در آزمایش نوع ۳ ..... ۱۱۱

شکل (۴-۱۴) : الف) شکل موج مربوط به پالس فرمان ارسالی به گیت کلید (زرد) و شکل موج ولتاژ دو سر کلید (بنفش) برای کلید ۱ حاضر در بازوی پیشفاز، ب) شکل موج مربوط به پالس فرمان ارسالی به گیت کلید (آبی) و شکل موج ولتاژ دو سر کلید (سبز) برای کلید ۲ حاضر در بازوی پسفاز در شرایط آزمایش نوع ۳..... ۱۱۲
شکل (۴-۱۵) : شکل موج ولتاژ (زرد) و جریان (سبز) خروجی مبدل در شرایط آزمایش نوع ۳..... ۱۱۳
شکل (۴-۱۶) : شکل موج ولتاژ دو سر اولیه ترانسفورماتور (سبز) و ولتاژ دو سر ثانویه ترانسفورماتور (آبی) به همراه پالس ارسالی به کلیدهای بازوی پیشفاز (زرد) و بازوی پسفاز (بنفش) در آزمایش نوع ۴..... ۱۱۵
شکل (۴-۱۷) : الف) شکل موج مربوط به پالس فرمان ارسالی به گیت کلید (زرد) و شکل موج ولتاژ دو سر کلید (بنفش) برای کلید ۱ حاضر در بازوی پیشفاز، ب) شکل موج مربوط به پالس فرمان ارسالی به گیت کلید (آبی) و شکل موج ولتاژ دو سر کلید (سبز) برای کلید ۲ حاضر در بازوی پسفاز در شرایط آزمایش نوع ۴..... ۱۱۷
شکل (۴-۱۸) : شکل موج ولتاژ (زرد) و جریان (سبز) خروجی مبدل در شرایط آزمایش نوع ۴..... ۱۱۸
شکل (۴-۱۹) : شماتیک کلی کنترلر PID خودتنظیم تک‌سلول عصبی..... ۱۲۰
شکل (۴-۲۰) : بلوک دیاگرام کنترل ولتاژ خروجی منبع تغذیه ZVS_PS_FB با استفاده از کنترلر PID خودتنظیم..... ۱۲۲
شکل (۴-۲۱) : شکل موج ولتاژ خروجی منبع تغذیه در حالت ا ستفاده از کنترلر PID معمولی (آبی) و ولتاژ خروجی منبع تغذیه در حالت استفاده از کنترلر PID تطبیقی در شرایط آزمایش نوع اول..... ۱۲۳
شکل (۴-۲۲) : تغییرات وزن ضرایب کنترلر PID در آزمایش نوع اول..... ۱۲۴
شکل (۴-۲۳) : شکل موج ولتاژ خروجی منبع تغذیه در حالت ا ستفاده از کنترلر PID معمولی (آبی) و ولتاژ خروجی منبع تغذیه در حالت استفاده از کنترلر PID تطبیقی (قرمز) در شرایط آزمایش نوع دوم..... ۱۲۴
شکل (۴-۲۴) : تغییرات وزن ضرایب کنترلر PID در آزمایش نوع دوم..... ۱۲۵
شکل (۴-۲۵) : شکل موج تغییرات ولتاژ خروجی منبع تغذیه با استفاده از کنترلر PID معمولی (آبی) و در شرایط استفاده از کنترلر PID تطبیقی (قرمز) در ولتاژ ۲۰ ولت و جریان ۲ آمپر..... ۱۲۶
شکل (۴-۲۶) : شکل موج تغییرات ولتاژ خروجی منبع تغذیه با استفاده از کنترلر PID معمولی (آبی) و در شرایط استفاده از کنترلر PID تطبیقی (قرمز) در اثر تغییر ۱۰ درصدی خازن خروجی..... ۱۲۶
شکل (۴-۲۷) : شکل موج ولتاژ (آبی) و جریان (زرد) خروجی مبدل تحت کنترل حلقه بسته در شرایط افزایش بار خروجی ۱۲۷
شکل (۴-۲۸) : شکل موج ولتاژ (آبی) و جریان (زرد) خروجی مبدل تحت کنترل حلقه بسته در شرایط کاهش بار خروجی ۱۲۸
شکل (۴-۲۹) : تلفات قسمتهای مختلف منبع تغذیه تمام‌پل با کلیدزنی ZVS برحسب جریان خروجی..... ۱۲۸
شکل (۴-۳۰) : راندمان منبع تغذیه تمامپل با کلیدزنی ZVS برحسب جریان خروجی حاصل از معادلات (آبی) و حاصل از آزمایش بر روی نمونه ساخته شده..... ۱۲۹

فصل اول: مقدمه

۱-۱ تعریف موضوع

امروزه استفاده از منابع تغذیه در تجهیزات الکترونیکی و مخابراتی کاربرد وسیعی یافته است و می‌توان گفت که منابع تغذیه DC قلب تپنده اکثر این تجهیزات هستند. با پیشرفت صنعت ساخت نیمه‌هادی قدرت، منابع تغذیه سوئیچینگSMPS[۱]، به‌تدریج جایگزین منابع تغذیه خطی[۲] شدند و می‌توان گفت که در حال حاضر در اکثر کاربردهای صنعتی، SMPS ها بر منابع تغذیه خطی ترجیح داده می‌شوند، که از دلایل این امر، می‌توان به‌طور خاص به تلفات پایین و چگالی توان بالا نسبت به حجم آنها در مقایسه با منابع تغذیه خطی اشاره کرد[۱]. SMPS ها بر اساس لزوم ایزوله بودن و یا نبودن خروجی از ورودی به دو دسته ایزوله[۳] و غیر ایزوله[۴] تقسیم می‌شوند، که تفاوت اصلی ساختار آنها، مربوط به استفاده از ترانسفورماتور ایزوله در نوع ایزوله آن می‌باشد. در میان ساختارهای مختلف SMPS های ایزوله، ساختار تمام‌پل[۵] به دلیل ویژگی‌هایی که دارد برای بهره‌برداری در توان‌های متوسط و بالا پیشنهاد می‌شود[۱]. بنا بر ملاحظات مدنظر در این پژوهش، تمرکز اصلی بر روی ساختار SMPS تمام‌پل ایزوله خواهد بود و در ادامه برای جلوگیری از تکرار کلمه ایزوله، هر جا که به SMPS اشاره می‌شود، منظور نوع ایزوله آن است. وجود ترانسفورماتور و المان‌های پسیو دیگر از جمله سلف و خازن در ساختار SMPSها، باعث شده است تا حجم این تجهیز تا حدود زیادی وابسته به فرکانس کاری یا همان فرکانس کلیدزنی[۶] در آن باشد. پس می‌توان نتیجه گرفت که افزایش فرکانس کاری SMPS ، سبب کاهش مقادیر و حجم المان‌های غیرفعال[۷] مورد استفاده در آن می‌شود، که این امر منجر به کاهش حجم کلی SMPS خواهد شد. علاوه بر این، کاهش مقدار و حجم المان‌های غیرفعال موجب

---

[۱] switch mode power supply

[۲] linear power supply

[۳] Isolated

[۴] Non-isolated

[۵] full bridge

[۶] Switching

[۷] passive

کاهش تلفات در آن‌ها و افزایش بهره‌وری کلی در SMPS می‌شود. با توجه به این نکات، یکی از راهکارهای اساسی که به‌منظور کاهش حجم SMPS پیشنهاد می‌شود، استفاده از فرکانس کلیدزنی بالا در آن است[۲]. البته باید به این نکته توجه داشت که این کار مستلزم به کار بردن کلیدهای نیمه‌هادی با سرعت قطع و وصل بالا است، که امروزه با پیشرفت صنعت تولید کلیدهای نیمه‌هادی، این محدودیت تا حدودی رفع شده است. اما باید توجه داشت که انتخاب فرکانس کلیدزنی بالا باعث ایجاد تلفات در کلیدهای نیمه‌هادی در شرایط کلیدزنی سخت[۱] می‌شود، که در این مورد استفاده از کلیدزنی نرم[۲] که شامل سه نوع ZVS[۳]، ZCS[۴] و ZCZVS است، پیشنهاد می‌شود[۲]. به‌منظور فراهم کردن شرایط جهت تحقق کلیدزنی نرم در SMPS ها تا به امروز روش‌های مختلفی پیشنهاد شده است که به‌طورکلی آن‌ها را می‌توان در سه گروه اصلی قرار داد. گروه اول، روش‌هایی هستند که در آن با استفاده از المان‌های مزاحم داخلی مدار اصلی مبدل از جمله سلف‌های نشتی[۵] و خازن‌های نشتی[۶] جهت برقراری کلیدزنی نرم استفاده می‌شود. مزیت اصلی این روش‌ها را می‌توان ساده بودن پیاده‌سازی عنوان کرد و در مقابل محدوده کم تحقق کلیدزنی نرم از جمله مشکلات استفاده از آنها است. گروه دوم روش‌هایی هستند که با اضافه کردن مدارات جانبی و کمکی سعی بر هرچه وسیع‌تر کردن محدوده تحقق کلیدزنی نرم دارند. مزیت آنها را می‌توان محدوده وسیع تحقق کلیدزنی نرم دانست و اما در مقابل پیچیده‌تر شدن مدار مبدل و بعضاً تلفات خود این مدارات اضافه شده را می‌توان به‌عنوان عیب این گروه عنوان کرد. گروه سوم، روش‌هایی هستند که در آن‌ها سعی بر آن است تا حد امکان جهت برقراری شرایط برای کلیدزنی نرم از المان‌های مزاحم موجود در مدار اصلی مبدل از جمله سلف و خازن نشتی استفاده شود و در صورت لزوم برای گسترش محدوده تحقق کلیدزنی نرم المان‌های تشدید به مقدار مورد نیاز به مدار

---

۱ hard switching

۲ soft switching

۳ zero voltage switching

۴ zero current switching

۵ Leakage inductance

۶ Parasitic capacitor

اصلی اضافه شوند. در استفاده از این روش با پیچیدگی کمتر در پیاده‌سازی در مقایسه با روش‌های گروه دوم مواجه هستیم و از طرف دیگر چون مقادیر سلف و خازن تشدید محدود به مقادیر داخلی مدار نیستند، می‌توان به محدوده وسیع‌تر تحقق کلیدزنی نرم نسبت به دسته اول دست پیدا کرد. در بین ساختارهای مختلف SMPS، ساختار تمام‌پل ازجمله ساختارهایی است که در آن بدون نیاز به تغییرات اساسی در ساختار اصلی مبدل می‌توان زمینه تحقق کلیدزنی نرم را فراهم کرد[۲].

۱-۲ هدف پژوهش:

هدف از این پژوهش، بررسی و شناخت SMPS تمام‌پل بر پایه کلیدزنی ZVS، به‌عنوان یک منبع تغذیه DC ایده‌آل است. در قدم اول تحلیل، مدل‌سازی و کنترل آن در فضای تئوری بیان می‌شود. در گام بعد، درستی تئوری‌های بیان‌شده و روش پیشنهادی طراحی مبدل و اجزاء آن با استفاده از شبیه‌سازی مورد ارزیابی قرار می‌گیرد و سعی می‌شود، حتی‌الامکان نکات عملی در شبیه‌سازی در نظر گرفته شود. در نهایت با استفاده از طراحی‌های تئوری انجام شده و بر مبنای شبیه‌سازی‌های صورت گرفته، یک دستگاه منبع تغذیه تمام‌پل بر پایه کلیدزنی ZVS طراحی و ساخته شده است به نحوی که بتوان مباحث تئوری و روش پیشنهادی طراحی را بر روی آن پیاده‌سازی نمود.

۱-۳ مروری بر فصول پایان‌نامه

فصل دوم این پایان‌نامه به معرفی ساختارهای مختلف منابع تغذیه SMPS ایزوله می‌پردازد. در بخش اول به معرفی ساختار کلی یک SMPS اشاره می‌شود سپس در بخش دوم ساختارهای مختلف مبدل‌های سوئیچینگ مورد استفاده در SMPS ایزوله بررسی می‌شود. در بخش سوم از این فصل به بررسی تحقق کلیدزنی ZVS در مبدل تمام‌پل ایزوله پرداخته شده است. در بخش چهارم از این فصل روش معمول طراحی مبدل تمام‌پل ایزوله با ساختار کلیدزنی ZVS ارائه و در مورد محدودیت‌های این

روش طراحی بحث شده است.

فصل سوم به طراحی مبدل ZVS_FB با استفاده از روش پیشنهادی اختصاص دارد که در بخش اول آن پارامترهای طراحی با توجه به معادلات اساسی مبدل شناسایی می‌گردند. در بخش دوم اقدام به تشریح کامل مراحل طراحی مبدل مطلوب از جمله تعیین مقادیر پارامترهای دخیل در تحقق کلیدزنی ZVS و طراحی دیگر اجزاء مبدل از جمله سلف فیلتر خروجی و ترانسفورماتور ایزوله ارائه می‌گردد و در ادامه معادلات دینامیکی سیستم و طراحی کنترلر بیان خواهد شد.

در فصل چهارم نتایج شبیه‌سازی و ساخت نمونه آزمایشگاهی ارائه می‌شود که در قسمت نتایج شبیه‌سازی مربوط به آزمایش حلقه بسته مقایسه نتایج حاصل از به‌کارگیری کنترلر PID با ضرایب ثابت و PID خودتنظیم بر پایه شبکه عصبی را خواهیم داشت.

فصل پنجم شامل نتیجه‌گیری، جمع‌بندی مطالب ارائه شده و بیان پیشنهادها برای کارهای آینده در این حوزه است. در بخش اول آن، مروری مختصر بر پایان‌نامه و نتایج حاصل از این پروژه به‌صورت خلاصه بیان می‌شود. در بخش دوم از این فصل، پیشنهادها برای پژوهش‌های بعدی ارائه می‌گردد.

فصل دوم:

مروری بر ساختارهای

مختلف SMPS ایزوله

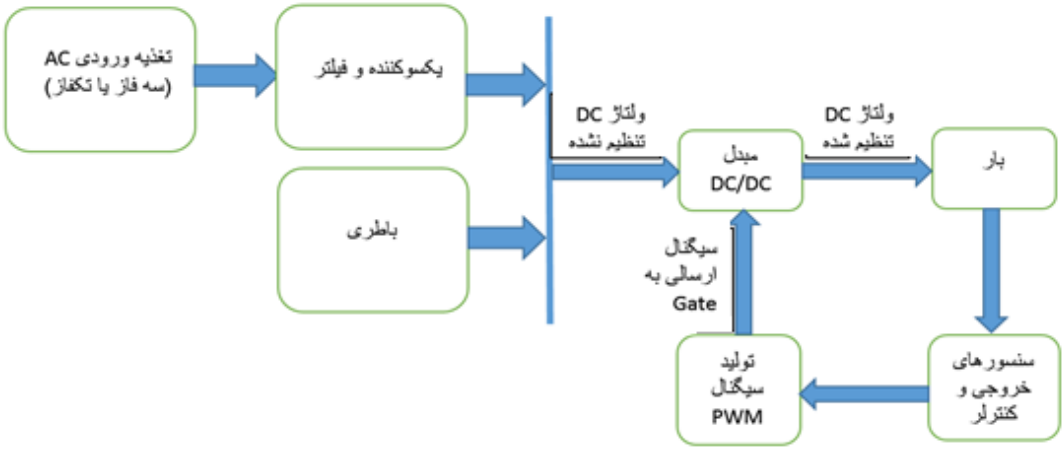
در بخش اول این فصل با ساختار کلی و قسمت‌های مختلف یک SMPS و وظیفه هر قسمت آشنایی پیدا می‌کنیم. سپس در بخش دوم مروری مختصر بر ساختارهای مرسوم مبدل‌های سوئیچینگ ایزوله و نحوه عملکرد هرکدام خواهیم داشت و در ادامه در بخش سوم به بررسی دقیق‌تر ساختار مبدل تمام پل در شرایط انجام کلیدزنی ZVS پرداخته می‌شود. در بخش چهارم معادلات حاکم بر مدار مبدل مطلوب به‌منظور تحقق کلیدزنی ZVS در آن ارائه و در پایان این فصل در بخش چهارم به تشریح تلفات قسمت‌های مختلف مبدل مطلوب و راندمان کلی مبدل اشاره‌ای می‌شود.

۲-۱ ساختار منابع تغذیه سوئیچینگ

امروزه کاربرد منابع تغذیه DC را می‌توان در تجهیزات مختلف مشاهده کرد که وظیفه آن‌ها فراهم کردن یک ولتاژ DC تنظیم شده در خروجی از ولتاژ غیر تنظیم شده ورودی است. کلیه منابع تغذیه در دو دسته منابع تغذیه خطی و SMPS قرار می‌گیرند. منابع تغذیه خطی منابع تغذیه اولیه هستند که امکان داشتن یک ولتاژ DC تنظیم شده را در خروجی با شرط کمتر بودن این ولتاژ نسبت به ولتاژ ورودی فراهم می‌کنند که شرط کوچک بودن ولتاژ خروجی از ورودی، یکی از محدودیت‌هایی است که این منابع دارند[۱]. در این نوع از منابع تغذیه با به‌کارگیری کلیدهای نیمه‌هادی در ناحیه خطی و با تنظیم افت ولتاژ دو سر آن، ولتاژ خروجی در مقدار مورد نظر تنظیم می‌شود. به‌کارگیری کلیدهای نیمه‌هادی در ناحیه خطی سبب تلفات بالا در آنها و منجر به افت راندمان کلی این منابع می‌شود، به‌گونه‌ای که راندمان آنها در محدوده ۳۰ درصد تا حدود ۶۰ درصد می‌باشد[۱]. با پیدایش تکنولوژی منابع SMPS و ارائه چندین مزیت نسبت به نوع خطی، ازجمله: ۱) راندمان بالاتر تا حدود ۹۰ درصد ۲) محدوده تنظیم وسیع‌تر ۳) سایز و وزن پایین‌تر، این منابع به سرعت در موارد زیادی جایگزین منابع تغذیه خطی شدند[۱]. کلیدهای نیمه‌هادی موجود در این نوع از منابع تغذیه، همواره در دو وضعیت قطع (مسدود کردن ولتاژ) و یا اشباع (حامل جریان) هستند؛ بنابراین با فرض ایده‌آل بودن کلید، می‌توان

گفت که در زمان خاموش بودن کلید، هیچ جریانی از آن عبور نمی‌کند و همچنین در زمان روشن شدن کلید، ولتاژ در دو سر آن برابر با صفر است، که این شرایط باعث کاهش قابل ملاحظه‌ی، تلفات در کلیدهای نیمه‌هادی نسبت به عملکردشان در ناحیه خطی و در نهایت منجر به افزایش راندمان در SMPS ها نسبت به نوع خطی می‌شود. انتخاب یک فرکانس کلیدزنی بالا در SMPS، منجر به کاهش سایز ترانسفورماتور و مقدار و سایز سلف و خازن مورد استفاده در آنها می‌شود.

ازجمله کاربردهای SMPS که امروز شاهد آن هستیم، می‌توان به استفاده از این تجهیزات به‌عنوان منبع تغذیه کامپیوترها و برخی از لوازم‌خانگی الکترونیکی اشاره کرد، همچنین در چند سال گذشته استفاده از این منابع تغذیه به‌عنوان شارژر باطری، منبع تغذیه دستگاه جوش، منبع تغذیه سیستم‌های مخابراتی و ارتباطی و درایو موتورهای DC، بسیار مرسوم شده است. در شکل (۲-۱) قسمت‌های مختلف یک SMPS به‌طور کامل نشان داده شده است [۳].



شکل (۲-۱) : قسمت‌های مختلف یک SMPS نمونه

همان‌طور که درنشان داده شده است، یک ورودی AC بعد از عبور از پل دیودی، یکسو می‌شود، سپس ریپل[۱] ولتاژ یکسو شده توسط خازن نسبتاً بزرگ فیلتر خروجی از بین برده می‌شود. قسمت اصلی یا به بیانی بهتر، قلب یک SMPS مبدل سوئیچینگ DC/DC استفاده شده در آن است که وظیفه اصلی آن، تأمین ولتاژ تنظیم‌شده در خروجی می‌باشد. این بلوک، شامل اجزائی ازجمله کلیدهای نیمه‌هادی، تجهیزات مربوط به فیلتر پسیو و در صورت ایزوله بودن خروجی از ورودی، یک ترانسفورماتور ایزوله نیز می‌باشد. کلیدهای نیمه‌هادی مورد استفاده معمولاً یکی از انواع MOSFET ها و یا IGBT ها و در مواردی دیودهای غیرقابل‌کنترل را شامل می‌شود. سنسور[۲] خروجی و بلوک کنترلر شامل مدارات اندازه-گیری و کنترلی است که در مدار اندازه‌گیری، متغیرهایی ازجمله ولتاژ بار، جریان بار و ولتاژ DC خروجی اندازه‌گیری شده و به واحد کنترل ارسال می‌شود. در واحد کنترل، یک کنترلر که می‌تواند به یکی از روش‌های آنالوگ[۳] و یا دیجیتال[۴] پیاده‌سازی شود وجود دارد. ارتباط بلوک کنترلر با واحد PWM[۵] به گونه‌ای است که کنترلر سیگنال کنترلی را برای بلوک PWM ارسال می‌کند، این واحد که وظیفه تولید پالس فرمان ارسالی به گیت[۶] کلیدهای نیمه‌هادی در مبدل را بر عهده دارد، با توجه به سیگنال کنترلی و الگوریتم مورد استفاده در تولید پالس PWM، اقدام به تولید پالس مناسب برای ارسال به گیت کلیدها می‌کند.

همان‌طور که اشاره گردید، بخش مهم و اساسی یک SMPS، مبدل DC/DC مورد استفاده در آن است که بنا به کاربرد و توان مورد نیاز در خروجی، دارای ساختارهای متفاوتی است. اهمیت زیاد این بخش باعث می‌شود که در طراحی و ساخت یک SMPS بیشتر تمرکز بر روی طراحی و ساخت این

---

[۱] ripple

[۲] sensor

[۳] analog

[۴] digital

[۵] pulse width modulation

[۶] gate

بخش مهم معطوف گردد. در بین مبدل‌های سوئیچینگ دو ساختار پایه کاهنده[۱] و افزاینده[۲] از اهمیت ویژه‌ای برخوردار هستند. در واقع این دو ساختار پایه و اساس ساختارهای دیگر مبدل DC/DC اعم از ایزوله و غیرایزوله هستند[۴].

در بخش مبدل‌های DC/DC ایزوله دو ساختار فلای‌بک[۳] و ساختار فوروارد[۴] ساختارهای پایه و اصلی مبدل‌های دیگر در این نوع هستند و کاربرد فراوانی در توان‌های پایین دارند. درواقع این دو ساختار با هزینه پیاده‌سازی کم تمامی ویژگی‌های یک مبدل ایزوله را در توان‌های پایین در اختیار قرار می‌دهد[۱]. در توان‌های متوسط و بالا به دلیل محدودیت در ساختار این دو مبدل مجبور به استفاده از مبدل با ساختار پیچیده‌تر ازجمله ساختار نیم‌پل و تمام‌پل هستیم که ساختار هر دوی آن‌ها از ساختار مبدل Buck قابل استخراج است[۴].

۲-۲ مبدل‌های مرسوم مورد استفاده در SMPS

تاکنون دسته‌بندی‌های مختلفی برای مبدل‌های مرسوم مورد استفاده در SMPS، در منابع مختلف ارائه گردیده است که هرکدام برحسب در نظر گرفتن یک ویژگی مشترک در بین تعدادی از آن‌ها صورت گرفته است. در شکل (۲-۲) می‌توان ساختارهای پایه مورد استفاده در SMPS را مشاهده کرد [۵]. لازم به ذکر است که در این دسته‌بندی، ساختارهایی که به آن اشاره شده است، ساختارهای اصلی برای هر مبدل مدنظر است و نمونه‌ی اصلاح‌شده این ساختارها خارج از موضوع بحث است.

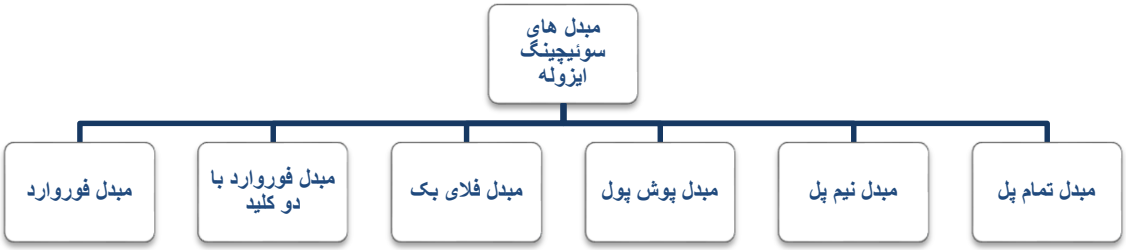
---

۱ Buck

۲ Boost

۳ flyback

۴ forward



شکل (۲-۲) : دسته‌بندی مبدل‌های سوئیچینگ ایزوله مورد استفاده در SMPS

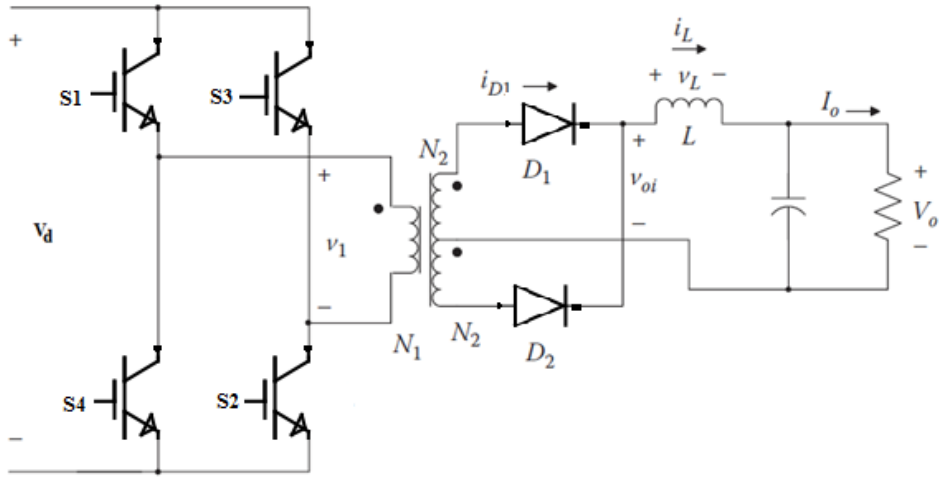
۲-۲-۱ مبدل تمام‌پل:

ساختار کلی یک مبدل تمام‌پل در شکل (۲-۳) نشان داده شده است که پایه و اساس آن مبدل کاهنده است. ساختار نهایی این مبدل را می‌توان با جایگزین کردن کلیدهای کنترل شونده با C_1و C_2 در مبدل نیم‌پل بدست آورد. نحوه عملکرد این مبدل به این‌صورت است که اتصال کلیدها به‌صورت زوج (S۲،S۱ و S۴،S۳) انجام می‌گیرد و دارای دوره وظیفه مشابه هستند. نتیجه‌ی این عملکرد به‌وجود آمدن دو سطح ولتاژ V_{DC}و $-V_{DC}$در دو سر سیم‌پیچ اولیه می‌شود. عملکرد مدار خروجی مشابه با مبدل پوش_پول و مبدل نیم‌پل است. ضریب تبدیل این مبدل از برقراری قانون برابری ولت-ثانیه برای سلف فیلتر خروجی بدست می‌آید. برای بررسی فرض می‌کنیم که یک زوج کلید به صورتی که گفته شد در دوره زمانی $d.T_S$ در وضعیت وصل باشد، در این حالت ولتاژ در دو سر سلف فیلتر برابر با اختلاف بین ولتاژ اولیه انتقال داده شده به سمت ثانویه با ولتاژ خروجی است.

حال وضعیتی را در نظر می‌گیریم که تمامی کلیدها در وضعیت قطع باشند که این بازه زمانی را برابر با $(1-d).T_S$ در نظر می‌گیریم. در چنین وضعیتی، ولتاژ دو سر سلف فیلتر خروجی معکوس ولتاژ خروجی است. درواقع همان‌طور که مشخص است این شرایط تنها برای یک نیم دوره از دوره کلیدزنی کامل بر مدار مبدل حاکم است. در بازه زمانی بعد، زوج کلید دیگر در وضعیت وصل فرض می‌شود که مشابه حالت قبلی، دوره زمانی این وضعیت را برابر با $d.T_S$ در نظر می‌گیریم؛ بنابراین می‌توان نتیجه گرفت که طول مدت زمانی که توان در حال انتقال از ورودی به خروجی است برابر با ۲.d.Ts است و

نتیجه برقراری قانون ولت-ثانیه برای سلف فیلتر خروجی به رابطه (۲-۱) برای ضریب تبدیل در این مبدل دست پیدا می‌کنیم[۴]. وجه تمایز این رابطه با رابطه ضریب تبدیل دو مبدل قبلی در این است که در این رابطه d برخلاف دو نوع قبلی که نمی‌توانست از ۰.۵ بیشتر باشد در این ساختار می‌تواند حتی بیشتر از ۰.۵ باشد. اگر چه که ساختار مبدل تمام‌پل با ساختار مبدل پوش_پول در بخش‌هایی با هم فرق دارد اما ضریب تبدیل برای هر دو مبدل شبیه به هم است.

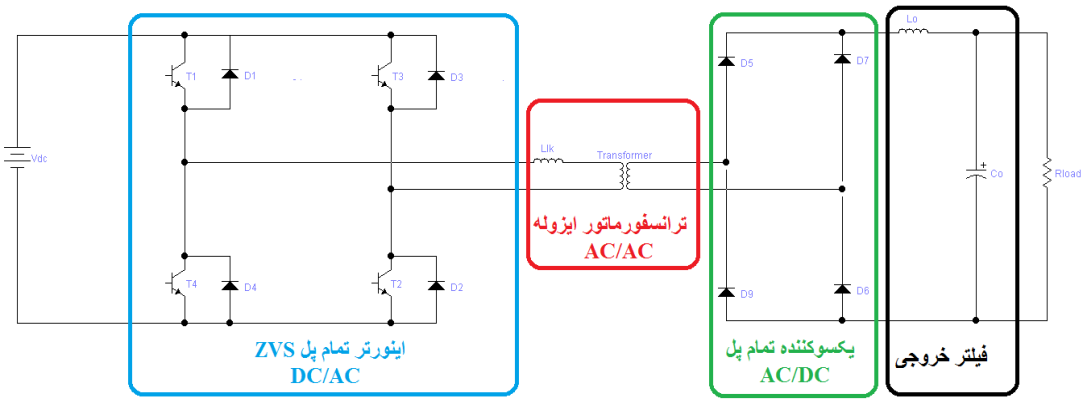
همان‌طور که مشخص است در این مبدل ولتاژی که در هر نیم‌سیکل دو سر اولیه ترانسفورماتور قرار می‌گیرد دو برابر مبدل نیم‌پل است در صورتی که حداکثر ولتاژ دو سر کلیدها در وضعیت خاموش برای هر دو مبدل یکسان است و این به این معنی است که با در نظر گرفتن کلیدهای نیمه‌هادی با مشخصه ولتاژ و جریان یکسان برای این دو مبدل توان تحویلی خروجی مبدل تمام‌پل دو برابر توان تحویلی مبدل نیم‌پل است. همچنین در شرایطی که تعداد دور اولیه ترانسفورماتور ایزوله در مبدل تمام‌پل را دو برابر آن در مبدل نیم‌پل در نظر بگیریم، مبدل تمام‌پل قادر است تا در نصف جریان مؤثر ورودی نسبت به جریان مؤثر ورودی مبدل نیم‌پل، توانی برابر با آن‌ها را در خروجی تحویل بدهد. به این ترتیب از پوش_پول و نیم‌پل، اغلب برای توان‌هایی در حدود ۱۵۰ تا ۵۰۰ وات استفاده می‌شود و توان نامی برای مبدل تمام‌پل در محدوده وسیع ۳۰۰ تا چند کیلووات درنظر گرفته می‌شود[۱].



شکل (۲-۳) : ساختار مبدل تمام‌پل

$$\frac{V_O}{V_d} = 2.\frac{N_2}{N_1}.d \qquad (۱-۲)$$

۲-۳ تحقق کلیدزنی ZVS در مبدل DC/DC تمام‌پل



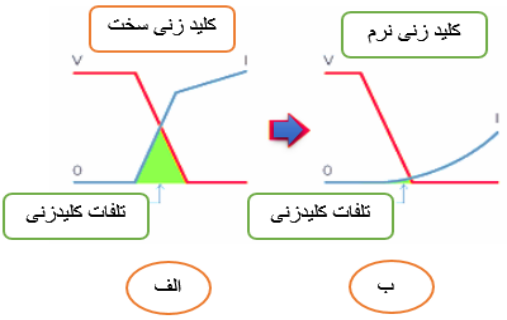
شکل (۲-۴) : آرایش مبدل تمام‌پل ایزوله و تبدیل‌های صورت گرفته در هر قسمت

ساختار تمام‌پل علاوه بر عملکرد بهتر در توان‌های بالا یکی از ساختارهای محبوب جهت پیاده‌سازی کلیدزنی ZVS است و پیاده‌سازی کلیدزنی ZVS در این مبدل به سادگی انجام پذیر است[۴, ۷-۱۲]. در شکل (۲-۴) ساختار کامل از یک مبدل تمام‌پل ایزوله با تبدیلات صورت گرفته در هر قسمت از آن به نمایش درآمده است. همان‌طور که در شکل (۲-۴) مشخص شده است در این مبدل سه مرحله تبدیل وجود دارد، مرحله نخست تبدیل DC/AC که توسط اینورتر تمام‌پل انجام می‌گیرد و مرحله دوم تبدیل AC/AC است که توسط ترانسفورماتور فرکانس بالا انجام می‌گیرد و در آخر مرحله سوم تبدیل AC/DC که از طریق یکسوکننده خروجی صورت می‌پذیرد.

در این مبدل در حالت عادی بدون در نظر گرفتن تمهیدات لازم، عمل کلیدزنی تحت شرایط به اصطلاح سخت[۱] صورت می‌پذیرد، همان‌طور که در شکل (۲-۵) نشان داده شده است در چنین وضعیتی، در زمان‌های قطع و وصل کلید جریان جاری در کلید و ولتاژ دو سر کلید به‌طور هم‌زمان دارای مقادیر قابل توجهی می‌باشند. بروز چنین وضعیتی باعث ایجاد تلفات در کلیدها و در پی آن، ایجاد تنش‌های حرارتی مضر بر روی آن‌ها می‌شود. این نکته در توان‌های بالا اهمیت بیشتری پیدا می‌کند به‌طوری‌که تلفات کلیدزنی در توان‌های بالا یک فاکتور مهم و محدودکننده برای انتخاب فرکانس کلیدزنی در این مبدل به‌حساب می‌آید[۱۳] و این محدودیت به‌صورت غیرمستقیم بر روی تلفات دیگر قسمت‌های مبدل هم تأثیرگذار است، چراکه پایین بودن فرکانس کلیدزنی باعث افزایش اندازه المان‌های پسیو یعنی سلف، خازن و ترانسفورماتور در این مبدل می‌شود و در کل باعث بزرگ شدن اندازه و سنگین شدن مبدل و از طرفی همین افزایش اندازه در این اجزاء، باعث افزایش تلفات در آن‌ها می‌شود. پس مادامی‌که کلیدزنی به‌صورت سخت در این مبدل انجام می‌گیرد با دو محدودیت برای انتخاب حد بالا فرکانس کلیدزنی و حد پایین آن مواجه خواهیم بود، به این صورت که برای حد بالای فرکانس کلیدزنی، تلفات کلیدزنی عامل محدودکننده است و حد پایین فرکانس کلیدزنی به‌واسطه افزایش اندازه المان‌های پسیو و کاهش بهره‌ی مبدل محدود می‌شود. پس در طراحی مبدل‌های سوئیچینگ، برای داشتن یک ضریب بهره قابل‌قبول و داشتن توجیه اقتصادی معمولاً یک محدوده برای فرکانس کلیدزنی تعیین می‌کنیم که عبور از این محدوده باعث کاهش بهره‌وری مبدل و افزایش هزینه ساخت خواهد شد. بخش بزرگ محدودیت دسترسی به فرکانس بالای کلیدزنی مربوط به تلفات کلیدزنی سخت است که امروزه جهت رفع این محدودیت استفاده از روش‌های کلیدزنی نرم[۲] پیشنهاد می‌شود[۱۲, ۱۴]. در شکل (۲-۵- ب)، وضعیت در یکی از انواع کلیدزنی نرم نشان داده شده است.

۱ hard switching

۲ soft switching



شکل (۲-۵) : جریان و ولتاژ کلید الف) کلیدزنی نرم ب) کلیدزنی سخت

در کلیدزنی نرم عمل انتقال کلید از حالت وصل به قطع و بالعکس که به آن کموتاسیون گفته می‌شود، تحت یکی از شرایط ولتاژ صفر و یا جریان صفر صورت می‌گیرد در نتیجه تلفات کلیدزنی در مبدل، تقریباً به صفر می‌رسد. با محقق شدن شرایط کلیدزنی نرم شاهد کاهش چشم‌گیر تلفات در کلیدها هستیم و می‌توانیم فرکانس کلیدزنی بالا را جهت طراحی و پیاده‌سازی در مبدل انتخاب کنیم که به کمک آن می‌توان شاهد رشد راندمان در مبدل بود. همان‌طور که پیش از این به آن اشاره شد، استفاده از فرکانس کلیدزنی بالا، کاهش اندازه المان‌های پسیو مدار مبدل را به دنبال خواهد داشت و نتیجه آن کاهش اندازه و وزن مبدل خواهد شد. از طرفی، به دنبال تحقق کلیدزنی نرم، استرس‌های حرارتی و الکتریکی وارد بر کلیدها و همچنین اغتشاشات EMI[۱] تولیدی مبدل به‌طور چشم‌گیر کاهش پیدا می‌کند و منجر به کاهش یک فاکتور مهم در طراحی و ساخت مبدل، یعنی هزینه ساخت مبدل خواهد شد[۱۵].

نکته‌ای که در تحقق کلیدزنی نرم اهمیت زیادی دارد و باید به آن توجه داشت، امکان‌سنجی تحقق کلیدزنی نرم در ساختار مداری مبدل مورد نظر است. پاسخ به این سؤال که آیا در یک ساختار مداری امکان تحقق کلیدزنی نرم وجود دارد یا خیر؟! تنها وابسته به خاصیت بازیابی مدار در قسمت مدار تشدید است[۱۵].

[۱] Electromagnetic interference

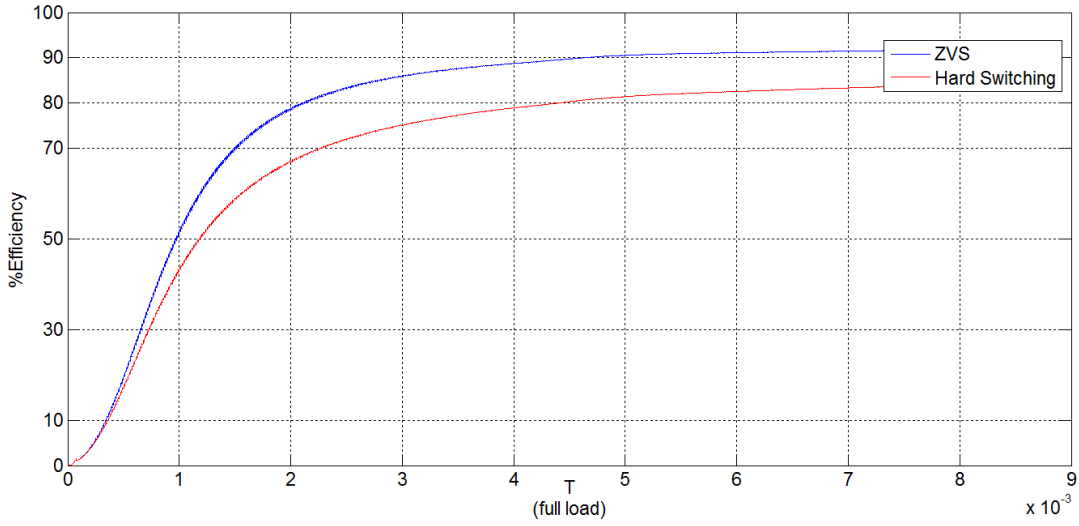
در واقع این خاصیت اشاره به این نکته دارد که ساختار مبدل به‌گونه‌ای باشد که در یک سیکل کلیدزنی امکان شارژ و دشارژ شدن المان‌های تشدید (سلف و خازن) وجود داشته باشد و داشتن این خاصیت شرط لازم برای پیاده‌سازی کلیدزنی نرم در یک ساختار به‌حساب می‌آید. البته امروزه روش‌هایی جهت فراهم کردن این شرایط برای مواقعی که مدار اصلی این شرط را نمی‌تواند ارضاء کند پیشنهاد شده است و در آن‌ها با استفاده از برخی مدارات کمکی که به مدار اصلی مبدل اضافه می‌شوند، این امکان برای ساختار مبدل موردنظر فراهم می‌شود. با این حال باید توجه داشت که اضافه کردن مدار کمکی به مدار اصلی، افزایش هزینه ساخت، پیچیده‌تر شدن ساختار و افزایش تلفات را در مبدل به دنبال خواهد داشت؛ بنابراین بهتر است که روش‌های کلیدزنی نرم در ساختارهایی پیاده‌سازی شوند که به‌صورت ذاتی دارای شرایط لازم جهت تحقق کلیدزنی نرم هستند. یکی از ساختارهای مرسومی که شرایط پیاده‌سازی کلیدزنی نرم را دارد، مبدل تمام‌پل ایزوله است و در بین مبدل‌های سوئیچینگ ایزوله در رنج توانی متوسط و بالا مبدل با ساختار تمام‌پل یکی از ساختارهای مرسوم در زمینه پیاده‌سازی کلیدزنی ZVS است[۸-۱۲].

مهم‌ترین مزیت این مبدل، امکان پیاده‌سازی کلیدزنی ZVS با استفاده از المان‌های نشتی و مزاحم ساختار اصلی مبدل مانند سلف نشتی ترانسفورماتور ایزوله و خازن نشتی دو سر کلیدها است [۱۵-۱۷]. البته پیاده‌سازی این روش مستلزم استفاده از الگوی تولید پالس شیفت فاز[۱] (PS_PWM) در کنترل پالس‌های ارسالی به گیت کلیدهای این مبدل است در واقع در این روش پالس فرمان ارسالی به گیت کلیدهای یک بازو نسبت به پالس فرمان ارسالی به کلیدهای بازوی دیگر دارای یک شیفت فاز مشخص است و با استفاده از این الگوی تولید پالس در ساختار مبدل تمام‌پل خاصیت خود بازیابی ایجاد می‌شود[۱۸, ۱۹]. در این شرایط می‌توانیم بسته به دقت محاسبات انجام گرفته امکان کلیدزنی ZVS را در این مبدل در ۴۰ تا۱۰۰ درصد جریان خروجی مبدل فراهم کنیم[۷].

[۱] Phase Shifte

۲-۳-۲ مقایســـه راندمان مبدل تمام پل در دو حالت کلیدزنی ZVS و کلید زنی سخت در یک بار مشخص

شکل (۲-۶) راندمان مبدل را در بار مشخص برای دو حالت استفاده از کلیدزنی ZVS و کلیدزنی سخت ناشی از شبیه سازی را نشان می‌دهد. و مشاهده می‌شود که راندمان بعد از عبور گذشت حالت گذرای مبدل در شرایط استفاده از کلیدزنی ZVS در حدود ۹۱ درصد می باشد و این در شرایطی است که راندمان در حالت استفاده از کلیدزنی سخت در همین بار مقدار راندمان در حدود ۸۴ درصد می‌باشد که این افزایش راندمان دلیل اصلیپ استفاده از روش*های پیاده سازی کلیدزنی نرم در مبدل‌های الکترونیک قدرت می‌باشد.*



شکل (۲-۶) : راندمان مبدل در بارنامی برای دوحالت استفاده از کلیدزنی ZVS (آبی) و کلیدزنی سخت (قرمز)

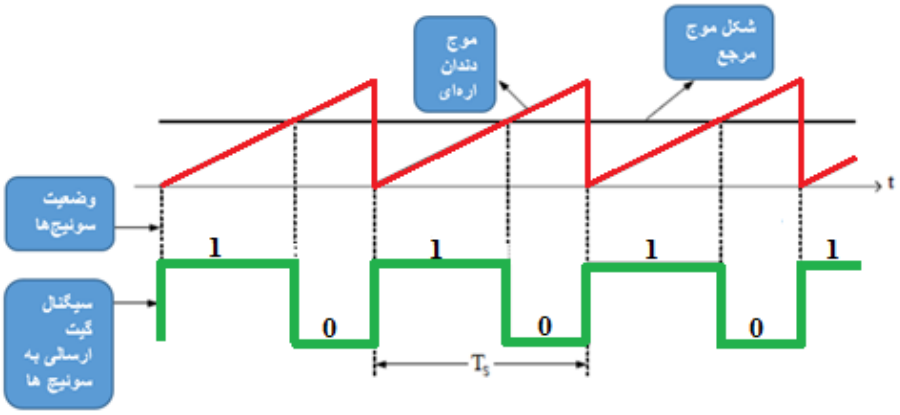
۲-۳-۳ روش‌های تولید پالس PWM برای مبدل تمام‌پل

همان‌طور که می‌دانیم سیگنال‌های ارسالی به گیت کلیدهای نیمه‌هادی کنترل شونده در روش PWM با استفاده از ولتاژ مرجع تولیدی که در بلوک کنترلی از طریق اندازه‌گیری خروجی و سیگنال فیدبک محاسبه می‌شود، ساخته شده و ارسال می‌گردد. در پیاده‌سازی آنالوگ این روش، ولتاژ مرجع

که دامنه آن با توجه به مقدار خروجی از طریق بلوک کنترل کننده تعیین می‌شود با یک موج دندان‌اره‌ای مناسب که دارای فرکانسی برابر با فرکانس کلیدزنی است، مقایسه می‌شود و نتیجه آن سیگنال PWM با پهنای مشخص و فرکانس مشخص است و این سیگنال‌ها به گیت کلیدهای کنترل شونده ارسال می‌گردند. در روش مرسوم تولید پالس PWM، موج دندانه اره‌ای ثابت است و جهت تنظیم ولتاژ خروجی، دامنه ولتاژ مرجع می‌تواند متغیر باشد. حال آن‌که در روش تولید پالس PWM به روش شیفت فاز، دامنه ولتاژ مرجع ثابت است و موج دندانه اره‌ای شیفت پیدا می‌کند که نتیجه آن اختلاف‌فاز بین سیگنال‌های گیت ارسالی به کلیدها در هر بازو با بازوی دیگر با هدف تنظیم ولتاژ خروجی است.

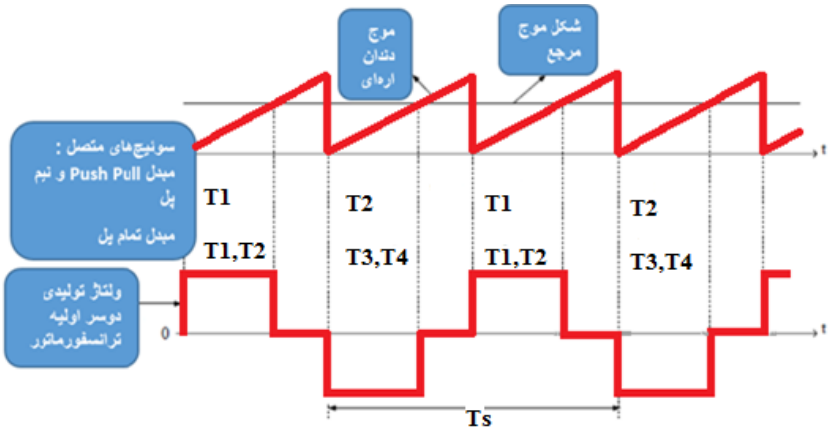
۲-۳-۳-۱ روش‌های تولید پالس PWM:

سیگنال‌های تولیدی PWM به روش مرسوم، برای مبدل‌های DC/DC با ساختار تک کلید از مقایسه سیگنال حامل که یک موج دندانه اره‌ای با فرکانس کلیدزنی است با موج مرجع خروجی بلوک کنترلی، تولید می‌شوند. اگر فرض کنیم که کنترل تک حلقه‌ای ولتاژ است آنگاه ولتاژ مرجع از تصحیح خطای ولتاژ بین ولتاژ خروجی اندازه‌گیری شده مبدل با مقدار خروجی مرجع مطلوب بدست می‌آید. این روش در شکل (۲-۷) نشان داده شده است. در تولید پالس PWM به این روش، زمانی که مقدار موج دندانه اره‌ای کمتر از مقدار مرجع باشد پالس در مقدار ۱ قرار دارد که در این شرایط کلیدی که این پالس به آن ارسال می‌شود از حالت قطع به حالت وصل تغییر وضعیت می‌دهد و در حالتی که موج دندانه اره‌ای مقدارش بیشتر از موج مرجع است، پالس تولیدی در مقدار صفر قرار دارد و ارسال چنین پالسی به کلید، تغییر وضعیت کلید از حالت اتصال به حالت قطع را به دنبال خواهد داشت.



شکل (۲-۷) : روش تولید پالس PWM

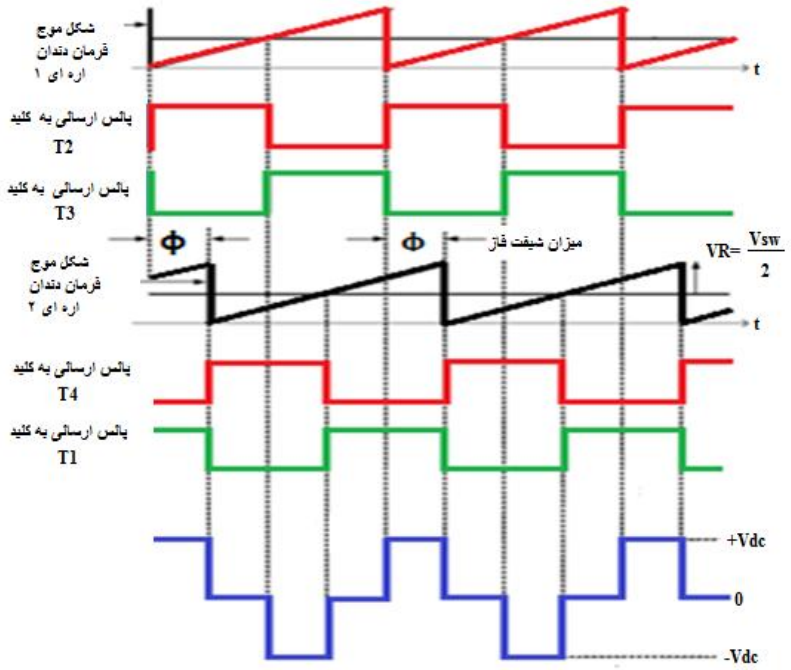
نحوه استفاده از این روش در مبدل‌های DC/DC که در ساختار آن‌ها بیش از یک کلید استفاده شده است همانند؛ مبدل push-pull، نیم‌پل و تمام‌پل، تقریباً به همین صورت است با این تفاوت که در این شرایط فرکانس موج دندانه ارهای دو برابر فرکانس کلیدزنی است. شکل موج حامل، ولتاژ مرجع و ولتاژ ایجاد شده در دو سر اولیه ترانسفورماتور فرکانس بالا در شرایطی که مبدل مورد نظر بیش از یک کلید دارد در شکل (۲-۸) نشان داده شده است[۲۰].



شکل (۲-۸) : روش تولید پالس PWM برای مبدل با بیشتر از یک کلید کنترل شونده

۲-۳-۳-۲ تولید پالس PWM شیفت فاز (PS_PWM)

در شکل (۲-۹) استفاده از این روش تولید پالس برای ساختار تمام‌پل به‌عنوان نمونه آورده شده است. همان‌طور که مشخص است در این روش پالس‌های تولیدی، همگی دارای دوره وظیفه ۵۰٪ هستند و این دوره وظیفه برخلاف روش قبلی ثابت است، پس باید مقدار دامنه موج مرجع نصف مقدار دامنه شکل موج دندان اره‌ای انتخاب شود و ولتاژ خروجی توسط شیفت فاز مشخص مابین پالس‌های ارسالی به گیت کلیدهای بازوی پیشفاز و کلیدها بازوی پسفاز تعیین می‌شود[۱۵]. با توجه به اینکه در این ساختار انتقال توان از منبع ورودی به ترانسفورماتور ایزوله منوط به اتصال کلیدهای قطری به‌صورت هم‌زمان است، پس در این شرایط زیاد شدن اختلاف‌فاز سبب کاهش توان انتقالی به ترانسفورماتور ایزوله و کاهش آن سبب افزایش انتقال توان خروجی می‌شود. در قسمت بعد توضیحات مفصل‌تری از اعمال این نوع پالس PWM به مبدل تمام‌پل ایزوله ارائه می‌کنیم و نشان داده خواهد شد که استفاده از این PS_PWM چطور به فراهم آوردن زمینه کلیدزنی نرم در این مبدل کمک می‌کند.



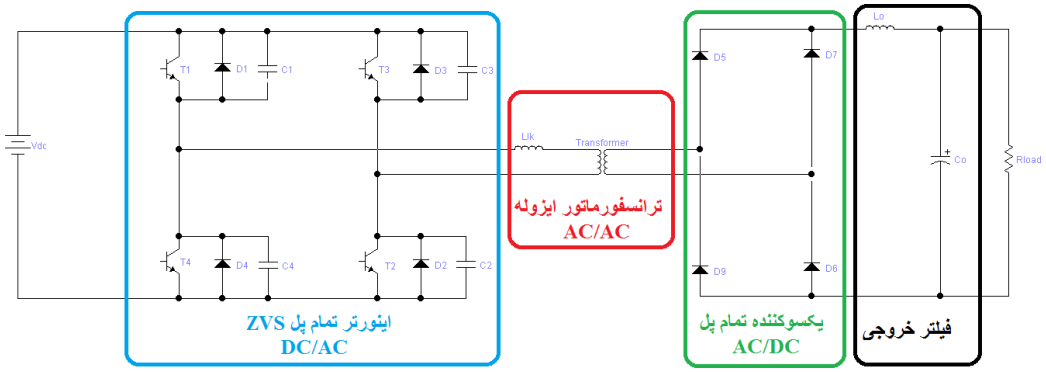
شکل (۲-۹) : روش تولید پالس PWM شیفت فاز (PS-PWM)[۲]

۲-۳-۴ تجزیه و تحلیل مبدل تمام‌پل بر پایه کلیدزنی ZVS

تجزیه و تحلیل مبدل تمام‌پل بر پایه کلیدزنی ZVS، به علت داشتن حالت‌های گذرای متعدد در یک بازه کامل از فرکانس کلیدزنی، کاری سخت و پیچیده است. ایجاد یک روند دقیق طراحی بر پایه تحلیل‌های صحیح، مستلزم یک درک دقیق از چگونگی عملکرد هر بخش از این مبدل است. در این فصل قصد داریم تا تجزیه و تحلیل کاملی از عملکرد مبدل تمام‌پل بر پایه کلیدزنی ZVS در شرایطی که از الگوریتم تولید پالس PS_PWM برای فرمان به کلیدهای نیمه‌هادی استفاده می‌شود، ارائه کنیم. در روند این تجزیه و تحلیل برای درک صحیح و دقیق در هر مرحله، از مدار معادل حاکم بر مدار مبدل و نوشتن تحلیل‌های مداری و استفاده از قوانین حاکم بر مدارات الکتریکی استفاده خواهیم کرد.

۲-۳-۴-۱ ساختار مداری مبدل تمام‌پل بر پایه کلیدزنی ZVS

در شکل (۲-۱۰) ساختار تمامی قسمت‌های مبدل تمام‌پل به همراه اجزاء مدار تشدید که شامل سلف نشتی ترانسفورماتور و خازن پارازیت دو سر کلیدها می‌شود، به نمایش درآمده است.



شکل (۲-۱۰) : ساختار مداری یک مبدل تمام‌پل بر پایه کلیدزنی ZVS

در ساختار نشان داده شده در شکل (۲-۱۰) مشاهده می‌شود که اینورتر فرکانس بالا از طریق باس DC که با یک منبع ولتاژ مدل شده است تغذیه می‌شود. اینورتر مذکور از نوع تمام‌پل است که شامل چهار کلید کنترل شونده است که هرکدام از این چهار کلید با یک دیود معکوس به‌صورت موازی قرار گرفته‌اند که اصطلاحاً به آن دیود هرزگرد گفته می‌شود. با فرض استفاده از پالس PS_PWM، تمامی کلیدها در اینورتر دارای سیکل کاری ۵۰٪ هستند و پالس گیت ارسالی به گیت T_2 , T_3 دارای تأخیر یا همان اختلاف‌فاز نسبت به پالس گیت ارسالی به گیت T_1 و T_4 است که در نتیجه آن سه سطح ولتاژ مختلف را در بازه‌های زمانی مختلف در دو سر اولیه ترانسفورماتور فرکانس بالا ایجاد می‌کند. این سه سطح ولتاژ عبارتند از؛ $+V_{DC}$ در بازه زمانی که T_1 و T_2 در وضعیت وصل باشند، $-V_{DC}$در بازه زمانی که T_3و T_4متصل باشند و صفر ولت در بازه‌های زمانی که T_1و T_3 یا T_2و T_4 در حالت متصل باشند. در ادامه این ولتاژ متناوب فرکانس بالا که از سیم‌پیچ اولیه با نسبت تبدیل ترانسفورماتور به سیم‌پیچ ثانویه ترانسفورماتور انتقال پیدا می‌کند، توسط یکسوکننده‌ای که در قسمت ثانویه ترانسفورماتور قرار دارد، یکسو می‌شود، سپس ریپل موج یکسو شده از طریق فیلتر پایین گذر خروجی (L_Oو C_O) حذف می‌شود و در آخر یک ولتاژ DC صاف بدست می‌آید.

در شکل خازن‌های قرار داده شده در دو سر کلیدها (C_1 C_2 C_3 C_4) در واقع خازن داخلی نشتی یا همان خازن پارازیت کلیدها است که همان‌طور که در قبل گفته شد مقدار این خازن بسیار کوچک است و در صورت نیاز به ظرفیت خازن بیشتر، می‌توان علاوه بر آن‌ها، خازنی به‌صورت خارجی به دو سر کلیدها اضافه کرد. در انجام این کار باید دقت داشت که خازن‌های معادل در هر بازو از اینورتر دارای مقادیر مشابه هم باشند ($C_1 = C_4$ $C_2 = C_3$). همچنین اندوکتانس (L_{LK}) نشان داده شده در شکل که به‌صورت سری با سیم‌پیچ اولیه ترانسفورماتور ایزوله قرار گرفته است، در واقع همان اندوکتانس نشتی ترانسفورماتور است که در اینجا هم مانند خازن، اگر به اندوکتانس بیشتر نیاز باشد این کار را با سری کردن اندوکتانس خارجی با سیم‌پیچ اولیه انجام می‌دهیم در نتیجه، از دو المان به ظاهر مزاحم (خازن

خروجی کلیدها و اندوکتانس نشتی ترانسفورماتور) که در حالت معمول باعث تضعیف عملکرد مطلوب مبدل می‌شوند، در پیاده‌سازی سوئیچینگ ZVS با استفاده از روش تولید پالس PS-PWM استفاده مناسبی می‌شود. درواقع در بخش بعدی خواهیم دید که این دو پارامتر جزو پارامترهای اصلی در طراحی مبدل تمام‌پل بر پایه کلیدزنی نرم هستند و تأثیر زیادی در محدوده تحقق کلیدزنی ZVS دارند.

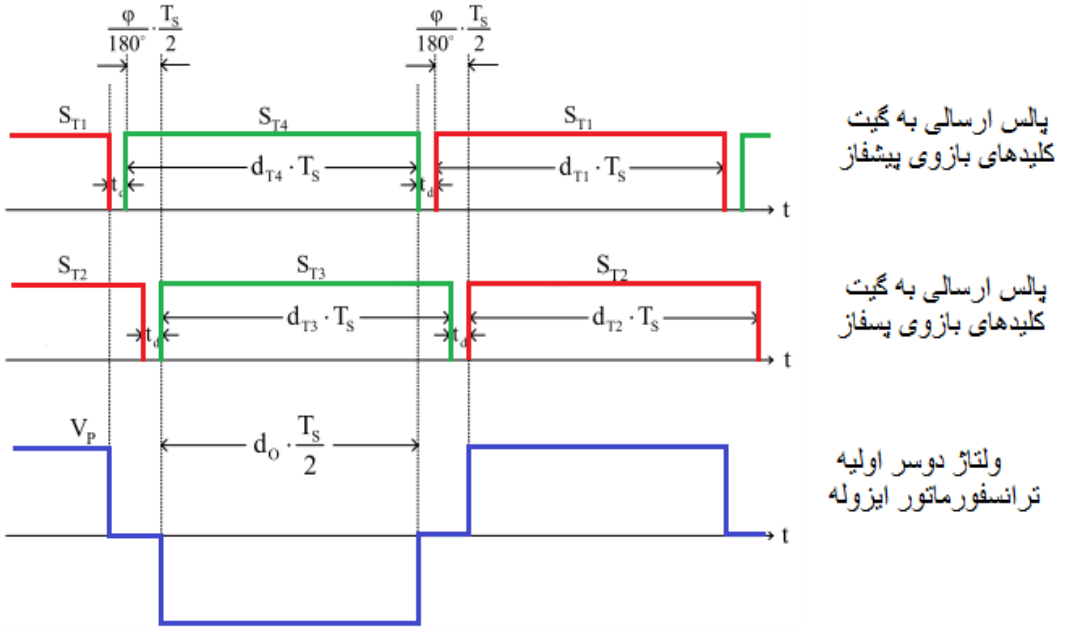
۲-۴-۳-۲ زمان مرده بین کلیدها و تأثیر آن بر دوره وظیفه ولتاژ خروجی

در شکل (۲-۱۱) پالس‌های فرمان ارسالی به گیت کلیدهای بازوی پیشفاز و پسفاز در روش تولید پالس PS-PWM، در ساختار مبدل تمام‌پل به همراه ولتاژ به وجود آمده در دو سر اولیه ترانسفورماتور در نتیجه‌ی این نوع از کنترل پالس، نشان داده شده است. در روش تولید پالس PS_PWM کلید T_2 (یا T_3) بعد از T_1 (یا T_4) با یک تأخیر به اندازه $(\varphi/360).T_S$ در وضعیت اتصال قرار می‌گیرد که T_S معرف مدت زمان یک دوره کامل کلیدزنی است. در این شرایط می‌توان بازویی که شامل کلیدهای T_1 و T_4 است را بازوی پیشفاز نام‌گذاری کرد و بازویی که شامل کلیدهای T_2و T_3 می‌شود، بازوی پسفاز در نظر گرفت و همان‌طور که در شکل هم پیداست سیکل وظیفه هر کلید در الگوی تولید پالس PWM به‌طور ثابت ۵۰٪ است.

نکته‌ای که باید به آن توجه داشت، زمان مرده مابین کلیدهای حاضر در یک بازو است. در واقع نادیده گرفتن این وقفه کوتاه ممکن است در مواردی به تخریب مبدل منجر شود، پس در عمل باید یک وقفه کوتاه بین پالس‌های گیت ارسالی به کلیدهایی که در یک بازو قرار دارند (T_1و T_4یا T_2و T_3) در نظر گرفته شود. این وقفه یا محدوده زمانی‌که با t_d نمایش داده می‌شود، بسته به دینامیک کلید و تکنولوژی ساخت آن در کلیدهای نیمه‌هادی مختلف، متفاوت است که مقدار آن در برگه اطلاعات کلید آورده شده است. برای توجیه این زمان می‌توان گفت که تغییر وضعیت کلید از حالت وصل به حالت قطع به‌صورت لحظه‌ای اتفاق نمی‌افتد و در عمل، مدت زمانی طول می‌کشد که در برگه مشخصات کلید

اغلب با t_{d-off} مشخص می‌شود و همین اتفاق را برای تغییر وضعیت کلید از حالت وصل به حالت قطع خواهیم داشت که آن را با t_{d-on} در برگه مشخصات کلید مشخص می‌کنند. در نظر گرفتن t_d در تولید پالس فرمان ارسالی به گیت کلیدها، در اکثر مبدل‌هایی که دارای ساختار مشابه با مبدل تمام‌پل هستند ضروری است. همچنین در ادامه نشان داده خواهد شد که این پارامتر تأثیر قابل توجهی در تحقق کلیدزنی ZVS در مبدل تمام‌پل دارد.

با در نظر گرفتن t_d، فرض می‌کنیم که کلید T_1 در وضعیت اتصال قرار دارد، حال برای وصل شدن کلید متمم آن باید بین قطع شدن کلید T_1 و پالس ارسالی به گیت به کلید متمم آن یک وقفه به اندازه t_d در نظر گرفته شود. با احتساب زمان مرده برای کلیدها، سیکل کاری کلیدها در عمل کمتر از ۵۰٪ است که برای حالت ایده‌آل بیان شد. از طرف دیگر در نظر نگرفتن این وقفه زمانی ممکن است باعث اتصال دو کلید در یک بازو به‌طور هم‌زمان شود که این وضعیت سبب اتصال کوتاه باس DC شده و وارد آمدن صدمه جدی به تجهیزات خواهد شد.



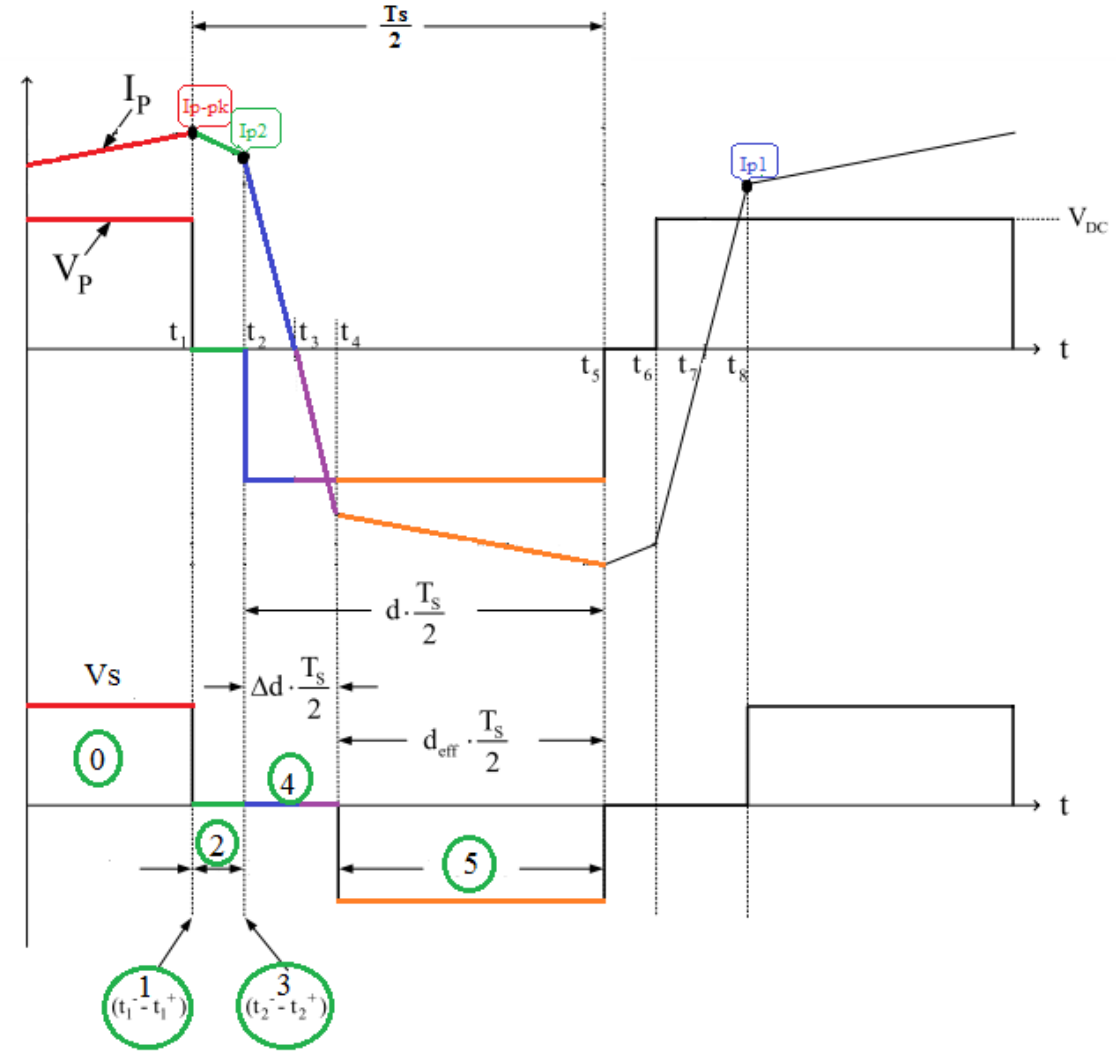
شکل (۲-۱۱) : پالس‌های فرمان ارسالی به گیت کلیدهای بازوی پیشفاز و پسفاز در PS_PWM به همراه ولتاژ دو سر اولیه ترانسفورماتور[۲]

زمانی که کلیدهای قطری به‌طور هم‌زمان در وضعیت اتصال هستند، در دو سر سیم‌پیچ اولیه ولتاژ $+V_{DC}$و یا $-V_{DC}$ قرار می‌گیرد که سهم کل مدت زمانی که $+V_{DC}$ و یا $-V_{DC}$ در دو سر اولیه ترانسفورماتور قرار می‌گیرد را در یک دوره کامل کلیدزنی با ضریبی به نام d که نسبتی از مدت زمان یک دوره کلیدزنی است، نشان داده می‌شود. در بیان ارتباط بین d و φ و تأثیر زمان مرده رابطه (۲-۲) ارائه گردیده است. در واقع این رابطه بیان می‌کند که با کاهش شیفت فاز بین کلیدهای قطری، ولتاژ خروجی مبدل DC/DC افزایش پیدا می‌کند و بالعکس با افزایش شیفت فاز، ولتاژ خروجی کاهش پیدا می‌کند[۲۰].

$$d = 1 - \frac{\varphi}{180} - \frac{2 \times t_d}{T_S} \qquad (۲-۲)$$

۲-۳-۵ برر سی حالت‌های گذرای به وجود آمده در مبدل تمام‌پل در شرایط کلیدزنی ZVS

برای بررسی رفتار یک مبدل تمام‌پل بر پایه کلیدزنی ZVS لازم است رفتار گذرای آن را در طول یک دوره کامل کلیدزنی مورد بررسی قرار دهیم، البته به دلیل تقارن دو نیم سیکل کلیدزنی در این مبدل می‌توان تنها یک نیم سیکل را بررسی کرد و با تحلیل رفتار مبدل در نیم دوره از دوره کامل کلیدزنی می‌توان به چگونگی عملکرد و وضعیت آن در یک دوره کامل کلیدزنی پی برد. برای این منظور شکل (۲-۱۲) که جریان جاری در اولیه ترانسفورماتور را به همراه ولتاژ دو سر اولیه و ثانویه ترانسفورماتور در بازه‌های مختلف یک دوره کامل کلیدزنی برای این مبدل نشان می‌دهد را در نظر می‌گیریم همان‌طور که بر روی شکل هم مشخص شده است برای نیم دوره کلیدزنی در این مبدل می‌توان ۶ بازه زمانی مختلف متصور بود که در ادامه رفتار مبدل را این بازه‌های زمانی مورد بررسی قرار می‌دهیم [۱۷].

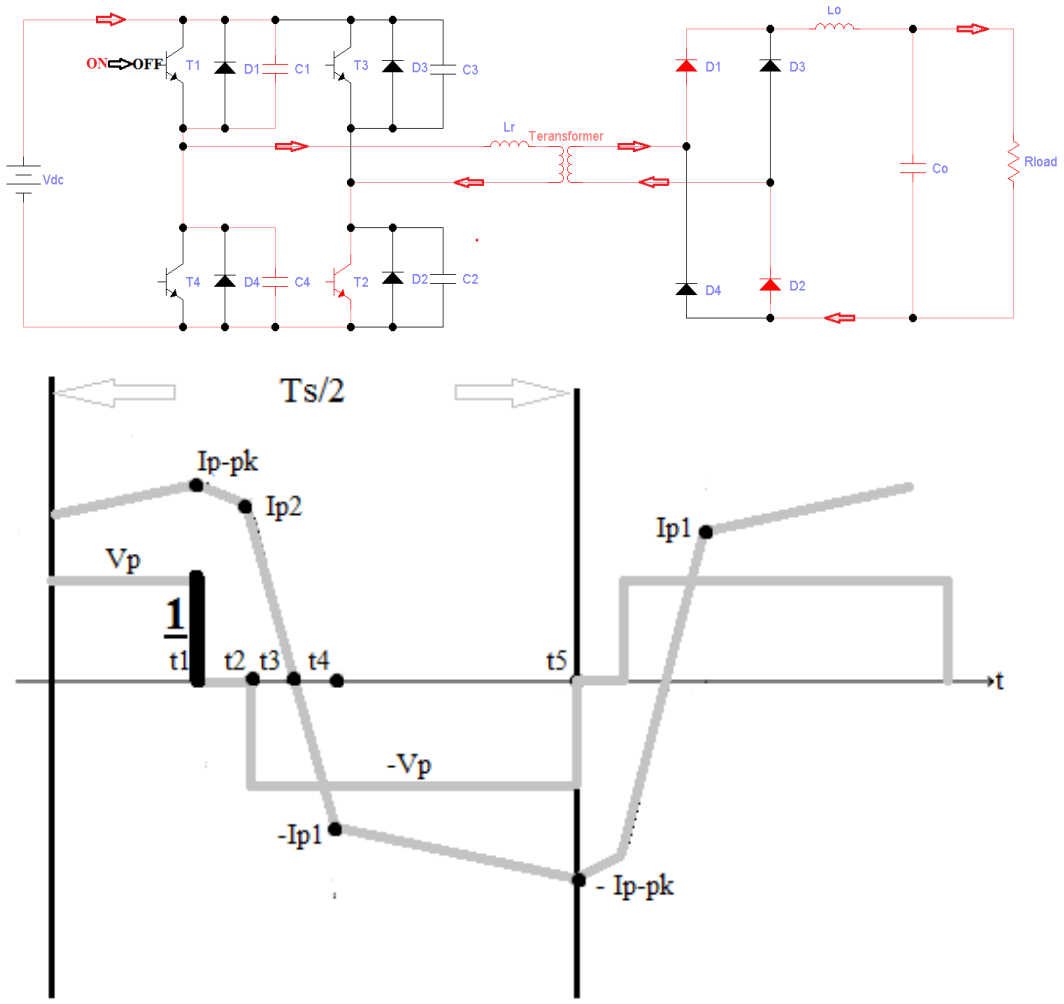


شکل (۲-۱۲) : شکل موج‌های، ولتاژ اولیه ترانسفورماتور (V_P)، جریان اولیه (I_P) و ولتاژ ثانویه (V_S)[۲].

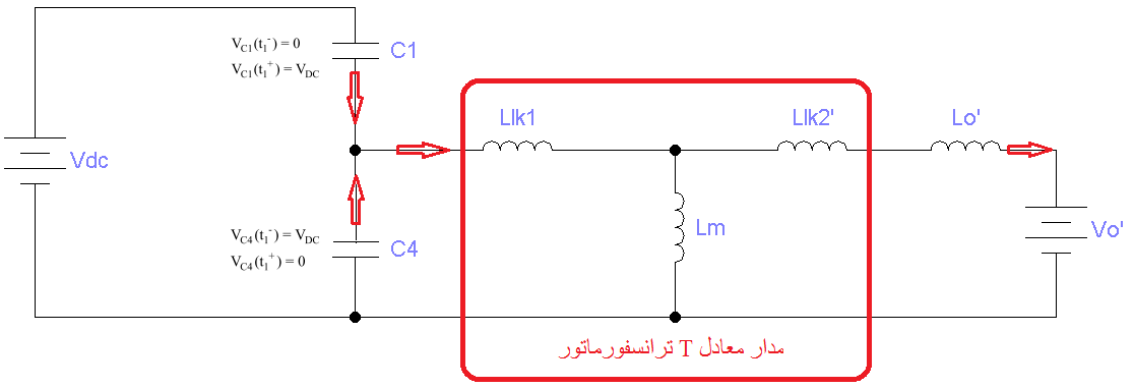
با توجه به مهم بودن تحقق کلیدزنی ZVS در کلیدهای حاضر در بازوی پسفاز و پیشفاز در ادامه وضعیت هایی که در تحقق این مهم، تعیین کننده می‌باشند را بررسی می‌کنیم.

- **وضعیت عملکردی ۱**

در ادامه روند کارکرد مبدل بعد از گذراندن وضعیت قبل، با توجه به پیشفاز بودن کلیدهای بازوی سمت چپ مبدل فرض می‌کنیم که وضعیت کلید T_1 از حالت وصل به قطع تغییر کرده است، در این شرایط با توجه به اینکه کلید T_2 همچنان وصل است جریان در اولیه از طریق خازن C_1 و C_4 و کلید T_2 در جریان است که شرایط حاکم بر مدار مبدل و شکل موج جریان و ولتاژ دو سر اولیه ترانسفورماتور مربوط به این دوره زمانی به‌صورت شکل (۲-۱۳) است. در این شرایط خازن C_1 که با توجه به شرایطی که در وضعیت قبل داشت به‌طور کامل دشارژ است در این وضعیت عملکردی از طریق جریان اولیه تا مقدار V_{DC} شارژ می‌شود و اما خازن C_4 که با توجه به شرایطی که در وضعیت قبل داشت در شرایط شارژ کامل است در این وضعیت عملکردی به‌طور کامل دشارژ می‌شود. آنچه که مشخص است بازه زمانی مربوط به این وضعیت در مقایسه با وضعیت قبل بسیار ناچیز است چراکه تنها شارژ و دشارژ خازن‌های بازوی پیشفاز را خواهیم داشت (با توجه به ثابت زمانی پایین). مدار معادل مبدل در این محدوده زمانی با توجه به ملاحظاتی که در مورد مدار معادل وضعیت قبل در نظر گرفته شد، در شکل (۲-۱۴) به نمایش درآمده است.



شکل (۲-۱۳) : وضعیت مدار مبدل در وضعیت عملکردی ۱ به همراه شکل موج جریان ولتاژ اولیه ترانسفورماتور در این وضعیت

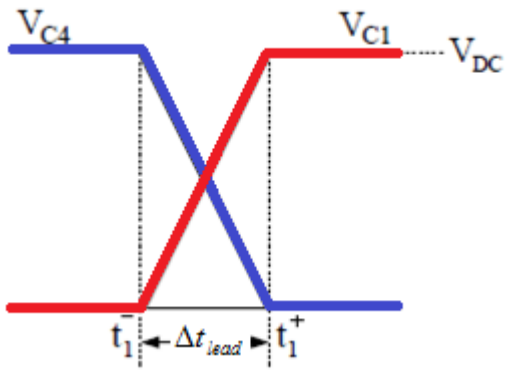


شکل (۲-۱۴) : مدار معادل مبدل در وضعیت عملکردی ۱

با توجه به مدار معادل شکل (۲-۱۴) مشخص است که مقدار کل انرژی مورد نیاز برای شارژ و دشارژ خازن‌های C_1 و C_4 از طریق انرژی ذخیره‌شده در سلف نشتی و سلف فیلتر خروجی به‌طور مشترک تأمین می‌شود و از آنجا که انرژی ذخیره شده در سلف فیلتر خروجی ناشی از عبور جریان نامی بار می‌باشد، به‌طور قابل توجهی بیشتر از انرژی مورد نیاز برای شارژ خازن C_1 و دشارژ خازن C_4 است. نکته مهمی که باید به آن اشاره شود این است که در محاسبه مقدار زمان مرده بین کلیدهای T_1 و T_4 برای اطمینان از محقق شدن شرایط برای کلیدزنی نرم باید I_{P-PK} در نظر گرفته شود[۱۶].

$$\Delta t_{lead} = \frac{(C_1 + C_4).V_{DC}}{I_{P-PK}} \qquad (۳-۲)$$

در این رابطه C_1و C_4 خازن دو سر کلیدهای بازوی پیشفاز، V_{dc} ولتاژ DC ورودی مبدل، I_{P-PK} حداکثر جریان اولیه ترانسفورماتور است و Δt_{lead} طول مدت زمانی است که طول می‌کشد تا این وضعیت عملکردی به پایان برسد و باید مقدار t_d ای که برای کلیدهای این بازو در نظر گرفته می‌شود از مقدار آن بیشتر باشد. در شکل (۲-۱۵) نحوه شارژ و دشارژ شدن خازن‌ها و همچنین مدت زمان Δt_{lead} نشان داده شده است.

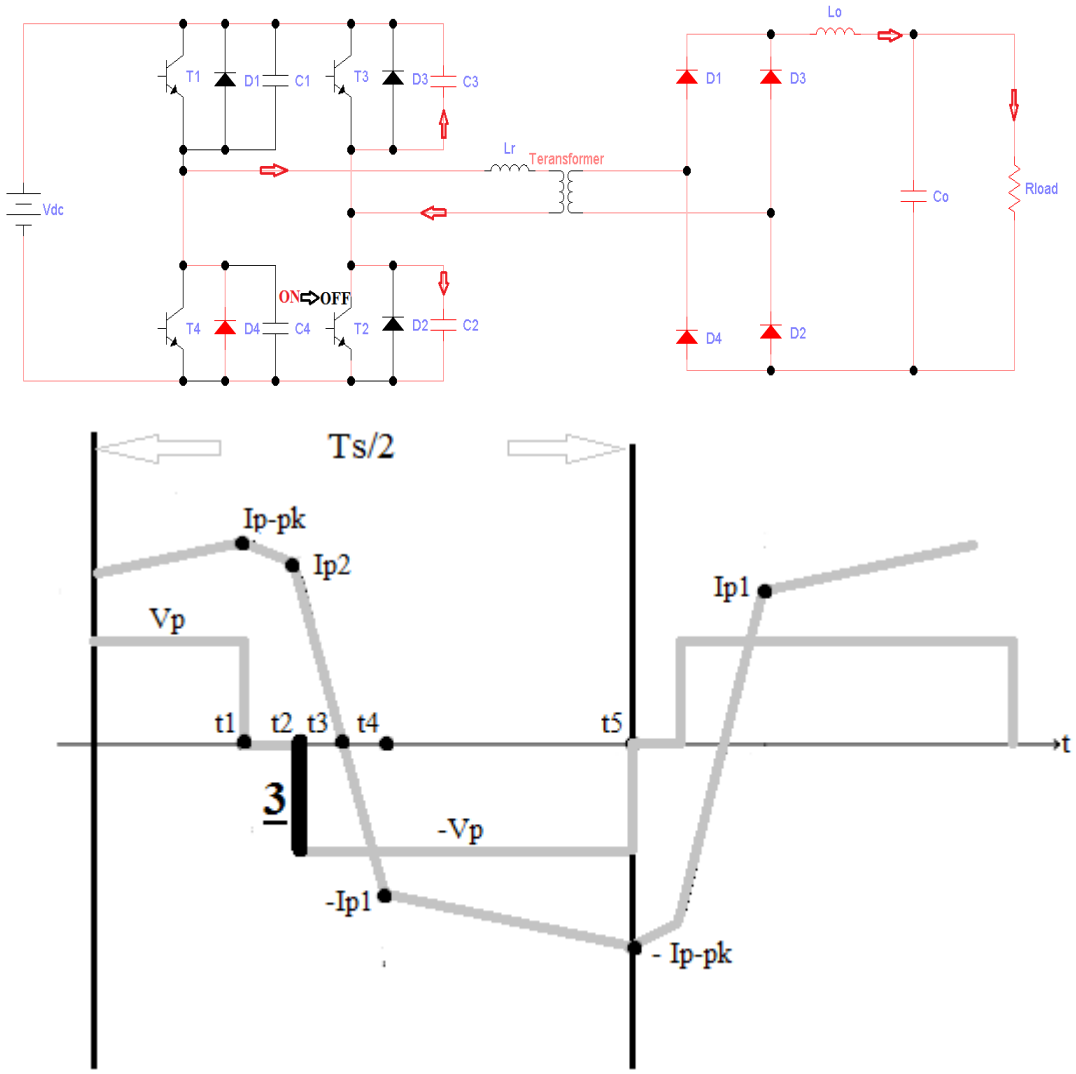


شکل (۲-۱۵) : شکل موج ولتاژ در دو سر کلیدهای T_1و T_4 (V_{C1}و V_{C4}) و Δ_{lead}

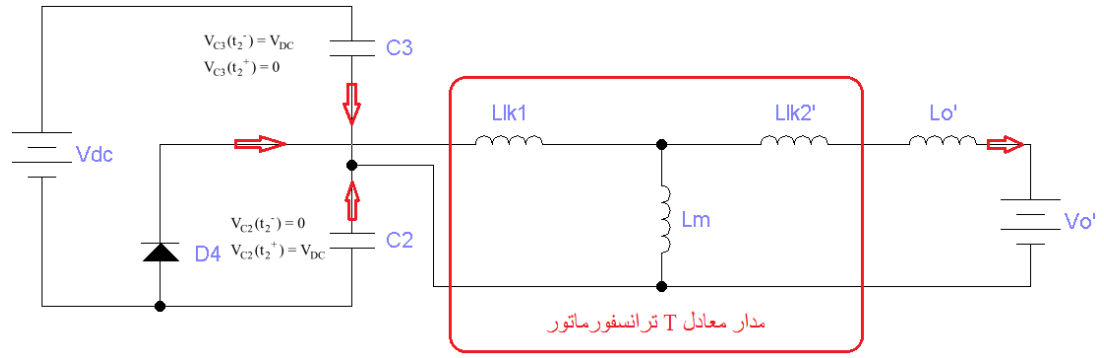
- **وضعیت عملکردی ۳**

بازه زمانی مربوط به این وضعیت را با توجه به شرایط حاکم بر مدار مبدل می‌توان مهم‌ترین وضعیت در بین وضعیت‌های حاکم بر مدار مبدل در نیم دوره از دوره کامل کلیدزنی دانست، چراکه در این وضعیت شرایط برای کلیدزنی ZVS در کلیدهای بازوی پسفاز تعیین می‌شود. با خاموش شدن کلید T_2، شرایط مانند وضعیت عملکردی ۱ را این بار برای بازوی پسفاز داریم البته با تفاوت‌هایی که در ادامه توضیح داده می‌شود. در این حالت جریان اولیه از طریق C_2و C_3 و دیود هرزگرد D_4 امکان جاری شدن پیدا می‌کند و با توجه به شرایط وضعیت قبل انتظار داریم تا C_2 شارژ و C_3 دشارژ شود. پس این دوره زمانی هم مانند دوره زمانی مربوط به وضعیت عملکردی ۱ بسیار کوتاه است آنچه مشخص است ولتاژ خازن C_2 پس از شارژ کامل به V_{DC} می‌رسد و ولتاژ خازن C_3 پس از دشارژ کامل به مقدار صفر ولت کاهش پیدا می‌کند. با توجه به وضعیت حاکم بر مدار مبدل که در شکل (۲-۱۶) نشان داده شده است، ولتاژ دو سر اولیه ترانسفورماتور از مقدار صفر به مقدار $-V_{DC}$ افت پیدا می‌کند چراکه در واقع در این شرایط با توجه به مدار معادل مبدل در شکل (۲-۱۷) ولتاژ دو سر اولیه در واقع همان معکوس ولتاژ خازن C_2 است با توجه به ولتاژ C_2 در طول روند شارژ کامل دو شرایط مختلف بر مدار مبدل حاکم است که هردوی آن در شکل (۲-۱۷) نشان داده شده است. در واقع در شروع این وضعیت عملکردی تا زمانی‌که ولتاژ دو سر C_2 کمتر از مقدار افت ولتاژ دو سر اندوکتانس نشتی و دیودهای یکسوساز تمام‌پل خروجی یعنی D_3 و D_4 باشد، مدار معادل به‌صورت شکل (۲-۱۷) است و در ادامه هنگامی‌که خازن C_2 توسط جریان اولیه شروع به شارژ شدن می‌کند و ولتاژ دو سر آن بیشتر از مقدار افت ولتاژ دو سر اندوکتانس نشتی و دیودهای D_3 و D_4 مربوط به یکسوکننده پل خروجی شود، دیودهای D_3 و D_4 مربوط به یکسوکننده در شرایط بایاس مستقیم قرار می‌گیرند در این صورت مدار معادل مبدل به‌صورت شکل (۲-۱۷) تغییر می‌کند. پس با توجه به مدار معادل آنچه مشخص است در این وضعیت تمامی دیودها در یکسوساز خروجی در وضعیت اتصال قرار دارند و در نتیجه آن سیم‌پیچ

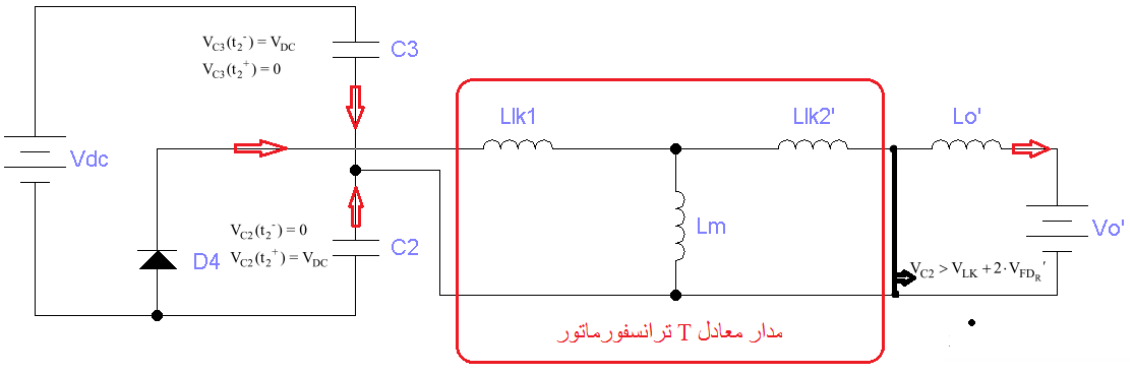
ثانویه ترانسفورماتور اتصال کوتاه است و در پی بروز این وضعیت شاهد افت ولتاژ اولیه از صفر به $-V_{DC}$ خواهیم بود و این در حالی است که ولتاژ ثانویه در مقدار صفر قرار می‌گیرد.



شکل (۲-۱۶) : وضعیت مدار مبدل در وضعیت عملکردی ۳ و شکل موج جریان و ولتاژ اولیه ترانسفورماتور



الف



ب

شکل (۲-۱۷) : مدار معادل مبدل در وضعیت عملکردی ۳

با توجه به مدار رابطه شکل (۲-۱۷) تفاوت مهمی که این وضعیت عملکردی نسبت به وضعیت عملکردی ۱ دارد این است که در این وضعیت تمامی انرژی مورد نیاز برای شارژ خازن C_2 و دشارژ خازن C_3 (E_{Ct}) تنها می‌تواند از طریق انرژی ذخیره‌شده در سلف نشتی ترانسفورماتور (E_{LK}) تأمین شود و این نکته را می‌دانیم که مقدار انرژی سلف نشتی وابسته به جریان عبوری از اولیه ترانسفورماتور است. مدت زمان شارژ و دشارژ خازن‌های بازوی پسفاز در این وضعیت از رابطه (۲-۴) محاسبه می-شود[۲۲] که در این رابطه T_R مدت یک سیکل تشدید است که برابر با مدت زمان یک سیکل کلیدزنی در نظر می‌گیریم، L_{LK} اندوکتانس نشتی کل ترانسفورماتور و C_{t_lag} مجموع خازن موجود در بازوی پسفاز و Δt_{lag} مدت زمانی که طول می‌کشد تا خازن‌های حاضر در بازوی پسفاز به طور کامل شارژ و

دشارژ شوند.

$$\Delta t_{lag} = \frac{T_R}{4} = \frac{\pi}{2}\sqrt{L_{LK}.C_{t_lag}} \qquad (۴-۲)$$

همچنین با توجه به اینکه در این وضعیت تنها منبع تأمین کننده انرژی شارژ و دشارژ خازن سلف نشتی ترانسفورماتور است شرط لازم برای برقراری کلیدزنی ZVS برای کلیدهای موجود در این بازو به‌صورت رابطه (۲-۵) است [۲۳].

$$\frac{1}{2}.L_{LK}.{I_{P2}}^2 \geq \frac{1}{2}.C_{t_lag}.{V_{dc}}^2 \qquad (۵-۲)$$

باید توجه داشت که در شرایطی که تنها از خازن داخلی خود کلید نیمه‌هادی استفاده شود به دلیل برخی از محدودیتی‌هایی که در ساخت کلیدهای نیمه‌هادی مخصوصاً در قدرت‌های بالا وجود دارد، ممکن است t_d مورد نیاز بین کلیدها بیشتر از مقدار Δt_{lag} باشد؛ در چنین شرایطی حتی اگر شرط لازم برای ZVS فراهم باشد ($E_{LK} \succ E_{Ct_lag}$)، باز هم T_3 نمی‌تواند در شرایط ولتاژ صفر روشن شود.

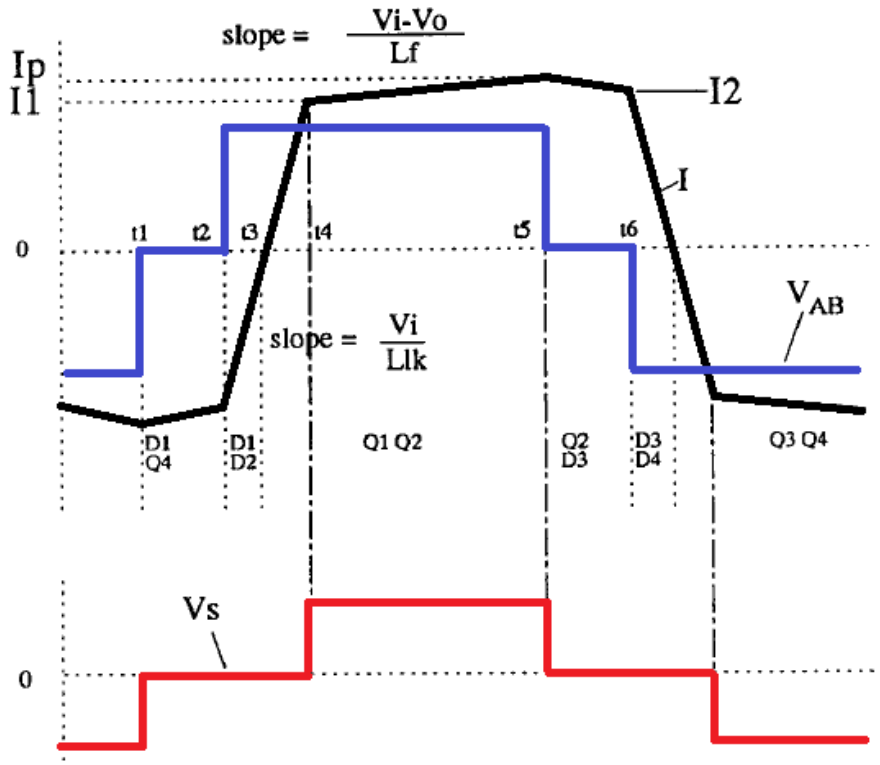
۲-۳-۶ معادلات حاکم بر مبدل تمام‌پل با کلیدزنی ZVS

این را به‌عنوان یک قاعده کلی می‌توان گفت که در یک مبدل تمام‌پل بر پایه کلیدزنی ZVS چون محقق شدن کلیدزنی نرم در آن به انرژی ذخیره شده در سلف تشدید وابسته است، کلیدزنی ZVS برای کلیدهای T_1 و T_4 (بازوی پیشفاز) نسبت به کلیدهای T_2 و T_3 (بازوی پسفاز) در یک محدوده وسیع‌تری از جریان بار خروجی محقق می‌شود[۲۴]. با توجه به رابطه (۲-۵) که در بخش قبل به‌عنوان شرط لازم محقق شدن کلیدزنی ZVS در کلیدهای بازوی پسفاز مطرح گردید می‌توان گفت که تنها زمانی کلیدزنی ZVS را برای کلیدهای موجود در بازوی پسفاز خواهیم داشت که I_{P2}، که همان دامنه جریان اولیه ترانسفورماتور در وضعیت عملکردی ۳ است، بیشتر یا دست‌کم برابر با دامنه جریان بحرانی

تحقق کلیدزنی ZVS (I_{P2Crit}) در این وضعیت عملکردی باشد و با توجه به رابطه (۲-۵) مقدار I_{P2Crit} از طریق رابطه (۲-۶) قابل محاسبه است[۲۵] :

$$I_{P2Crit} = \sqrt{\frac{C_{t_lag}}{L_{LK}}}.V_{dc} \qquad (۲-۶)$$

همان‌طور در وضعیت عملکردی ۲، توضیح داده شد در دوره زمانی مربوط به این وضعیت انتقال توان را از منبع به ورودی شاهد نیستیم و با توجه به مدار معادل این وضعیت می‌توان گفت که جریان در قسمت اولیه ترانسفورماتور در شروع بازه زمانی وضعیت عملکردی ۳ (I_{P2}) همان جریان سلف خروجی است پس می‌توان آن را به‌صورت رابطه (۲-۷) نوشت[۷].



شکل (۲-۱۸) : شکل موج جریان بار، جریان اولیه، جریان ثانویه ترانسفورماتور[۷]

$$I_{P2} = \frac{N_S}{N_P}.\left(I_O + \frac{\Delta I_O}{2} - \frac{V_O}{L_O}.(1-d).\frac{T_S}{2} \right) \qquad (۷-۲)$$

این رابطه N_S و N_P به ترتیب تعداد دور ثانویه و اولیه ترانسفورماتور، ΔI_O مقدار ریپل جریان خروجی ، L_O مقدار اندوکتانس سلف فیلتر خروجی و d ضریبی از سیکل کامل کلیدزنی که ولتاژ در دو سر اولیه قرار می‌گیرد، است. حال برای بدست آوردن جریان بحرانی خروجی که در واقع حداقل جریان خروجی مبدل برای تحقق کلیدزنی ZVS برای کلیدهای حاضر در بازوی پسفاز است کافی است تا در رابطه (۲-۷) به جای I_{P2} مقدار بحرانی آن یعنی I_{P2Crit} که قبلاً بدست آمد را جایگزین کنیم که در این صورت رابطه (۲-۸) را برای تعیین محدوده جریان بحرانی خروجی مبدل خواهیم داشت[۷].

$$I_O \geq \frac{N_P}{N_S}.\sqrt{\frac{C_{t_lag}}{L_{LK}}}.V_{DC} - \frac{\Delta I_O}{2} + \frac{V_O}{L_O}.(1-d).\frac{T_S}{2} \qquad (۸-۲)$$

با توجه به رابطه (۲-۸) مشخص است که اگر ترانسفورماتور با اندوکتانس نشتی بزرگ طراحی شود، می‌توان در یک محدوده وسیع‌تری از جریان بار، کلیدزنی ZVS را برای کلیدهای حاضر در بازوی پسفاز داشته باشیم؛ اما از طرفی هم باید به این نکته توجه داشت که بزرگ بودن اندوکتانس نشتی سبب می‌شود در وضعیت عملکردی ۴ شیب جریان اولیه کاهش پیدا کند ($\frac{V_{DC}}{L_{LK}}$) که این امر سبب طولانی شدن مدت زمان مربوط به این وضعیت می‌شود و با توجه به اینکه در طول مدت زمان این وضعیت عملکردی ولتاژ دو سر ثانویه برابر با صفر ولت است، در نتیجه طولانی شدن مدت زمان این وضعیت باعث کاهش ولتاژ در خروجی می‌شود.

با توجه به توضیح بالا می‌توان ضریب تبدیل این مبدل را با در نظر گرفتن d_{eff} که در واقع ضریب دوره وظیفه ولتاژ ثانویه ترانسفورماتور است به‌جای d به‌صورت رابطه (۲-۹) نوشت[۷].

$$\frac{V_O}{V_{DC}} = \frac{N_S}{N_P}.d_{eff} \qquad (۹-۲)$$

با توجه به شکل (۲-۱۸) ضریب دوره وظیفه ولتاژ اولیه ترانسفورماتور یعنی d نسبت به d_{eff} ضریب دوره وظیفه ولتاژ ثانویه ترانسفورماتور به اندازه Δd بزرگ‌تر است پس می‌توان رابطه (۲-۱۰) را بین d و d_{eff} متصور بود.

$$d_{eff} = d - \Delta d \qquad (۱۰-۲)$$

که Δd میزان تلفات ضریب دوره وظیفه است که وابسته به شیب جریان اولیه در وضعیت عملکردی ۴ است که با توجه به شکل (۲-۱۸) می‌توان آن را به‌صورت رابطه (۲-۱۱) نوشت[۷]:

$$\Delta d = \frac{I_{P1} + I_{P2}}{\frac{V_{DC}}{L_{LK}}.\frac{T}{2}} \qquad (۱۱-۲)$$

I_{P1} در واقع حد پایین جریان سلف فیلتر خروجی است که از دیدگاه اولیه دیده می‌شود و می‌توان رابطه (۲-۱۲) را برای آن نوشت:

$$I_{P1} = \frac{N_S}{N_P}.\left(I_O - \frac{\Delta I_O}{2}\right) \qquad (۱۲-۲)$$

با جای‌گذاری I_{P1} و I_{P2} در رابطه (۲-۱۱) می‌توان برای Δd به‌صورت رابطه (۲-۱۳) نوشت[۷]:

$$\Delta d = \frac{\frac{N_S}{N_P}}{\frac{V_{DC}}{L_{LK}}.\frac{T_S}{2}}.\left(2.I_O.\frac{V_O}{L_O}.(1-d).\frac{T_S}{2}\right) \qquad (۱۳-۲)$$

با جای‌گذاری رابطه بدست آمده برای Δd و با جای‌گذاری d_{eff} بدست آمده از رابطه (۲-۹) در رابطه (۲-۱۰) می‌توان برای d به‌صورت زیر نوشت [۷].

$$d = \frac{n.V_O + \frac{4.L_{LK}.I_O}{n.T_S} - \frac{L_{LK}.V_O}{n.L_O}}{V_{DC} - \frac{L_{LK}.V_O}{n.L_O}} \qquad (۱۴-۲)$$

آنچه که مشخص است رابطه (۲-۱۴) به‌خوبی وابسته بودن d را نسبت به میزان اندوکتانس نشتی ترانسفورماتور، تعداد دورهای سیم‌پیچ‌های ترانسفورماتور، اندوکتانس فیلتر خروجی، دوره کلیدزنی، ولتاژ DC ورودی، جریان بار و ولتاژ خروجی DC نشان می‌دهد.

با جای‌گذاری رابطه (۲-۱۴) در (۲-۱۰) به‌جای d و همچنین رابطه (۲-۱۳) به جای Δd ، آنگاه می‌توان برای d_{eff} رابطه (۲-۱۰) به‌صورت زیر بازنویسی کرد:

$$d_{eff} = \frac{d}{1 + \frac{4.L_{LK}}{n^2.R_O.T_S} - \frac{L_{LK}}{n^2.L_O} + d_{O.} \cdot \frac{L_{LK}}{n^2.L_O}} \qquad (۱۵-۲)$$

که با توجه به خیلی بزرگ بودن سلف فیلتر خروجی نسبت به سلف نشتی ترانسفورماتور می‌توان در این رابطه از $\frac{L_{LK}}{n^2.L_O}$ صرفه‌نظر کرد که در این صورت رابطه ساده شده (۲-۱۶) بدست می‌آید:

$$d_{eff} = \frac{d}{1 + \frac{4.L_{LK}}{n^2.R_O.T_S}} \qquad (۱۶-۲)$$

رابطه (۲-۱۶) نشان می‌دهد که اگر اندوکتانس نشتی افزایش پیدا کند، d_{eff} هم مشابه با d کاهش می‌یابد. اگرچه اندوکتانس نشتی بر روی محدوده‌ی فراهم شدن شرایط ZVS تأثیرگذار است و افزایش آن، محدوده برقراری کلیدزنی ZVS را به‌خصوص برای کلیدهای موجود در بازوی پسفاز گسترده‌تر می‌کند اما از طرفی باید دقت داشت که بر میزان ولتاژ خروجی اثر مخرب دارد و بهره‌وری مبدل را پایین می‌آورد.

۲-۳-۷ تلفات و راندمان در مبدل تمام‌پل

در محاسبه تلفات توان در مبدل تمام‌پل بر پایه کلیدزنی ZVS، می‌توان تلفات کلیدزنی کلیدهای حاضر در بازوی پیشفاز را صفر درنظر گرفت، چراکه در این بازو تحقق کلیدزنی ZVS را در محدوده وسیع حداقل جریان خروجی تا جریان خروجی نامی مبدل شاهد هستیم[۱۰]. اما شرایط برای کلیدهای حاضر در بازوی پسفاز متفاوت است، چراکه تا قبل از رسیدن جریان خروجی مبدل به بیش از جریان مرزی تحقق کلیدزنی ZVS، تلفات در کلیدهای این بازو از نوع تلفات کلیدزنی سخت می‌باشد و پس از رسیدن جریان خروجی به بیش از جریان مرزی تحقق کلیدزنی ZVS تنها تلفات هدایتی در این کلیدها خواهیم داشت.

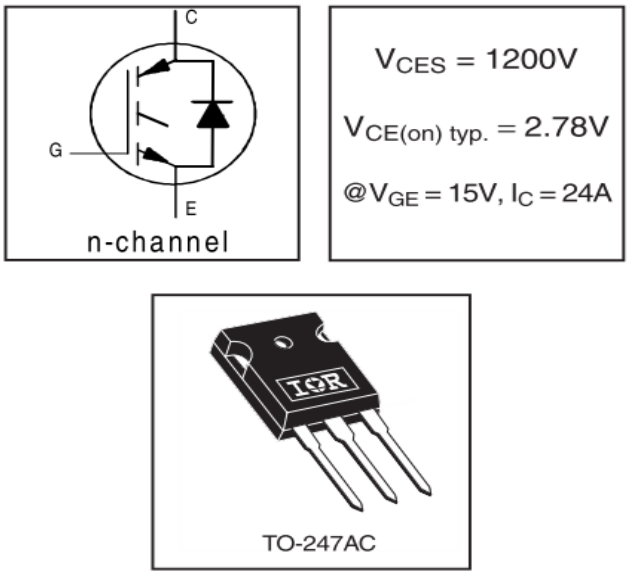
به‌طورکلی تلفات کلیدزنی برای یک IGBT به‌صورت رابطه (۲-۱۷) تعریف می‌شود:

$$P_{SW.IGBT} = (E_{on} + E_{off}) \times f_{SW} \qquad (۲-۱۷)$$

که در این رابطه f_{SW} فرکانس کلیدزنی، E_{on} و E_{off} به ترتیب مقدار انرژی دو سر کلید در لحظه روشن و خاموش شدن کلید است که در برگه اطلاعات کلید این اطلاعات داده شده است اما در اینجا چون خازن به دو سر کلید اضافه می‌شود مقدار انرژی E_{on} با توجه به مقدار خازن دو سر کلید برای هر کلید در بازوی پسفاز از رابطه (۲-۱۸) محاسبه می‌شود:

$$E_{on} = \frac{1}{2} C_t V_{CE}^2 \qquad (۲-۱۸)$$

برای مقدار E_{off} از برگه مشخصات یک IGBT واقعی استفاده می‌شود که مشخصات آن به‌صورت زیر است:



شکل (۲-۱۹) : مشخصات IGBT واقعی [۲۶]

مقدار E_{off} برای این کلید ۱.۵ میلی‌ژول اعلام شده است. در این صورت برای مقدار توان تلف شده در حالت کلیدزنی سخت برای مجموع دو کلید حاضر در بازوی پسفاز تلفات را به‌صورت رابطه (۲-۱۹) داریم[۲۷]:

$$P_{SW.2,3} = \frac{(2E_{on} + 2E_{off}) \times I_{PK} \times f_{SW} \times V_{dc}}{\pi \times I_{nom} \times V_{nom}} \qquad (۲-۱۹)$$

که در این رابطه I_{PK} حداکثر جریان عبوری از کلید است که همان I_{P2} است و f_{SW} فرکانس کلیدزنی و I_{nom} جریان نامی IGBT انتخابی است که در برگه مشخصات کلید ذکر شده است، همچنین V_{nom} هم ولتاژ نامی کلید است. بدین ترتیب تلفات کلیدزنی سخت در کلیدهای حاضر در بازوی پسفاز تا قبل از رسیدن جریان خروجی به مقدار که زمینه تحقق کلیدزنی نرم در این بازو را فراهم کند محاسبه شد. همان‌طور که مشخص است در شرایطی که I_{P2} کمتر از I_{P2Crit} است این تلفات هرچقدر I_{P2} به I_{P2Crit} نزدیک‌تر شود مقدار کمتری خواهد داشت.

برای محاسبه راندمان مبدل DC/DC لازم است تا ابتدا به‌صورت مجزا میزان تلفات قسمت‌های مختلف آن را محاسبه کنیم و پس از آن تلفات کل مبدل را با استفاده از آن‌ها محاسبه و در آخر راندمان

کلی مبدل را حساب کنیم. پس باید میزان تلفات توان در اینورتر تمام‌پل، ترانسفورماتور فرکانس بالا، یکسوکننده تمام‌پل را محاسبه کنیم. با این فرض که تلفات سوئیچینگ در مبدل تمام‌پل در حالت سوئیچینگ نرم نزدیک به صفر است پس تلفات توان در شرایط ایده‌آل در این مبدل مربوط به تلفات هدایتی کلیدها و دیودهای هرزگرد است. با توجه به شکل (۲-۱۸) مشخص است که جریان عبوری از دیودها و کلیدها در بازوی پسفاز و پیشفاز شبیه به هم نیست، پس لازم است تا تلفات را برای هرکدام با توجه به جریان مؤثر عبوری از آن محاسبه شود.

تلفات هدایتی را برای کلیدها می‌توان به‌طور کلید به‌صورت رابطه (۲-۲۰) مطرح کرد:

$$P_Q = R_{on} \times I_{rms}^2 \qquad (۲۰-۲)$$

که در این رابطه R_{on} مقدار مقاومت داخلی کلید در زمان روشن بودن کلید است که در برگه مشخصات هر کلید با همین نام ذکر می‌گردد. پس با توجه به مقدار جریان I_{rms} برای کلید هر بازو تلفات را به‌صورت زیر داریم[۷] :

$$P_{T2,3} = R_{on}.\left[(\frac{I_1}{\sqrt{3}})^2 \times \frac{\Delta d}{2} + (I_{out}^2 + \frac{\Delta I_1^2}{3}) \times d_{eff} + (I_{out}^2 + \frac{\Delta I_1^2}{3}) \times (1-d) \right] \qquad (۲۱-۲)$$

$$P_{T1,4} = R_{on}.\left[(\frac{I_1}{\sqrt{3}})^2 \times \frac{\Delta d}{2} + (I_{out}^2 + \frac{\Delta I_1^2}{3}) \times d_{eff} \right] \qquad (۲۲-۲)$$

برای دیودهای معکوس دو سر کلیدها تلفات را می‌توان به‌صورت زیر محاسبه کرد:

$$P_{D2,3} = V_{FWD}.\left[I_{out}(1-d) + \frac{I_2}{2}\frac{\Delta d}{2} \right] \qquad (۲۳-۲)$$

$$P_{D1,4} = V_{FWD}.\left[\frac{I_2}{2}\frac{\Delta d}{2} \right] \qquad (۲۴-۲)$$

پس بطور کلی تلفات در اینورتر فرکانس بالا داریم:

$$P_{inv} = 2.\left(P_{T1,4} + P_{T2,3} + P_{D1,4} + P_{D2,3}\right) \quad (۲۵-۲)$$

تلفات کل ترانسفورماتور از دو بخش تشکیل شده است که یک بخش آن مربوط به تلفات هسته است که با توجه به جنس هسته و مواد آن و در نظر گرفتن حداکثر چگالی شار هسته با توجه به نمودارها محاسبه می‌شود که به فرکانس سوئیچینگ بستگی دارد و بخش دیگر مربوط به تلفات سیم‌پیچی ترانسفورماتور است که با توجه به مقاومت معادل سیم‌پیچ اولیه و ثانویه محاسبه می‌شود که به‌صورت زیر قابل تعریف است[۲۸].

$$P_W = \left(R_1 + R_2^{'}\right).I_{P-rms}{}^2 \quad (۲۶-۲)$$

که در این رابطه $R_1, R_2^{'}$ معرف مقاومت سیم‌پیچ ثانویه انتقال داده شده به اولیه و مقاومت سیم‌پیچ اولیه است و در حالت کلی تلفات ترانسفورماتور فرکانس بالا به‌صورت زیر می‌باشد:

$$P_{Xfmr} = P_C + P_W \quad (۲۷-۲)$$

تلفات در یکسوکننده خروجی هم با توجه به اینکه می‌دانیم جریان عبوری از هر دیود در زمان هدایتش $\frac{I_O}{2}$ است پس تلفات در یکسوکننده به‌صورت زیر می‌باشد:

$$P_{rect} = 4.\left(V_{RD}.\frac{I_O}{2}\right) \quad (۲۸-۲)$$

پس از محاسبه تلفات در یکسوکننده، حال می‌توان کل تلفات مبدل را محاسبه کرد و به‌صورت زیر نوشت:

$$P_{total} = P_{inv} + P_{Xfmr} + P_{rect} \qquad (۲۹-۲)$$

پس می‌توان برای راندمان مبدل به‌صورت زیر نوشت:

$$\eta_C = \frac{V_O.I_O}{V_O.I_O + P_{total}}.100 \qquad (۳۰-۲)$$

۲-۴ روش مرسوم طراحی مبدل تمام‌پل بر پایه کلیدزنی ZVS

در بخش (۲-۳-۵) با توجه به شرایط حاکم بر مدار مبدل مشاهده گردید که تحقق کلیدزنی در کلیدهای حاضر در بازوی پسفاز تا حدودی دارای پیچیدگی است و این پیچیدگی هم از لحاظ تعیین دقیق پارامترهای طراحی تأثیرگذار در تحقق کلیدزنی ZVS در آن‌ها و هم از لحاظ محدوده مجاز مقدار این پارامترها است، از این‌رو در روش‌های طراحی ارائه شده بر روی تعیین پارامترهای طراحی جهت تحقق کلیدزنی ZVS در کلیدهای حاضر در بازوی پسفاز تمرکز می‌شود.

۲-۴-۱ مراحل طراحی بر پایه خازن نشتی کلید

در روش طراحی بر پایه خازن نشتی داخلی کلید مشخصاتی از جمله ولتاژ ورودی V_{DC}، مقدار نامی ولتاژ و جریان خروجی V_O و I_O، مقدار جریان خروجی بحرانی جهت تحقق کلیدزنی ZVS I_{OCrit} و همچنین ΔI_O به عنوان ورودی طراحی در نظر گرفته می‌شود. همچنین در این روش خازن تشدید در نظر گرفته شده تنها مقدار خازن نشتی داخلی کلید که به‌صورت موازی با آن مدل می‌شود در نظر گرفته می‌شود که در طراحی مقدار کل خازن موجود در بازوی پسفاز یعنی C_{t_lag} موردنیاز است. پس از تعیین مقادیر ورودی‌های طراحی، مراحل طراحی به‌صورت زیر آورده شده است[۷]:

- **مرحله ۱**

در ابتدا مقدار ماکزیمم d ($d_{\max}$) را تعیین می‌کنیم که در تعیین مقدار آن باید به‌گونه‌ای عمل

کرد که بیشترین ضریب تبدیل برای ترانسفورماتور حاصل شود، چراکه مقدار بزرگ ضریب تبدیل ترانسفورماتور جریان اولیه را کاهش می‌دهد و در نتیجه تلفات در اجزاء قرار گرفته در اولیه ترانسفورماتور کاهش پیدا خواهد کرد.

- **مرحله ۲**

در این مرحله از طراحی، مقدار پیک ولتاژ ثانویه ($V_{\max.s}$) ترانسفورماتور را تعیین می‌کنیم که به‌گونه‌ای تعیین می‌شود که ضریب تبدیل ترانسفورماتور ($\frac{N_P}{N_S}$) حداکثر را کسب کند. باید به این نکته توجه داشت که کاهش $V_{\max.s}$ (افزایش ضریب تبدیل ترانسفورماتور)، کاهش جریان اولیه را به دنبال خواهد داشت از طرفی این کاهش جریان در اولیه ترانسفورماتور کاهش محدوده تحقق کلیدزنی نرم را برای کلیدهای بازوی پسفاز به دنبال خواهد داشت. با توجه به $d_{\max}$ رابطه (۲-۳۱) به‌عنوان حد $V_{\max.s}$ خواهیم داشت و در ابتدا مقدار $V_{\max.s}$ را بر اساس این رابطه تعیین می‌کنیم، سپس مقدار نهایی آن از تکرار چندین بار مراحل ۲ تا ۵ بدست خواهد آمد.

$$V_{\max.s} \geq \frac{V_O}{d_{\max}} \qquad (۳۱-۲)$$

در شرایطی که مقدار $V_{\max.s}$ مشخص است می‌توان با توجه به رابطه (۲-۳۲) مقدار ضریب تبدیل ترانسفورماتور را بدست آورد.

$$n = \frac{N_P}{N_S} = \frac{V_{DC}}{V_{\max.s}} \qquad (۳۲-۲)$$

- **مرحله ۳**

حداقل مقدار جریان بار جهت تحقق کلیدزنی ZVS برای کلیدهای بازوی پسفاز (I_{OCrit}) در این مرحله محاسبه می‌شود. در بخش (۲-۳-۶) توضیح داده شد که محدوده تحقق کلیدزنی ZVS برای بازوی پسفاز با توجه به جریان اولیه در لحظه شروع وضعیت عملکردی ۳ تعیین می‌شود. تعیین جریان بحرانی (I_{P2Crit}) با توجه به رابطه (۲-۸) تا قبل از مشخص شدن اندوکتانس سلف فیلتر خروجی و

فرکانس کلیدزنی هنوز مشخص نیست و به منظور مشخص شدن مقدار دقیق I_{OCrit} لازم است تا چند مرتبه مراحل ۳ تا ۵ را تکرار شود. برای شروع جریان I_{P2Crit} را برابر با I'_{OCrit} در نظر می‌گیریم. تکرار مراحل ۳ تا ۵ تا زمانی که تغییرات در جریان I_{P2Crit} قابل صرفه‌نظر کردن باشد ادامه پیدا خواهد کرد.

- **مرحله ۴**

با استفاده از رابطه (۲-۶) و مشخص بودن I_{P2Crit} اندوکتانس نشتی مورد نیاز برای ترانسفورماتور به‌صورت زیر بدست می‌آید:

$$L_{LK} = \frac{C_{t_lag}.{V_{DC}}^2}{I_{P2Crit}^2} \qquad (۲-۳۳)$$

- **مرحله ۵**

رابطه (۲-۳۴) را با استفاده از رابطه (۲-۱۶) به منظور محاسبه فرکانس کلیدزنی خواهیم داشت:

$$f_S = \frac{n^2.R_O}{4.L_{LK}}.\left(\frac{d_{\max}}{d_{eff}} - 1\right) \qquad (۲-۳۴)$$

- **مرحله ۶**

در ادامه روند طراحی پس از مشخص شدن فرکانس کلیدزنی با توجه به رابطه جریان خروجی در وضعیت عملکردی ۵، رابطه (۲-۳۵) برای محاسبه مقدار سلف فیلتر خروجی بدست می‌آید:

$$L_O = \frac{\frac{V_{DC}}{n} - V_O}{\Delta I_O}.\frac{d_{eff}}{2.f_S} \qquad (۲-۳۵)$$

- **مرحله ۷**

برای بدست آوردن مقدار I_{P2Crit} مقدار d در محدوده‌ی شرایط بحرانی (d_{crit}) کافی است تا در

رابطه (۲-۷) مقدار R_0 را به‌گونه‌ای قرار دهیم که جریان خروجی برابر با I_{OCrit} شود. سپس با استفاده از رابطه (۲-۱۶) با قرار دادن d_{crit} و I_{OCrit} مقدار I_{P2Crit} را از رابطه (۲-۳۶) بدست آورد:

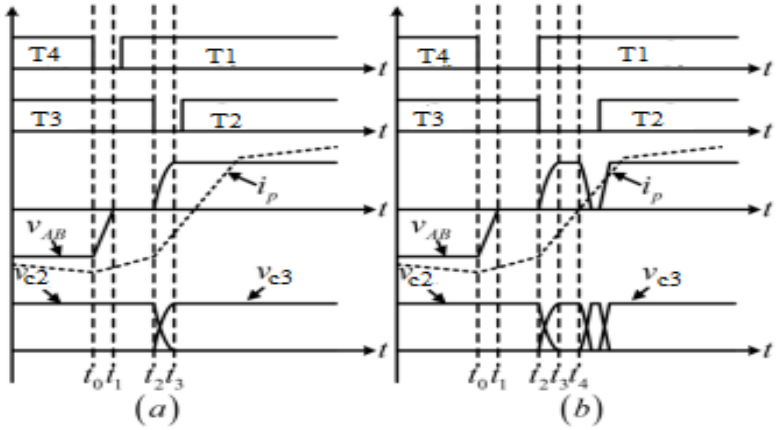
$$I_{P2Crit} = \frac{N_S}{N_P}.\left(I_{OCrit} + \frac{\Delta I_O}{2} - \frac{V_O}{L_O}.(1-d_{crit}).\frac{1}{2.f_S} \right) \qquad (۳۶-۲)$$

۲-۴-۲ محدودیت‌های طراحی بر پایه خازن نشتی کلید

در روش طراحی ارائه شده در قسمت قبل خازن تشدید در نظر گرفته شده تنها مجموع خازن داخلی کلی است که این خازن بسته به تکنولوژی ساخت کلید مقدار مختلفی دارد که اغلب مقدار آن بسیار ناچیز است. در چنین شرایطی اگر که مقدار زمان مرده بین کلیدها مقدارش بیشتر از مقدار بدست آمده در روش طراحی قبل باشد، یک مشکل بزرگ وجود دارد و آن این است که در آن تأثیر زمان مرده بین کلیدها در نظر گرفته نشده است.

۲-۴-۲-۱ تأثیر زمان مرده بین کلیدهای بازوی پیشـــفاز در تحقق کلیدزنی ZVS در این بازو

برای بررسی تأثیر زمان مرده بر روی تحقق کلیدزنی ZVS در بازوی پیشفاز، فرض می‌کنیم که کلید T_4 و T_3 در وضعیت اتصال قرار دارند، در این صورت جریان در اولیه از طریق این دو کلید و اندوکتانس نشتی ترانسفورماتور جاری است. حال فرض می‌کنیم در زمان t_0 کلید T_4 از وضعیت اتصال به وضعیت قطع تغییر کند در نتیجه جریان اولیه خازن‌های موازی با کلیدهای حاضر در بازوی پیشفاز را شارژ و دشارژ می‌کند.



شکل (۲-۲۰) : شکل موج پالس‌های ارسالی به کلیدهای بازوی پیشفاز و پسفاز به همراه جریان و ولتاژ اولیه ترانسفورماتور

در این بازه زمانی سلف نشتی ترانسفورماتور را می‌توان سری با اندوکتانس سلف فیلتر خروجی انتقال داده شده به سمت اولیه در نظر گرفت که دارای مقدار زیادی در مقایسه با مقدار سلف نشتی ترانسفورماتور است و جریان اولیه هم در این شرایط مقدار تقریباً ثابت را دارد [۲۹]. در بازه زمانی مربوط به این وضعیت رابطه جریان اولیه و ولتاژ دو سر خازن‌های C_4 و C_1 به‌صورت زیر است [۲۹].

$$i_p(t) = I_P \qquad (۳۷-۲)$$

$$V_{C1} = V_{dc} - \frac{I_p}{C_{t_lead}}(t - t_0) \qquad (۳۸-۲)$$

$$V_{C4} = \frac{I_p}{C_{t_lead}}(t - t_0) \qquad (۳۹-۲)$$

به این ترتیب ولتاژ خازن در زمان t_1 مقدارش به صفر رسیده، در این صورت دیود D_1 در وضعیت اتصال قرار می‌گیرد و کلید T_1 می‌تواند در شرایط ZVS روشن شود محدوده زمان مرده بین کلیدهای بازوی پیشفاز به‌صورت رابطه (۲-۴۰) تعیین می‌گردد[۲۹].

$$t_{d(lead)} > t_{01} = \frac{C_{t_lead}}{I_p} V_{dc} \qquad (۴۰-۲)$$

که با توجه به انرژی زیادی که از سلف فیلتر خروجی در این حالت داریم به راحتی شرایط برای کلیدزنی ZVS برای کلیدهای بازوی پیشفاز فراهم است.

۲-۴-۲-۲ تأثیر زمان مرده بین کلیدهای بازوی پســـفاز در تحقق کلیدزنی ZVS در این بازو

بر اساس زمان مرده مورد نیاز برای کلیدهای T_2 و T_3 و زمان محاسبه شده از طریق رابطه (۲-۴) در عمل با دو حالت زیر مواجه خواهیم بود:

- حالت اول $t_{d(lag)} < \Delta t_{lag}$:

فرض می‌کنیم که کلیدهای T_3 و T_1 در حال هدایت جریان اولیه می‌باشند در چنین شرایطی همان‌طور که در شکل (۲-۲۰) مشاهده می‌شود بعد از اینکه کلید T_3 در وضعیت قطع قرار بگیرد، خازن C_3 و C_2 از طریق جریان اولیه در شرایط شارژ و دشارژ قرار می‌گیرند که در این شرایط ولتاژ دو سر خازن C_3 که همان ولتاژ دو سر اولیه ترانسفورماتور هم است شروع به افزایش از مقدار صفر می‌کند و به‌طور هم‌زمان با توجه به وضعیت مدار پلاریته دو سر اولیه ترانسفورماتور معکوس می‌شود. با توجه به اینکه در این وضعیت ثانویه ترانسفورماتور در وضعیت اتصال کوتاه است ولتاژ دو سر اولیه ترانسفورماتور همان ولتاژ دو سر اندوکتانس نشتی ترانسفورماتور است. در این شرایط معادلات زیر بر ولتاژ دو سر خازن‌ها و جریان اولیه ترانسفورماتور حاکم است[۲۹].

$$i_p(t) = I_p \cos\left(\frac{1}{\sqrt{2L_{lk}C_{t_lag}}}(t-t_2)\right) \quad (۴۱-۲)$$

$$v_p = v_{c3}(t) = I_p\sqrt{\frac{L_{lk}}{2C_{t_lag}}}\sin\left(\frac{1}{\sqrt{2L_{lk}C_{t_lag}}}(t-t_2)\right) \quad (۴۲-۲)$$

$$v_{c2}(t) = V_{dc} - I_p\sqrt{\frac{L_{lk}}{2C_{t_lag}}}\sin\left(\frac{1}{\sqrt{2L_{lk}C_{t_lag}}}(t-t_2)\right) \quad (۴۳-۲)$$

در انتهای این بازه زمانی ولتاژ خازن C_2 به مقدار صفر می‌رسد و در این صورت امکان هدایت دیود موازی با آن فراهم می شود و به این ترتیب کلید T_2 می‌تواند در شرایط ZVS در وضعیت اتصال قرار بگیرد. برای این منظور باید زمان مرده بین کلیدهای بازوی پسفاز در محدوده رابطه (۲-۴۴) باشد[۲۹] .

$$t_{d(lag)} > t_{23} = \sqrt{2L_{lk}C_{t_lag}}\arcsin\left(\frac{V_{dc}}{\sqrt{\frac{L_{lk}}{2C_{t_lag}}}I_p}\right) \quad (۴۴-۲)$$

در واقع در این شرایط می‌توان زمان مرده بین کلیدها را در روش تولید پالس PS_PWM به اندازه‌ای که رابطه (۲-۴۴) را ارضاء کند افزایش داد و در صورت رعایت این نکته مشکلی در تحقق کلیدزنی ZVS در کلیدهای بازوی پسفاز وجود نخواهد داشت.

- حالت دوم $t_{d(lag)} > \Delta t_{lag}$:

این همان حالتی است که در روش معمول طراحی مبدل تمام‌پل بر پایه کلیدزنی ZVS اگر در نظر نگیریم باعث عدم تحقق کلیدزنی ZVS در بازوی پسفاز خواهد شد. شکل (۲-۲۰) را در نظر می‌گیریم، در این حالت اگر زمان مرده بین کلیدها بزرگ‌تر از مقدار زمان بدست آمده از رابطه (۲-۴) باشد در این صورت هنگامی‌که ولتاژ دو سر خازن C_2 به مقدار صفر بر سد دیود دو سر D_2 شروع به هدایت

خواهد کرد و جریان اولیه ترانسفورماتور از طریق این دیود و کلید T_1 جاری خواهد بود در این شرایط ولتاژ ورودی دو سر اندوکتانس نشتی ترانسفورماتور قرار خواهد گرفت و جریان در اولیه در زمان t_4 به مقدار صفر خواهد رسید، حال در این زمان اگر کلید T_2 هنوز در وضعیت هدایت قرار نگرفته باشد (به دلیل زیاد بودن زمان مرده) جریان اولیه ترانسفورماتور در جهت عکس شروع به زیاد شدن خواهد کرد و در این حالت c_2 و c_3 از طریق منبع ورودی و سلف نشتی شارژ و د شارژ می شوند. در این شرایط رابطه جریان اولیه و ولتاژ دو سر تراسفورماتور که همان ولتاژ خازن c_2 ا ست به همراه ولتاژ دو سر خازن c_3 به‌صورت زیر است.

$$i_p(t) = V_{dc}\sqrt{\frac{2C_{t_lag}}{L_{lk}}}\sin\left(\frac{1}{\sqrt{2L_{lk}C_{t_lag}}}(t-t_4)\right) \qquad (۴۵-۲)$$

$$v_p = v_{C3}(t) = V_{dc}\cos\left(\frac{1}{\sqrt{2L_{lk}C_{t_lag}}}(t-t_4)\right) \qquad (۴۶-۲)$$

$$v_{C2}(t) = V_{dc} - V_{dc}\cos\left(\frac{1}{\sqrt{2L_{lk}C_{t_lag}}}(t-t_4)\right) \qquad (۴۷-۲)$$

در چنین شرایطی اگر کلید T_2 در وضعیت وصل قرار بگیرد ولتاژ خازن دو سر کلید در آن تخلیه می شود و کلیدزنی ZVS محقق نخواهد شد و تلفات در مبدل افزایش پیدا خواهد کرد. در این حالت تنها راه حل برای تحقق کلیدزنی ZVS برای کلیدهای بازوی پسفاز این است که مدت زمان مرده بین کلیدها در محدوده رابطه (۲-۴۸) باشد.

$$t_{d(lag)} < \left(\begin{array}{l} \sqrt{2L_{lk}C_{t_lag}} \arcsin \dfrac{V_{dc}}{I_P \sqrt{\dfrac{L_{lk}}{2C_{t_lag}}}} + \\ \dfrac{L_{lk}I_P}{V_{dc}} \cos\left(\arcsin \dfrac{V_{dc}}{I_P \sqrt{\dfrac{L_{lk}}{2C_{t_lag}}}} \right) \end{array} \right) \qquad (۴۸-۲)$$

حد پایین زمان مرده لازم بین کلیدها مقداری است که با توجه به تکنولوژی ساخت کلیدهای نیمه‌هادی در برگه مشخصات آن‌ها ذکر می شود و مقدار آن را نمی‌توان کمتر از مقدار ذکر شده در نظر گرفت. پس در رابطه بالا در شرایطی که مقدار زمان مرده لازم برای کلید بیشتر از مقدار سمت راست نامساوی رابطه (۲-۴۸) باشد، به منظور فراهم کردن زمینه تحقق کلیدزنی ZVS باید مقدار سمت راست نامساوی افزایش پیدا کند تا شرایط رابطه (۲-۴۸) ارضاء شود، در روش معمول طراحی که در قسمت قبل ارائه گردید مقدار خازن دو سر کلید ثابت و برابر با مقدار خازن نشتی کلید است پس در آن ناچار به اضافه کردن سلف نشتی برآورده شدن شرایط رابطه (۲-۴۸) هستیم که این عمر به تلفات در ضریب دوره وظیفه مؤثر خروجی مبدل d_{eff} بر طبق رابطه (۲-۱۶) و همچنین به افزایش پیک ولتاژی دو سر کلید و خازن‌های موجود در اولیه منجر خواهد شد. در این صورت بهترین کار اضافه کردن خازن به دو سر کلیدها به منظور افزایش سمت راست نامساوی (۲-۴۸) است چراکه افزایش مقدار خازن دو سر کلید علاوه بر فراهم کردن زمینه تحقق کلیدزنی ZVS برای کلیدهای بازوی پسفاز، باعث کاهش پیک ولتاژی دو سر کلید در زمان لحظه قطع کلید و همچنین کاهش تلفات قطع کلید خواهد شد[۳۰].

فصل سوم:

الگوریتم پیشنهادی جهت طراحی مبدل تمام‌پل بر پایه کلیدزنی ZVS

در این فصل روش پیشنهادی طراحی مبدل تمام‌پل بر پایه کلیدزنی ZVS که شامل تعیین زمان مرده مورد نیاز بین کلیدهای موجود در یک بازو مبدل، مقدار خازن مورد نیاز جهت تحقق کلیدزنی ZVS، نسبت تبدیل مناسب برای ترانسفورماتور ایزوله فرکانس بالا، مقدار سلف مورد نیاز جهت تحقق کلیدزنی ZVS، تعیین مقدار سلف و خازن فیلتر خروجی، ارائه می‌گردد. سپس در ادامه مراحل طراحی ترانسفورماتور فرکانس بالا و سلف فیلتر خروجی بیان می‌شود. طراحی مدار فرمان آتش کلیدهای نیمه-هادی و انتخاب پردازنده، برد سنسور ولتاژ و برد واسط ADC مراحل دیگر طراحی منبع تغذیه تمام پل با کلیدزنی ZVS خواهد بود، که در این فصل به آن پرداخته شده است.

۳-۱ تعیین پارامترهای طراحی و محدوده آن

قبل از ارائه الگوریتم طراحی ابتدا لازم است تا پارامترهای اصلی در طراحی مبدل تمام‌پل بر پایه کلیدزنی ZVS را با استفاده از معادلات اساسی ارائه شده در بخش (۲-۳-۶) شناسایی کنیم. منظور از پارامترهای اصلی طراحی، کلیه پارامترهایی است که در تحقق کلیدزنی ZVS و همچنین تعیین محدوده این تحقق تأثیرگذار می‌باشند.

با توجه به روش طراحی ارائه شده در بخش (۲-۴) و همچنین در نظر گرفتن معادلات (۲-۶) و (۲-۸) دو پارامتر که تأثیر مستقیم بر تحقق کلیدزنی ZVS و همچنین محدوده آن دارند سلف تشدید مورد نیاز و ضریب تبدیل ترانسفورماتور ایزوله است. با در نظر گرفتن ملاحظات گفته شده در بخش (۲-۴-۲) پارامتر دیگری که باید به لیست اضافه کرد مقدار خازن مورد نیاز دو سر کلیدهای حاضر در یک بازو است. هدف اصلی از الگوریتم طراحی پیشنهادی تعیین مقادیر این سه پارامتر است. در این بین پارامترهایی هستند که تعیین مقادیر آن‌ها برای طراحی مبدل لازم است هرچند شاید در تحقق کلیدزنی ZVS در آن تأثیر چندانی نداشته باشند. مقدار سلف فیلتر خروجی و همچنین مقدار خازن فیلتر خروجی از قبیل این پارامترها می‌باشند.

در این روش، پارامترهای ورودی طراحی عبارتند از: ولتاژ و جریان خروجی مبدل، ولتاژ ورودی مبدل، فرکانس کلیدزنی، مقدار ریپل مجاز در جریان و ولتاژ خروجی است، علاوه بر این پارامترها، پارامتر دیگری که با توجه به توضیحات بخش (۲-۴-۲) باید به‌عنوان ورودی طراحی در نظر گرفته شود، حداقل زمان مرده مورد نیاز بین کلیدهای حاضر در یک بازو است. پارامترهایی که تا به اینجا به عنوان ورودی طراحی عنوان شد پارامترهایی است که مشخص بودن آنها در ابتدای طراحی ضروری است، اما برای طراحی با اهداف مشخص‌تر می‌توان پارامترهای دیگری از قبیل مقدار حداکثر پیک جریان اولیه ترانسفورماتور ایزوله و حداقل جریان خروجی جهت تحقق کلیدزنی ZVS و.... به پارامترهای ورودی طراحی اضافه کرد. در آخر می‌توان پارامترهای ورودی طراحی و پارامترهای طراحی را به‌صورت جدول (۳-۱) بیان کرد.

جدول (۳-۱) : پارامترهای ورودی و خروجی طراحی

پارامترهای ورودی	پارامترهای طراحی
ولتاژ ورودی	مقدار کل خازن موردنیاز دو سر کلیدهای بازوی پسفاز
پیک جریان ورودی	مقدار کل سلف نشتی موردنیاز
ولتاژ خروجی	ضریب تبدیل ترانسفورماتور ایزوله
جریان خروجی	–
ریپل جریان خروجی	–
فرکانس کلیدزنی	–
زمان مرده بین کلیدها	–
حد جریان خروجی مبدل جهت تحقق کلیدزنی ZVS	–

الگوریتم پیشنهادی مانند روش ارائه شده در بخش (۲-۴) یک روش مبتنی بر تکرار است به همین خاطر بهتر است برای محدود کردن جستجوی مقادیر پارامترهای طراحی، با استفاده از معادلات اساسی مبدل یک حد بالا و یک حد پایین برای مقادیر این پارامترها تعیین کنیم درواقع این کار به سرعت رسیدن به پاسخ کمک خواهد.

۳-۱-۱ تعیین حدود ضریب تبدیل ترانسفورماتور ایزوله فرکانس بالا

تعیین مقدار ضریب تبدیل ترانسفورماتور با توجه به رابطه (۲-۸) بر روی مقدار حد جریان بار خروجی جهت تحقق کلیدزنی ZVS و همچنین بر طبق رابطه (۲-۱۲) بر روی بهره‌وری ولتاژ خروجی مبدل تأثیرگذار است. یک ضریب تبدیل بالا کمک می‌کند تا به کلید و دیودهایی با جریان نامی پایین‌تر نیاز باشد و سبب کاهش هزینه قطعات می‌شود همچنین کمک می‌کند تا تلفات در تجهیزاتی که در قسمت اولیه حضور دارند کاهش پیدا کند و سبب افزایش بهره‌وری در مبدل می‌شود.

اما از طرفی باید به این نکته هم توجه داشت که با توجه به رابطه (۲-۸) ضریب تبدیل بالا باعث می‌شود تا حد جریان خروجی جهت تحقق کلیدزنی ZVS بالا رود و در درصد بیشتری از جریان خروجی شاهد کلیدزنی سخت باشیم که خود به تلفات بیشتر در کلیدها و کاهش بهره‌وری مبدل منجر می‌شود، از طرفی با توجه به رابطه (۲-۵) که شرط لازم جهت تحقق کلیدزنی ZVS است اگر جریان I_{P2} را ثابت فرض کنیم و بخواهیم که حد جریان خروجی برای تحقق کلیدزنی ZVS ثابت باقی بماند با افزایش ضریب تبدیل ترانسفورماتور نیاز است تا میزان سلف تشدید را افزایش دهیم تا شرط رابطه (۲-۵) برقرار شود که این نیز باعث افزایش تلفات و حجم بیشتر سلف تشدید و کاهش بهره‌وری می‌شود از طرف دیگر میزان سلف موجود در مدار بر روی مقدار پیک ولتاژی دو سر کلیدها در لحظه قطع شدن تأثیرگذار است و باعث افزایش آن می‌شود که این یعنی به کلید با ولتاژ نامی بالاتری نیاز است. اگر ضریب تبدیل ترانسفورماتور پایین انتخاب شود، روشن است که باعث می‌شود تا جریان خروجی با ضریب بالاتری در ورودی ظاهر شود که باعث افزایش محدوده تحقق کلیدزنی ZVS می‌شود، همچنین برای برقراری شرط

رابطه (۲-۵) نیاز به سلف تشدید کمتری است که این خود باعث کاهش تلفات در سلف و کاهش پیک ولتاژی دو سر کلیدها در زمان قطع می‌شود؛ اما باید توجه داشت انتخاب یک ضریب تبدیل پایین باعث می‌شود تا جریان در اولیه افزایش پیدا کند که نتیجه آن افزایش جریان نامی قطعات موجود در اولیه ازجمله کلیدهای نیمه‌هادی و دیودها می‌شود و همچنین باعث افزایش تلفات در کلیدهای نیمه‌هادی و دیودها می‌شود. پس با در نظر گرفتن موارد گفته شده اقدام به تعیین حدود ضریب تبدیل ترانسفورماتور ایزوله فرکانس بالا می‌کنیم. از رابطه ضریب تبدیل مبدل تمام‌پل رابطه (۳-۱) را می‌توان استخراج کرد:

$$n = d.\frac{V_{DC}}{V_O} \qquad (۳-۱)$$

در این رابطه ولتاژ ورودی و خروجی مبدل دارای مقادیر ثابت و به‌عنوان ورودی‌های مسئله طراحی می‌باشند و تنها مقدار ضریب d است که می‌توان در آن تغییراتی در جهت رسیدن به حداکثر و حداقل ضریب تبدیل برای ترانسفورماتور ایزوله داشت. پس به‌منظور تعیین مقدار حداقل ضریب تبدیل ترانسفورماتور $d_{\min}$ را برابر با ۰.۲ در نظر می‌گیریم که در این صورت برای حد پایین ضریب تبدیل ترانسفورماتور ایزوله رابطه (۳-۲) را خواهیم داشت:

$$n_{\min} = 0.2 \times \frac{V_{DC}}{V_O} \qquad (۳-۲)$$

برای داشتن حداکثر مقدار برای d کافی است تا شیفت فاز را برابر با صفر در نظر بگیریم در این صورت رابطه (۳-۳) را برای $d_{\max}$ خواهیم داشت:

$$d_{\max} = 1 - 2.t_d.f_S \qquad (۳-۳)$$

سپس با قرار دادن $d_{\max}$ در رابطه (۳-۱) برای حداکثر ضریب تبدیل رابطه (۳-۴) بدست می‌آید.

$$n_{\max} = d_{\max}.\frac{V_{DC}}{V_O} \qquad (۳-۴)$$

۳-۱-۲ تعیین حدود مقدار سلف تشدید

تأثیر مقدار سلف تشدید بر محدوده تحقق کلیدزنی ZVS از روابط (۲-۸) و (۲-۱۶) مشهود است. انتخاب کردن یک مقدار بالا برای سلف تشدید مزایایی ازجمله افزایش محدوده‌ی تحقق کلیدزنی ZVS است و به دنبال آن کاهش تلفات کلیدزنی در شرایط کلیدزنی سخت را خواهیم داشت؛ اما باید توجه داشت که رابطه (۲-۱۶) نشان می‌دهد که انتخاب یک مقدار بالا برای سلف تشدید سبب کاهش بهره‌وری ولتاژ خروجی مبدل می‌شود؛ و از طرف دیگر استفاده از سلف با ظرفیت بالا باعث افزایش تلفات اهمی، افزایش پیک ولتاژی در دو سر کلیدها می‌شود. انتخاب یک مقدار پایین برای سلف نشتی باعث می‌شود تا برای برقراری رابطه (۲-۸) نیاز باشد تا جریان بیشتری از سلف بگذرد و این به معنی نیاز به جریان بیشتر در ورودی جهت تحقق کلیدزنی ZVS برای کلیدهای بازوی پسفاز می‌باشد.

در حد پایین مقدار سلف تشدید را برابر با مقدار سلف نشتی ترانسفورماتور ایزوله در نظر می‌گیریم و حداکثر مقدار سلف تشدید با توجه به رابطه (۳-۵) مستخرج از رابطه (۲-۱۶) بدست می‌آید.

$$L_t = \frac{n^2.R_O}{4.f_S}.\left(\frac{d_{\max}}{d_{eff}} - 1\right) \qquad (۵-۳)$$

برای ماکزیمم شدن سمت چپ تساوی باید $d_{eff.\min}$ را به‌جای d_{eff} در رابطه (۳-۵) فرض می‌کنیم که حداقل مقدار d_{eff} ۰.۲ است) قرار دهیم و همچنین مقدار $n_{\max}$ را به‌جای n در این معادله جایگزین می‌کنیم. به این ترتیب رابطه (۳-۶) را برای بدست آوردن حداکثر سلف تشدید خواهیم داشت:

$$L_{t\max} = \frac{n_{\max}}{4.f_s}.(\frac{d_{\max}}{0.2} - 1) \qquad (۶-۳)$$

۳-۱-۳ تعیین حدود خازن مورد نیاز برای دو سر کلیدها

در مورد اهمیت مقدار خازن دو سر کلیدها بخصوص کلیدهای حاضر در بازوی پسفاز در فصل قبل به طور مفصل بحث و اینجا از تکرار مطالب پرهیز می‌کنیم و با فرض اینکه مدت زمان Δt_{lag} برابر با

¼ پریود رزونانس است و با برابر قرار دادن Δt_{lag} با t_d با توجه به مطالب بخش (۲-۴-۲)، از رابطه (۲-۴)، با قرار دادن $L_{t\max}$ به جای L_t در این رابطه، حداقل مقدار خازن تشدید مورد نیاز دو سر کلیدهای بازوی پسفاز به‌صورت رابطه (۳-۷) می‌باشد:

$$C_{t_lag_\min} = \frac{1}{L_{t\max}}.\left(\frac{2.t_d}{\pi}\right)^2 \qquad (۳-۷)$$

به همین ترتیب برای بدست آوردن مقدار حداکثر خازن تشدید دو سر کلیدهای بازوی پسفاز، این بار به‌جای L_t در رابطه (۲-۴) $L_{t\min}$ قرار می‌دهیم. در این صورت برای حداکثر میزان خازن تشدید موردنیاز کلیدهای بازوی پسفاز رابطه (۳-۸) بدست می‌آید:

$$C_{t_lag_\max} = \frac{1}{L_{t\min}}.\left(\frac{2.t_d}{\pi}\right)^2 \qquad (۳-۸)$$

۳-۱-۴ لزوم تعیین دقیق زمان مرده در طراحی

بنا بر مطالب گفته شده در بخش (۲-۴-۲-۲) یکی از مهم‌ترین پارامترهایی که در الگوی طراحی به عنوان ورودی طراحی در نظر گرفتیم و تعیین دقیق آن از اهمیت ویژه‌ای برخوردار است زمان مرده لازم بین کلیدها است. در اکثر مواقع زمان مرده موردنیاز بین کلیدها بیشتر از عددی است که در برگه مشخصات کلید ذکر می‌شود، چرا که اغلب اوقات برای ارسال پالس مناسب به کلیدها نیاز به مدارات درایور می‌باشد، که پالس های ارسالی از این مدارات خود دارای تأخیر مجزا می‌باشد. با در نظر گرفتن این نکته رابطه (۳-۹) حداقل میزان زمان مرده مورد نیاز بین کلیدهای حاضر در یک بازو را مشخص می‌کند [۳۱].

$$t_{dt-\min} = t_{off-c} - t_{d-on} \qquad (۳-۹)$$

که در آن t_{d-on} مدت زمانی است که پالس ارسالی از مدار فرمان به گیت کلید به ۹۰٪ مقدار نامی خود

رسیده باشد و t_{off-C} کل مدت زمان تأخیر خاموش شدن کلید است که از طریق رابطه (۳-۱۰) محاسبه می‌شود[۳۱]:

$$t_{off-C} = t_{off-S} + t_{d-off} \quad (۱۰-۳)$$

منظور از t_{d-off} مدت زمانی است که پالس ارسالی از مدار فرمان به گیت کلید به مقدار ۱۰٪ خود کاهش پیدا کرده باشد. t_{off-S} مدت زمانی است که جریان به ۱۰٪ مقدار خود کاهش پیدا کرده باشد. لازم به ذکر است که زمان‌های گفته شده به دو پارامتر وابسته هستند اولین آن جریان عبوری از کلید است که هرچه بیشتر باشد مدت زمان $t_{dt-\min}$ کاهش پیدا می‌کند و دومین آن دمای نقطه اتصال صفحه N به P در کلید است که هرچه دما پایین‌تر باشد مدت زمان $t_{dt-\min}$ کمتر خواهد بود.

۳-۲ طراحی مبدل مطلوب

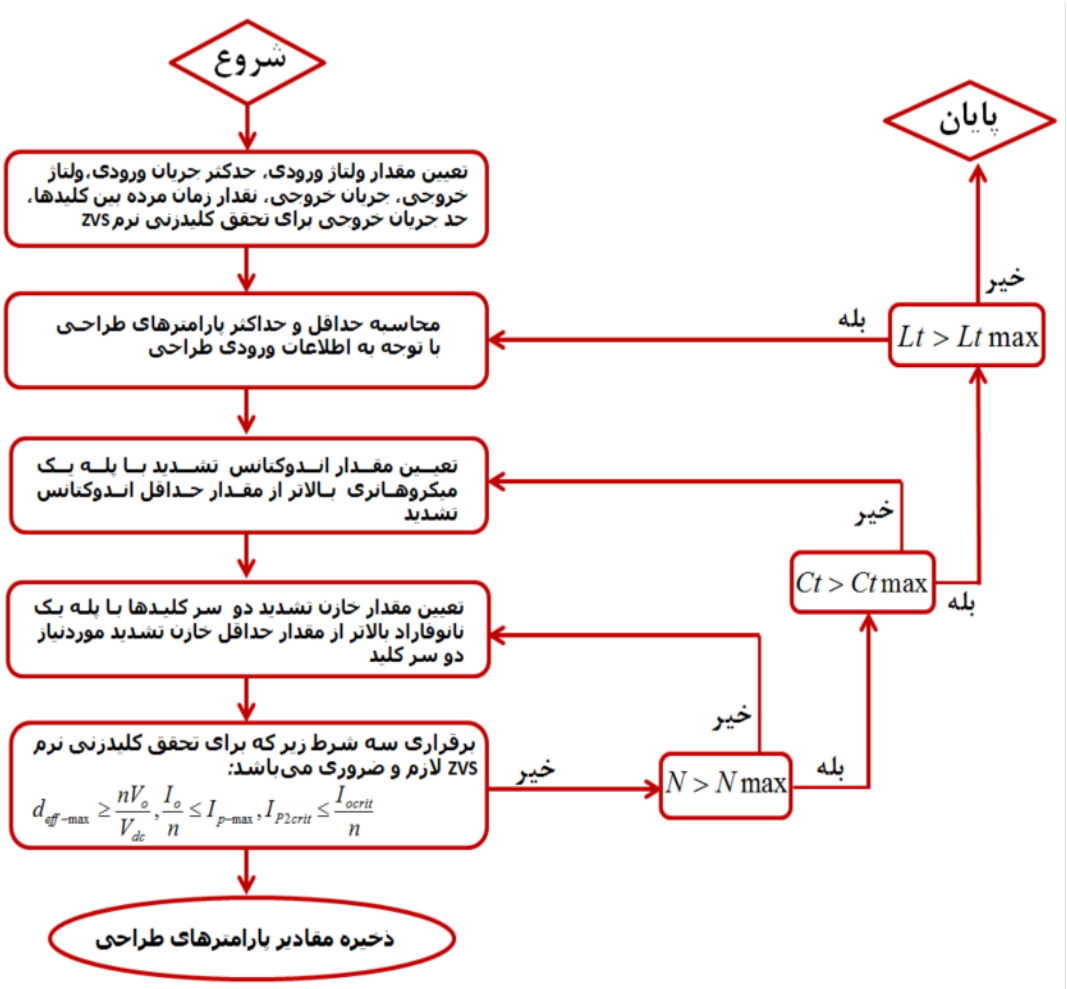
۳-۲-۱ تعیین مقادیر پارامتر های طراحی مبدل مطلوب با استفاده از الگوریتم مبتنی بر تکرار

با توجه به پارامترهای ورودی ارائه شده در جدول (۳-۲) اقدام به طراحی مبدل تمام‌پل بر پایه کلیدزنی ZVS با مشخصات موردنظر، با استفاده از فلوچارت ارائه شده در شکل (۳-۱) می‌کنیم.

جدول (۳-۲) مقادیر پارامترهای ورودی طراحی

پارامتر ورودی	مقدار پارامتر
ولتاژ ورودی	۲۰۰V
حداکثر جریان ورودی	۷ A
ولتاژ خروجی	۵۰ V
جریان خروجی	۱۵ A
مدت زمان مرده بین کلیدها	۱.۲ us
حد جریان خروجی برای برقراری شرایط کلیدزنی ZVS	۵ A

الگوریتم مذکور با توجه به روش طراحی ارائه شده در بخش (۲-۴-۱) و در نظر گرفتن ملاحظات بخش (۲-۴-۲) اقدام به جستجوی جواب‌های ممکن و تعیین مقادیر پارامترهای طراحی با توجه به اطلاعات ورودی الگوریتم، می‌کند. پس از پیاده‌سازی الگوریتم طراحی در نرم‌افزار متلب به‌صورت m فایل، نتایج به‌صورت.



شکل (۳-۱) : فلوچارت الگوریتم طراحی پیشنهادی

با استفاده از الگوریتم طراحی پیشنهادی مقادیر پارامترهای طراحی به صورت زیر می‌باشد :

$$C_{t-lag} = 6.2\mu F, L_r = 60.5mH$$

با توجه به رابطه جریان خروجی بین محدوده زمانی t_4 و t_5 (در وضعیت عملکردی ۵) و دانستن این نکته که در این وضعیت ولتاژ دو سر سلف فیلتر خروجی برابر با $\frac{V_{DC}}{n} - V_O$ و تغییرات جریان عبوری از سلف برابر با ΔI_O است می‌توان رابطه (۳-۱۱) را برای محاسبه مقدار سلف فیلتر خروجی استخراج کرد.

$$L_O = \frac{\frac{V_{DC}}{n} - V_O}{\Delta I_O} . \frac{d_{eff\max}}{2.f_S} \qquad (۱۱-۳)$$

در رابطه (۳-۱۱)، $d_{eff\max}$ از رابطه (۳-۱۶) با قرار دادن $d_{\max}$ به جای d بدست می‌آید، به این ترتیب برای مقدار سلف خروجی به‌صورت زیر داریم:

$$L_O = \frac{\frac{V_{DC}}{n} - V_O}{\Delta I_O} . \frac{\frac{d_{\max}}{1 + \frac{4.L_{r_total}}{n^2.R_O.T_S}}}{2.f_S} \qquad (۱۲-۳)$$

$$L_O = \frac{\frac{200}{2.4} - 50}{0.6} . \frac{\frac{0.904}{1 + \frac{4*60.4*10^{-6}}{2.4^2*3.33*25*10^{-6}}}}{2*40000} \cong 500\mu H$$

مقدار خازن کل تشدید مورد نیاز برای کلیدهای بازوی پسفاز از رابطه (۲-۳) بدست می‌آید که با در نظر گرفتن حداقل I_{P-PK} و در نظر گرفتن Δ_{t_lead} برابر با ۰.۸ زمان مرده بین کلیدها مقدار کل خازن تشدید مورد نیاز برای دو سر کلیدهای حاضر در بازوی پیشفاز برابر است با:

$$(C_1 + C_4) = \frac{0.8*1.2*10^{-6}*2.5}{200} = 12nF$$

۳-۲-۲ طراحی سلف و ترانسفورماتور ایزوله فرکانس بالا

از قسمت‌های مهم در طراحی مبدل‌های سوئیچینگ ایزوله که طراحی صحیح آن می‌تواند بر بهبود عملکرد مبدل تأثیرگذار باشد، سلف فیلتر خروجی و ترانسفورماتور فرکانس ایزوله مورد استفاده در آن است. با توجه به فرکانس کلیدزنی در مبدل که ۴۰ کیلوهرتز در نظر گرفته شده است طراحی از نوع طراحی فرکانس بالا است. ملاحظات و روش طراحی ترانسفورماتور فرکانس بالا و چک فیلتر خروجی تا حدودی شبیه به هم است که در ادامه مراحل طراحی هرکدام به‌صورت مجزا ارائه گردیده است.

۳-۲-۲-۱ مراحل طراحی ترانسفورماتور ایزوله فرکانس بالا

با استفاده از معادلات طراحی ترانسفورماتور فرکانس بالا و در نظر گرفتن ملاحظات مربوط به این نوع از طراحی مراحل طراحی ترانسفورماتور را به‌صورت زیر در نظر می‌گیریم [۲۸]:

- **مرحله ۱: محاسبه حداکثر توان خروجی و توان ظاهری**

محاسبه حداکثر توان خروجی ترانسفورماتور، با در نظر گرفتن یکسوکننده خروجی به‌صورت پل کامل و افت ولتاژ ۱ ولتی در دو سر هر یک از دیودهای یکسوکننده خروجی به‌صورت رابطه (۳-۱۳) محاسبه می‌شود:

$$P_{O\max} = I_{o\max}.(V_{o\max} + 2*V_d) \qquad (۱۳-۳)$$

توان خروجی ظاهری ترانسفورماتور با استفاده از رابطه (۳-۱۴) برای این حالت محاسبه می‌شود:

$$P_t = 2P_{in} \qquad (۱۴-۳)$$

- **مرحله ۲: انتخاب سایز هسته**

دو روش مرسوم جهت انتخاب سایز هسته وجود دارد که هردوی این روش‌ها با محاسبه یک ضریب که معرف برخی از ابعاد هسته است کمک می‌کند تا سایز هسته را متناسب با توان خروجی مورد نظر درست انتخاب کنیم. این دو ضریب با توجه به ابعاد هسته قابل محاسبه می‌باشد و در برخی از موارد توسط شرکت سازنده هسته به‌صورت مجزا در برگه مشخصات هسته ارائه می‌گردند. در اینجا ما با محاسبه ضریب K_g اقدام به انتخاب هسته مناسب می‌کنیم:

$$K_g = \frac{P_t}{2K_e\alpha}(cm^5) \qquad (۱۵-۳)$$

که در این رابطه α درصد رگولاسیون ولتاژ و K_e ضریب الکتریکی است که برحسب مشخصات الکتریکی مورد نیاز از رابطه (۳-۱۶) بدست می‌آید:

$$K_e = 0.145(K_f)^2(f)^2(B_m)^2(10^{-4}) \qquad (۱۶-۳)$$

K_f ضریب شکل موج دو سر ترانسفورماتور است که برای شکل موج مربعی ۴ در نظر گرفته می‌شود.

- **مرحله ۳: تعین تعداد دور اولیه و ثانویه**

برای تعیین تعداد دور مورد نیاز برای قسمت اولیه ترانسفورماتور از رابطه (۳-۱۷) استفاده می‌کنیم:

$$N_P = \frac{V_{P\min} * 10^4}{K_f . B_{ac} . f . A_c}(turn) \qquad (۱۷-۳)$$

در آن K_u ضریب استفاده از پنجره هسته که حدود ۰.۴ تا ۰.۶ انتخاب می‌شود و A_c سطح مقطع بازوی وسط هسته است.

تعداد دور ثانویه، با توجه به نسبت تبدیل ترانسفورماتور که از قبل معلوم است بدست می‌آید:

$$N_S = \frac{N_P}{n} \qquad (۱۸-۳)$$

- **مرحله ۴: تعیین سطح مقطع سیم موردنیاز برای اولیه و ثانویه**

قبل از تعیین سطح مقطع مورد نیاز برای سیم‌پیچ قسمت اولیه لازم است تا چگالی جریان را از رابطه (۳-۱۹) محاسبه کنیم:

$$J = \frac{P_t * 10^4}{K_f * K_u * B_m * f * A_p} \qquad (۱۹-۳)$$

در رابطه بالا A_p، با توجه به ابعاد هسته محاسبه می‌شود که معمولاً در مشخصات هسته ذکر می‌شود. حال برای مشخص شدن سطح مقطع سیم برای قسمت اولیه ترانسفورماتور ابتدا از طریق رابطه (۳-۲۰) میزان جریان قسمت اولیه را محاسبه می‌کنیم:

$$I_{pRMS} = \frac{P_o}{\eta V_P} = \qquad (۲۰-۳)$$

همچنین برای ثانویه جریان مؤثر از رابطه زیر بدست می‌آید:

$$I_{Orms} = I_O \sqrt{D} \qquad (۲۱-۳)$$

که در این رابطه D ضریب دوره وظیفه کلیدها است.

سپس از رابطه (۳-۲۲) سطح مقطع سیم مناسب بدست می‌آید:

$$A_W = \frac{I_{RMS}}{J}(cm^2) \qquad (۲۲-۳)$$

- **مرحله ۵: محاسبه ضریب پنجره برای اطمینان از فضای کافی جهت سیم‌پیچی**

محاسبه ضریب استفاده از فضای پنجره جهت سنجش درستی انتخاب سایز هسته صورت می‌گیرد و باید بین ۰.۴ تا ۰.۶ باشد که در صورت نبودن در این بازه باید ابعاد هسته اصلاح شود.

$$K_u = \frac{N * S * A_w}{W_a} \qquad (۲۳-۳)$$

۳-۲-۲-۲ مراحل طراحی سلف DC فیلتر خروجی

در این قسمت اقدام به طراحی سلف مورد نیاز برای فیلتر خروجی مبدل می‌کنیم. روند طراحی بسیار شبیه به آن چیزی است که برای طراحی ترانسفورماتور ایزوله انجام دادیم.

- **مرحله ۱: محاسبه انرژی سلف**

برای محاسبه انرژی سلف ابتدا لازم است تا حداکثر جریان عبوری از سلف را با استفاده از رابطه زیر بدست آوریم:

$$I_{pk} = I_O + \frac{\Delta I_O}{2} \qquad (۲۴-۳)$$

سپس انرژی ذخیره در سلف از رابطه (۳-۲۵) محاسبه می‌شود:

$$Energy = \frac{L * I_{pk}^2}{2}[watt - \sec onds] \qquad (۲۵-۳)$$

- **مرحله ۲: انتخاب هسته مورد نیاز**

بعد از محاسبه میزان انرژی ذخیره شده در سلف در این قسمت K_e ضریب الکتریکی را برای سلف DC از رابطه (۳-۲۶) محاسبه می‌کنیم:

$$K_e = 0.145 * P_o * B_m^2 (10^{-4}) \qquad (۲۶-۳)$$

سپس ضریب K_g را برای انتخاب هسته مناسب از رابطه (۳-۲۷) محاسبه می‌کنیم:

$$K_g = \frac{(Energy)^2}{K_e * \alpha}(cm^5) \qquad (۲۷-۳)$$

- **مرحله ۳: انتخاب سطح مقطع مناسب برای سیم**

برای محاسبه سطح مقطع سیم موردنیاز ابتدا لازم است تا چگالی جریان را از رابطه (۳-۲۸) محاسبه کنیم:

$$J = \frac{2*(Energy)*10^4}{B_m * A_P * K_u}(amps/cm^2) \qquad (۲۸-۳)$$

سپس برای محاسبه سطح مقطع سیم مورد نیاز جریان مؤثر عبوری از سلف که همان جریان مؤثر خروجی مبدل است را از رابطه (۳-۲۹) محاسبه می‌کنیم:

$$I_{rms} = \sqrt{I_O^2 + \Delta I^2} \qquad (۲۹-۳)$$

سپس از رابطه (۳-۲۲) مقدار سطح مقطع سیم مورد نیاز را محاسبه می‌کنیم:

$$A_w = \frac{I_{rms}}{J}(cm^2)$$

- **مرحله ۴: محاسبه تعداد دور موردنیاز**

جهت محاسبه تعداد دور موردنیاز از رابطه (۳-۳۰) استفاده می‌کنیم که در آن l_g طول فاصله هوایی هسته برحسب سانتی‌متر مربع است که در طراحی سلف DC جهت به اشباع نرفتن هسته معمولاً در نظر گرفته می‌شود:

$$N = \sqrt{\frac{l_g * L}{0.4 * \pi * A_c * 10^{-8}}} (turne) \qquad (۳۰-۳)$$

- **مرحله ۵: محاسبه ضریب پنجره هسته**

در این قسمت برای اطمینان از کافی بودن فضای پنجره هسته انتخاب شده مقدار ضریب پنجره را با توجه به ابعاد پنجره هسته و سطح مقطع سیم انتخابی و تعداد دور به‌صورت زیر محاسبه می‌کنیم و در آن $W_{a(eff)}$ سطح پنجره مؤثر است که معمولاً ۰.۷۵ سطح پنجره واقعی هسته در نظر گرفته می‌شود:

$$K_u = \frac{N * A_w}{W_{a(eff)}}$$

اگر ضریب پنجره در محدوده مجاز خود نباشد باید ابعاد هسته را اصلاح کرد و مجدد محاسبات را انجام داد.

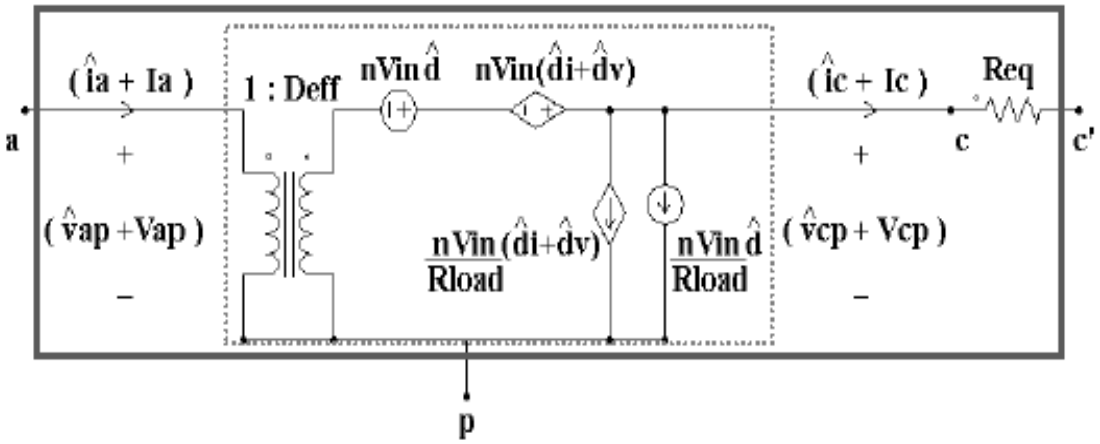
۳-۲-۳ مدل دینامیکی و انتخاب روش کنترلی

در این بخش به تشریح معادلات دینامیکی مبدل تمام‌پل بر پایه کلیدزنی ZVS با استفاده از مدل کلید PWM می‌پردازیم و در ادامه در زیر بخش دوم از همین بخش اقدام به طراحی کنترل مد ولتاژ با استفاده از تابع تبدیل و معادلات دینامیکی بدست آمده برای سیستم، می‌کنیم.

۳-۲-۳-۱ مدل دینامیکی مبدل تمام‌پل بر پایه مدل کلید PWM

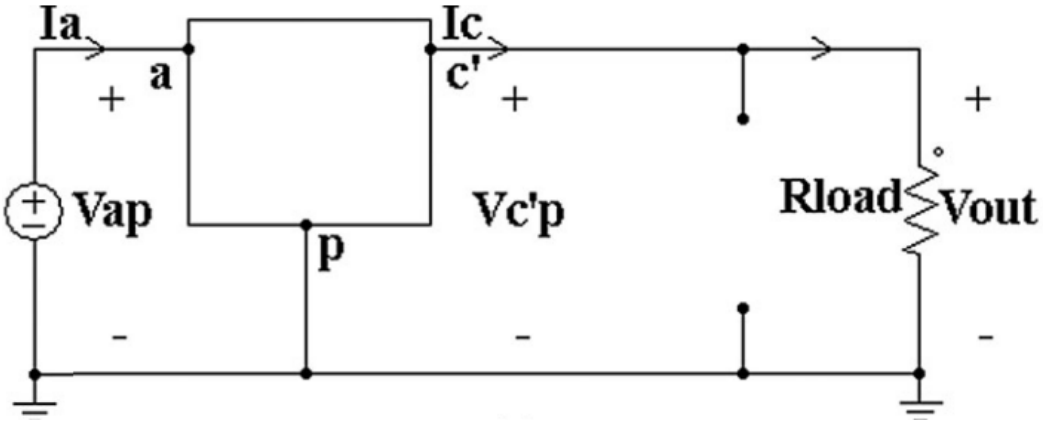
مدل‌سازی مبدل جهت پیش‌بینی پاسخ، طراحی و کنترل آن از موضوعات پراهمیت به شمار می‌رود. با توجه به رفتار سیگنال بزرگ یا استاتیکی مبدل، مدل ریاضی مناسبی برای تحلیل سیگنال کوچک مبدل در نظر گرفته می‌شود، این مدل ریاضی باید بتواند پاسخ مدار به تغییرات بار، خط (تغذیه) و زمان وظیفه کلیدها را پیش‌بینی نماید تا بتوان به کمک آن اقدام به طراحی کنترل‌کننده مناسب کرد. روش‌های مختلفی برای این مدل‌سازی پیشنهاد شده است که ساده‌ترین و پرکاربردترین آن مدل‌سازی به روش فضای حالت متوسط است؛ اما برای مدل‌سازی یک مبدل ZVS_PS_FB استفاده از این روش به این دلیل که با وضعیت‌های مختلفی از مدار در طول یک سیکل کامل کلیدزنی مواجه هستیم، دارای پیچیدگی زیادی است؛ که برای حل این مشکل استفاده از مدل سیگنال کوچک کلید PWM پیشنهاد شده است[۱۸]. به‌منظور دقت بیشتر در مدل مستخرج از این روش، تأثیر المان‌های نشتی به‌طور مشخص سلف نشتی ترانسفورماتور و ESR خازن خروجی در نظر گرفته شده است.

در شکل (۳-۲) مدار معادل کلید PWM برای ساختار FB_PS نشان داده شده است که در آن می‌توان تأثیر سیکل وظیفه کلید را به‌صورت منبع جریان وابسته و منبع ولتاژ وابسته مشاهده کرد



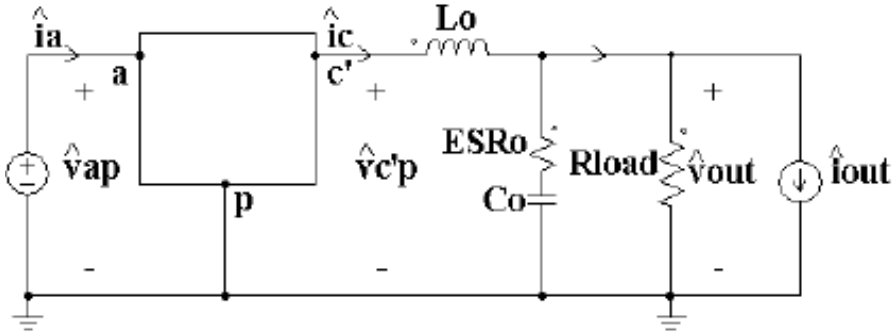
شکل (۳-۲) : مدار معادل کلید PWM برای مبدل PS_FB [۱۸].

بر اساس‌شکل (۳-۲) می‌توان مدار معادل DC مبدل تمام پل با الگوریتم کلیدزنی شیفت فاز را به‌صورت‌شکل (۳-۳) داشت:



شکل (۳-۳) : مدار معادل مبدل PS_FB [۱۸].

همچنین مدار معادل سیگنال کوچک (AC) به‌صورت شکل (۳-۴) است:



شکل (۳-۴) : مدار معادل سیگنال کوچک مبدل تمام پل با الگوریتم کلیدزنی شیفت فاز [۱۸]

با توجه به مدار شکل معادل DC ارائه شده در شکل (۳-۴) می‌توان برای جریان ورودی i_a به‌صورت رابطه (۳-۳۱) نوشت:

$$i_a = D_{eff}.I_C \qquad (۳۱-۳)$$

همچنین ولتاژ پایانه V_{cp} به‌صورت رابطه (۳-۳۲) است[۳۲] :

$$V_{cp} = D_{eff}.nV_{in} \qquad (۳۲-۳)$$

که n به‌صورت $\frac{N_s}{N_p}$ است.

همچنین ولتاژ پایانه V_{cp} را می‌توان برحسب ولتاژ خروجی به‌صورت رابطه (۳-۳۳) نوشت:

$$V_{cp} = R_{eq}.I_C + V_{out} \qquad (۳۳-۳)$$

به همین صورت از مدار معادل سیگنال کوچک مبدل معادلات زیر را داریم[۱۸] :

$$\hat{i}_a = D_{eff}.\hat{i}_c + \hat{d}_{eff}.I_c \qquad (۳۴-۳)$$

$$\hat{v}_{cp} = D_{eff}.\hat{v}_{ap} + \hat{d}_{eff}.V_{ap} \qquad (۳۵-۳)$$

$$\hat{v}_{cp} = (R_{eq} + sL_O).\hat{i}_c + \hat{v}_{c'p} \qquad (۳۶-۳)$$

$$\hat{i}_c = \hat{i}_{Co} + \frac{\hat{v}_{out}}{R_{load}} + \hat{i}_{out} \qquad (۳۷-۳)$$

$$\hat{v}_{out} = (ESR_O + \frac{1}{s.C_O}).\hat{i}_{Co} \qquad (۳۸-۳)$$

$$\hat{d}_{eff} = \hat{d} + \hat{d}_i + \hat{d}_v \qquad (۳۹-۳)$$

$$\hat{d}_i = -\frac{R_d}{V_{ap}}.\hat{i}_c \qquad (۴۰-۳)$$

$$\hat{d}_v = (I_c - \frac{V_{out}.D'_{eff}}{4.f_S.L_O}).\frac{R_d}{V^2{}_{ap}}.\hat{v}_{ap} \qquad (۴۱-۳)$$

که در معادلات بالا $\hat{v}_{ap} = n.\hat{v}_{in}$ و $\hat{v}_{c'p} = \hat{v}_{out}$ و $D'_{eff} = 1 - D_{eff}$ هستند و همچنین R_d به‌صورت رابطه (۴۲-۳) است[۳۳] :

$$R_d = 4n^2 L_{leak} f_s \qquad (۴۲-۳)$$

پس از نوشتن معادلات حاکم بر مدار سیگنال کوچک مبدل ZVS_PS_FB، نوبت به بدست آوردن تابع تبدیل سیستم می‌رسد. مهم‌ترین تابع تبدیل که اساس کنترل مد ولتاژ است، تابع تبدیل میزان تأثیر تغییرات سیکل وظیفه بر ولتاژ خروجی است که در این مبدل به‌صورت رابطه(۳-۴۳) است[۱۷]:

$$G_{vd} = \frac{\hat{v}_{out}}{\hat{d}}\Big|_{\substack{\hat{i}_{out}=0 \\ \hat{v}_{in}=0}} = \frac{nV_{in}R_{load}}{L_O C_O (R_{load} + ESR_O)} \cdot \frac{(s.ESR_O C_O + 1)}{s^2 + s2\xi\omega_n + \omega_n^2} \qquad (۴۳-۳)$$

که در این تابع تبدیل ξ به‌صورت رابطه(۳-۴۴) است:

$$\xi = \frac{\sqrt{\frac{L_O}{C_O}} + \sqrt{\frac{C_O}{L_O}}\left[(R_{load} + ESR_O)(R_{load} + R_{eq} + 4n^2 f_S L_{leak}) - R_{load}^2\right]}{2\sqrt{(R_{load} + ESR_O)(R_{load} + R_{eq} + 4n^2 f_S L_{leak})}} \qquad (۴۴-۳)$$

و همچنین ω_n به‌صورت زیر است:

$$\omega_n = \frac{1}{\sqrt{L_O C_O}} \sqrt{\frac{R_{load} + R_{eq} + 4n^2 f_S L_{leak}}{R_{load} + ESR_O}} \qquad (۴۵-۳)$$

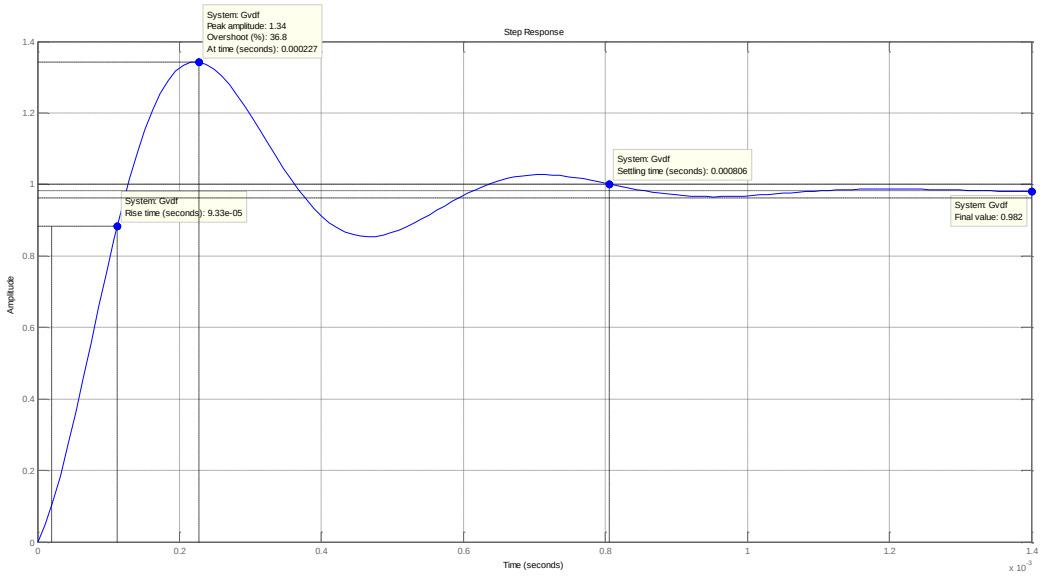
تابع تبدیل بالا از این جهت که اثر تلفات اهمی مجموع مبدل R_{eq} و همچنین ESR_O خازن خروجی در آن در نظر گرفته شده است برای تحلیل رفتار دینامیکی مبدل دقیق‌تر از مدل ساده‌ای است که اثر این اجزاء در آن در نظر گرفته نشده است.

۳-۲-۳-۲ پاســخ پله تابع تبدیل در نظر گرفته شــده برای مبدل تمام‌پل بر پایه کلیدزنی ZVS

با در نظر گرفتن تابع تبدیل (۳-۴۴) برای مبدل در این قسمت با استفاده از قابلیت نرم‌افزار متلب بخش SISOTOOL اقدام به بدست آوردن پاسخ پله این تابع تبدیل کرده و مورد تحلیل و بررسی قرار

می‌دهیم.

با جای‌گذاری پارامترهای بدست آمده از طراحی بخش (۳-۲-۱) و پارامترهای ورودی طراحی بخش (۳-۱-۴) در تابع تبدیل(۳-۴۳) پاسخ پله سیستم به‌صورت‌شکل (۳-۵) است:

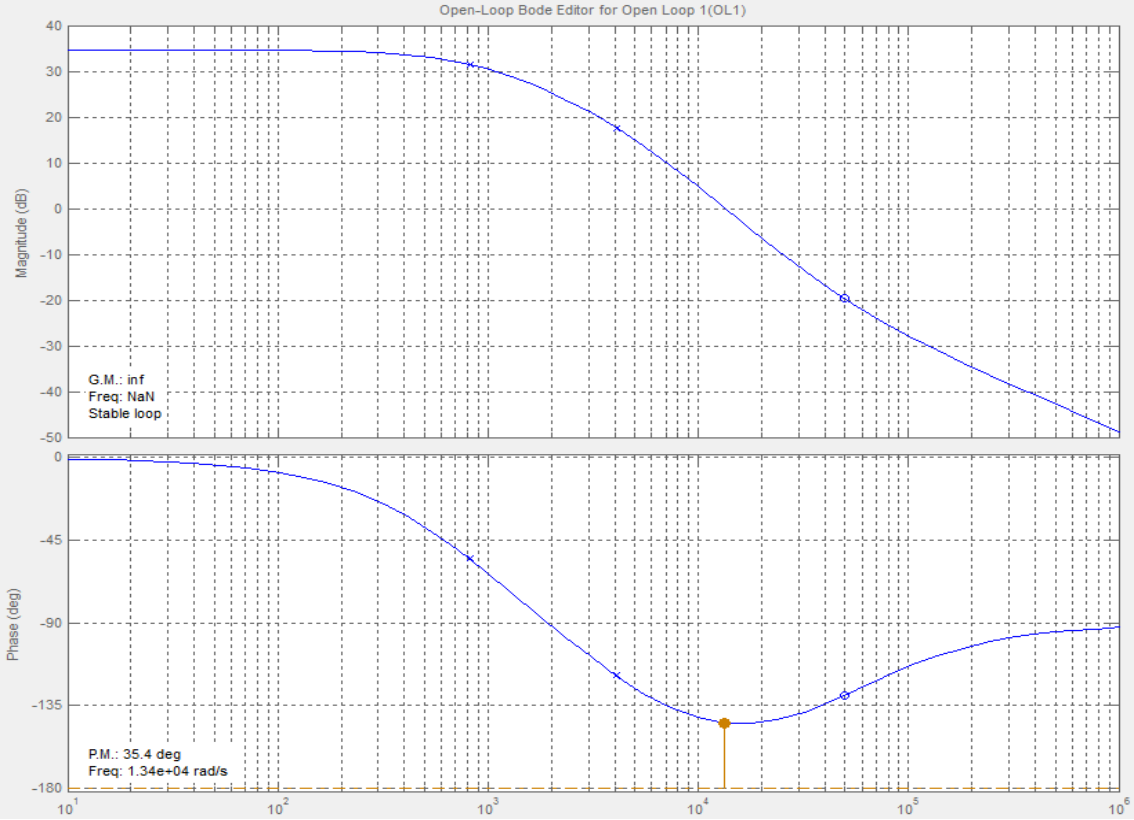


شکل (۳-۵) : پاسخ پله تابع تبدیل G_{vd}

همان‌طور که از شکل (۳-۵) قابل مشاهده است، میزان فراجهش سیستم در حدود ۳۶ درصد که این مقدار فراجهش در صورتی است که سیستم دارای سرعت قابل قبولی نیست و این برای سیستم مناسب نیست، همچنین مقدار نهایی دارای خطایی دائمی در حدود ۱.۸ درصد هست. برای رفع این مشکلات نیاز است تا از یک کنترلر در سیستم حلقه بسته مبدل استفاده کنیم تا هم درصد فراجهش را به زیر ۱۰ درصد که حد استاندار برای چنین سیستم‌هایی است، برسانیم و هم اینکه مقدار خطای حالت دائم را از بین ببریم و به‌عنوان آخرین هدف، سرعت پاسخگویی سیستم را در حد امکان افزایش دهیم.

در شکل (۳-۶) می‌توان نمودار بود حلقه باز تابع تبدیل G_{vd} را مشاهده کرد، همان‌طور که مشخص است حاشیه فاز در حدود ۳۵.۴ در فرکانس $1.34*10^4$ است و همچنین سیستم حلقه باز دارای یک

حاشیه بهره بی‌نهایت و سیستم در فرکانس‌های پایین دارای بهره‌ای در حدود $35dB$ است؛ که این میزان از بهره برای سیستم در فرکانس‌های پایین باعث کند بودن سیستم می‌شود. در مورد حاشیه فاز برای این مبدل پیشنهاد می‌شود که فرکانسی که $0dB$ را قطع می‌کند در حدود ۵ تا ۸ برابر فرکانس کلیدزنی باشد تا سیستم از حاشیه فاز مناسب و همچنین سرعت قابل‌قبول برخوردار باشد[۳۴].



شکل (۳-۶) : نمودار Bode حلقه باز تابع تبدیل G_{vd}

۳-۳-۲-۳ طراحی کنترلر

با توجه به مواردی که در بخش قبل گفته شد در این قسمت اقدام به طراحی یک کنترلر مناسب برای سیستم حلقه بسته مبدل می‌کنیم. اهدافی که برای طراحی کنترلر در نظر داریم عبارتند از: افزایش پاسخگویی سیستم که در قالب افزایش گین سیستم در فرکانس‌های پایین مطرح شد، کاهش درصد فراجهش و افزایش حاشیه فاز سیستم و انتقال فرکانس عبور از صفر سیستم به حدود ۵ تا ۶ برابر فرکانس کلیدزنی.

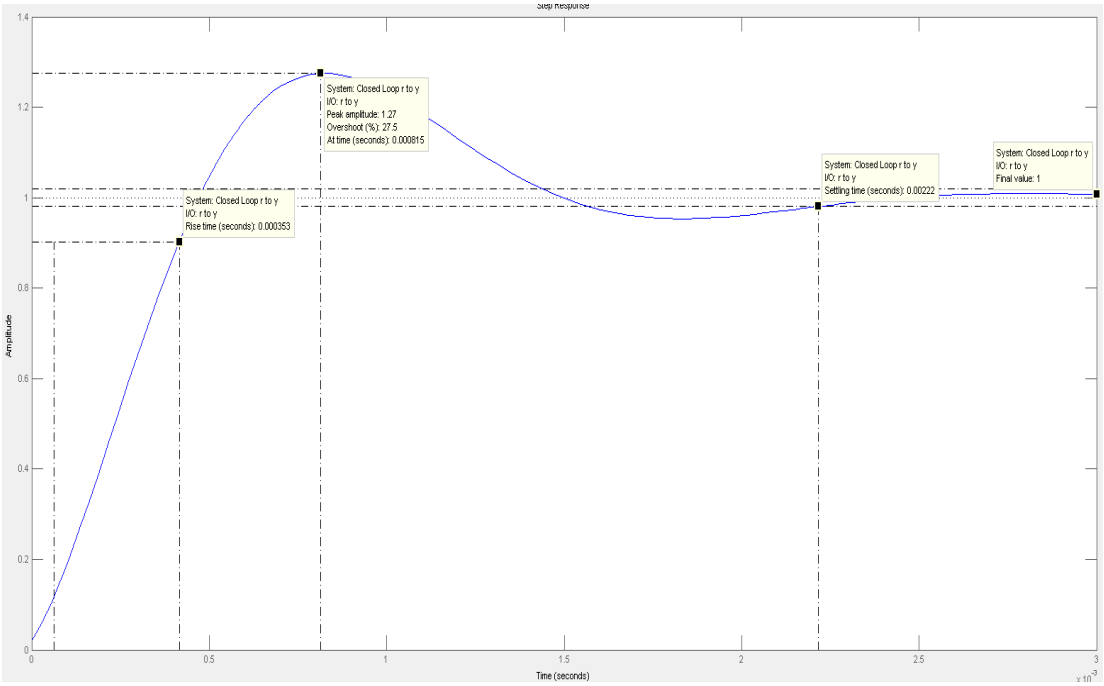
امروزه با توجه به پیشرفت‌هایی که در روش‌های کنترل صورت گرفته است، هنوز کنترلر PID یکی از محبوب‌ترین‌ها برای کنترل حلقه بسته سیستم‌های پیچیده و ساده است تا جایی که بررسی‌ها نشان می‌دهد که در حدود ۹۷ درصد مواردی که نیاز به کنترلر ناظر در سیستم کنترل حلقه بسته وجود دارد از این کنترلر استفاده می‌شود[۳۵]. کاربرد وسیع این نوع از کنترلر به دو دلیل ساده بودن طراحی و سهولت پیاده‌سازی آن در سیستم‌های کنترلی است[۳۵]. در این قسمت کنترلر PID را انتخاب و برای تنظیم ضرایب و گین این کنترلر از بخش SISOTOOL نرم‌افزار متلب استفاده می‌کنیم و پس از طراحی اولیه با توجه به انتظاراتی که داریم اقدام به تغییر ضرایب در جهت رسیدن به خواسته‌ها می‌کنیم.

ضرایب برای کنترلر PID در طراحی اولیه به‌صورت جدول زیر است:

جدول (۳-۳) : ضرایب کنترلر PID

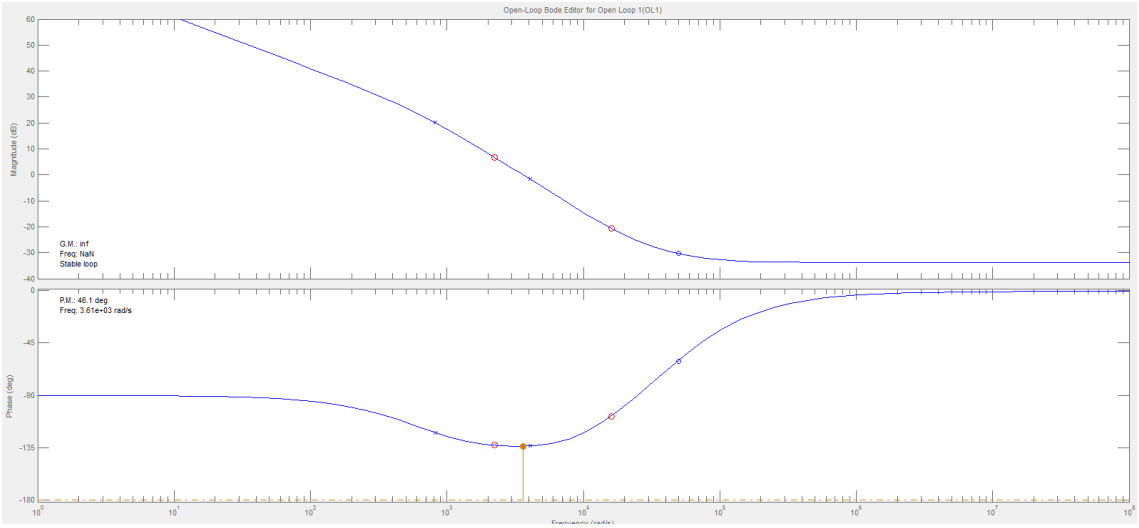
گین کنترلر G	۱۰۰.۳۶
ضریب ثابت K_p	۰.۰۰۰۵۱۲
ضریب انتگرال گیر K_I	۱
ضریب مشتق گیر K_d	$0.5e^{-8}$

پاسخ پله سیستم حلقه بسته با حضور کنترلر PID با ضرایب ارائه شده در جدول (۳-۳) به‌صورت شکل (۳-۷) است و همان‌طور که مشاهده می‌شود مقدار فراجهش به ۲۷.۵ درصد کاهش پیدا کرده است و خطای دائمی سیستم از بین رفته است.



شکل (۳-۷) : پاسخ پله سیستم حلقه بسته در حضور کنترلر PID

نمودار Bode تابع تبدیل حلقه باز سیستم در حضور کنترلر PID به‌صورت زیر است و مشخص است بهره سیستم در فرکانس پایین نسبت به حالت قبلی افزایش پیدا کرده است که باعث افزایش سرعت پاسخگویی سیستم می‌شود و همچنین میزان حاشیه فاز سیستم نسبت به حالت قبل افزایش پیدا کرده است اما باید توجه کرد که فرکانس عبور از صفر سیستم نسبت به حالت قبلی کاهش پیدا کرده است.



شکل (۳-۸) : نمودار Bode سیستم حلقه باز در حضور کنترلر PID

با توجه به نتایج بدست آمده مشاهده می‌شود که کنترلر پیشنهادی انتظاراتی که داشتیم را برآورده نکرده و حتی در مواردی ما را از آن چیزی که به دنبالش بوده‌ایم دور کرده، به همین منظور اقدام به اصلاح ضرایب پیشنهادی کنترلر می‌کنیم تا به نتایج دلخواه دست پیدا کنیم.

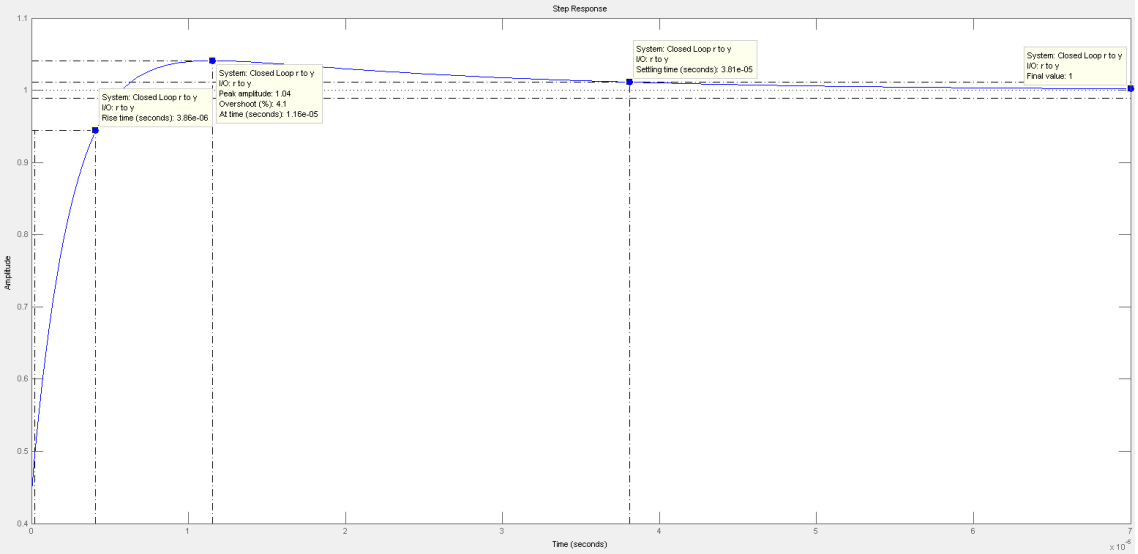
با اصلاح ضرایب در جهت دستیابی به اهداف تعیین شده ضرایب به‌صورت زیر اصلاح گردیده‌اند:

جدول (۳-۴) : ضرایب اصلاح شده کنترلر PID

گین کنترلر G	$۱.۱۴۱۷e^{6}$
ضریب ثابت K_p	۰.۰۰۰۲۵۲
ضریب انتگرال گیر K_I	۱
ضریب مشتق گیر K_d	$۱.۱۷۸e^{-8}$

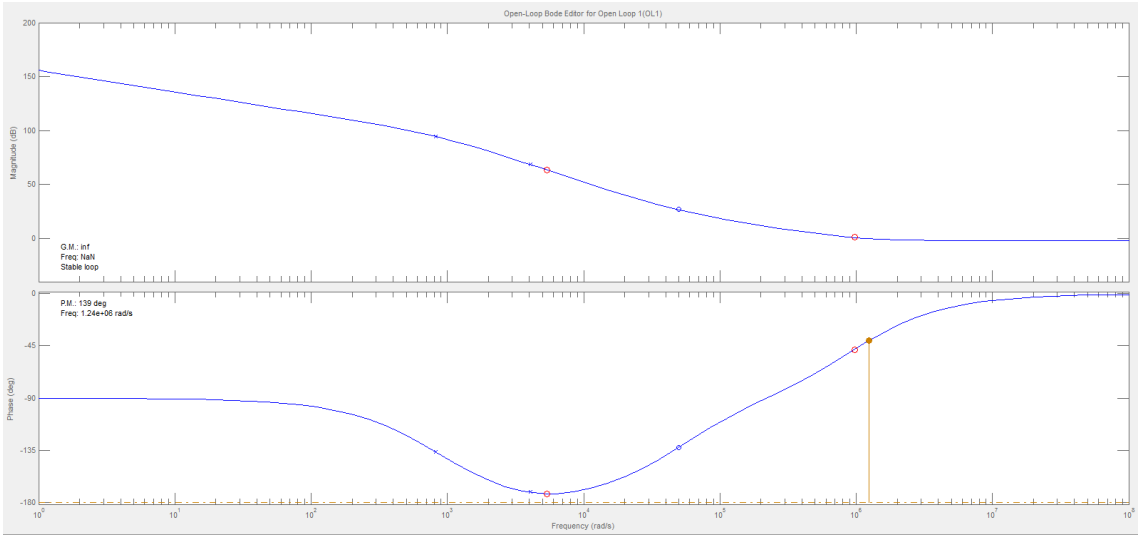
پاسخ پله حلقه بسته و نمودار Bode سیستم حلقه باز در حضور کنترلر PID اصلاح شده به‌صورت زیر است:

پاسخ پله سیستم حلقه بسته در شکل (۳-۹) مشاهده می‌شود، همان‌طور که مشخص است میزان فراجهش نسبت به حالت قبل بسیار کاهش داشته و به مقدار ۴.۱ درصد رسیده است که این میزان فراجهش برای کنترل حلقه بسته مبدل مذکور مناسب است، همچنین زمان نشست نسبت به حالت قبل کاهش داشته است که نشان از افزایش سرعت پاسخگویی سیستم حلقه بسته است.



شکل (۳-۹) : پاسخ پله سیستم در حضور PID با ضرایب اصلاح شده

همچنین در شکل بعد، نمودار Bode مربوط به سیستم حلقه باز نشان داده شده است و همان‌طور که مشخص است، میزان گین سیستم در فرکانس‌های پایین افزایش پیدا کرده است که منجر به افزایش سرعت سیستم می‌شود و همچنین حاشیه فاز سیستم افزایش چشم‌گیری نسبت به حالت قبل داشته است و از طرف دیگر فرکانس عبور از صفر سیستم به حدود ۵ برابر فرکانس کلیدزنی انتقال پیدا کرده است.



شکل (۳-۱۰) : نمودار Bode تابع تبدیل حلقه باز در حضور کنترلر با ضرایب اصلاح شده

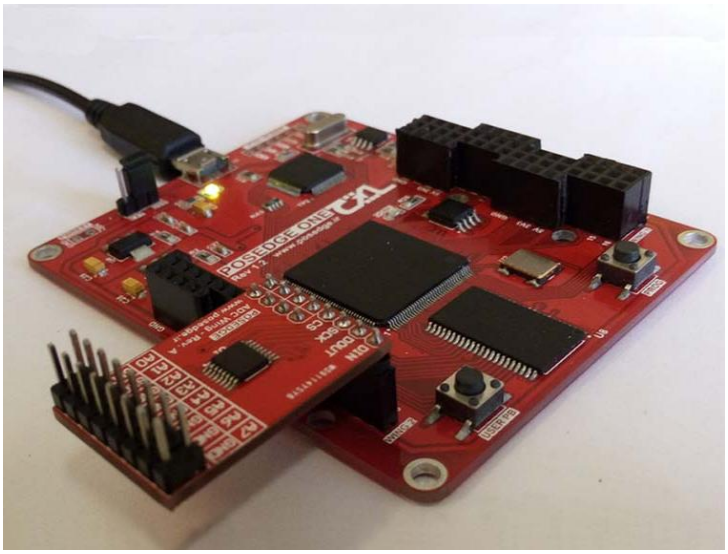
در مجموع مشاهده می‌شود که با تغییر ضرایب کنترلر در جهت رسیدن به اهداف تعیین شده، به این مهم دست پیدا کرده و تمامی انتظاراتی که از حضور کنترلر در سیستم حلقه بسته داشتیم برآورده شد.

۳-۲-۴ انتخاب پردازنده

شکل (۳-۱۱) برد FPGA[۱] را که جهت کنترل دیجیتال و تولید پالس‌های PWM مورد استفاده قرارگرفته است، نشان می‌دهد. این برد شامل موارد زیر است:

- تراشه‌ی Xilinx Spartan۶-LX۹ .
- ۴ مگابیت حافظه‌ی SRAM .
- واسط USB ۲.۰ با سرعت ۱۰MB/s.
- پروگرامر USB روی بورد.
- توسعه‌ی وسایل جانبی از طریق کانکتور بال(Wing) .

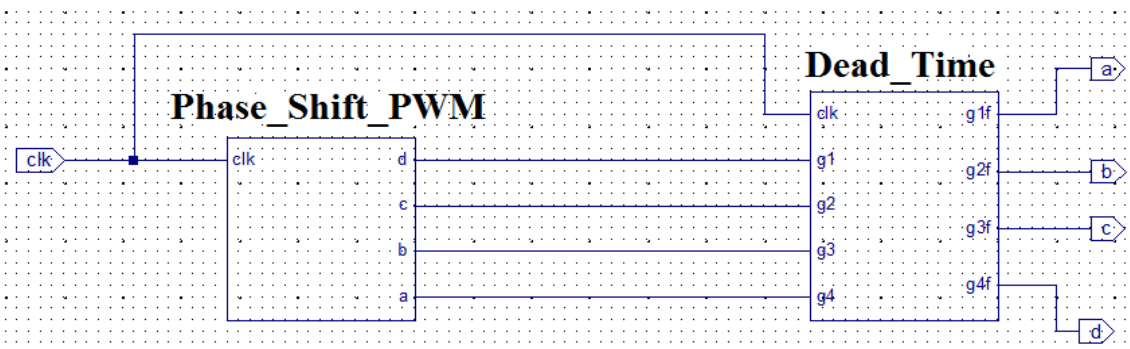
[۱] Field-Programmable Gate Array



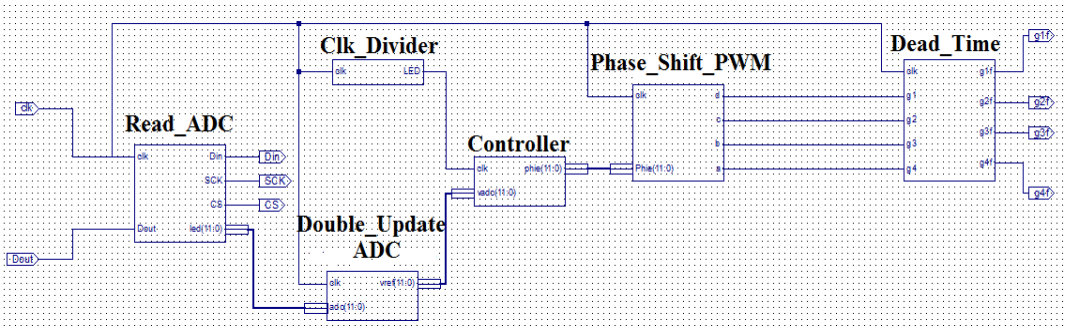
شکل (۳-۱۱) نمایی از برد FPGA که جهت کنترل دیجیتال و تولید پالس‌های PWM به کارگرفته شده

شکل (۳-۱۲) بیانگر طراحی شماتیک سیستم حلقه باز و شکل (۳-۱۳) شماتیک مربوط به سیستم حلقه بسته در نرم‌افزار ISE Design Suite است. همان‌طور که مشاهده می‌شود در سیستم حلقه بسته، پس از اینکه ولتاژ شبکه از طریق سنسور نمونه‌برداری گردید و به‌وسیله برد واسط به سطح قابل‌قبول برای FPGA تبدیل شد، این سه ولتاژ به بال ADC که بر روی پین‌های برد FPGA نصب شده‌اند، وارد شده و توسط این بال به سه بردار ۱۲ بیتی تبدیل می‌گردند. سپس با توجه به این‌که فرکانس کلیدزنی چه مقداری در نظر گرفته شده، عملیات به‌روزرسانی سیگنال خروجی ADC، دو بار در هر سیکل کلیدزنی (در ابتدا و وسط سیکل) صورت می‌پذیرد. در مرحله بعد ولتاژ خوانده شده از طریق ADC وارد بلوک کنترلر PID خودتنظیم می‌شود و با توجه به مقدار خطا شیفت فاز مناسب که عددی بین ۰ تا ۱۸۰ است تولید می‌شود سپس سیگنال کنترلی وارد بلوک شیفت‌فاز می‌شود و در این بلوک پالس‌های PS_PWM برای هر چهار کلید تولید می‌شود. سپس، باید زمان مرده مناسب برای روشن شدن هریک از کلیدها اعمال شود تا از اتصال کوتاه کردن یک بازو مبدل (به دلیل ایده‌آل نبودن کلیدهای قدرت) اطمینان حاصل شود؛ و در نهایت پالس‌های تولیدی g1f، g2f، g3f و g4f به سمت ورودی مدار برد

درایور می‌رود.



شکل (۳-۱۲) نمایی از طراحی شماتیک حلقه باز برنامه PWM در نرم‌افزار ISE Design Suite

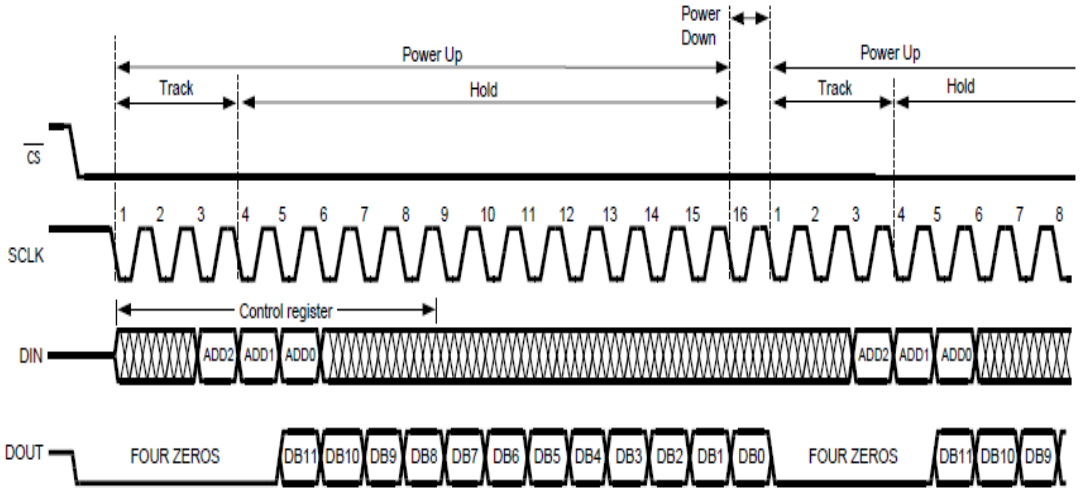


شکل (۳-۱۳) : نمایی از طراحی حلقه بسته برنامه PS_PWM در نرم‌افزار ISE Deasign Suite

برد ADC مورد استفاده در این بال دارای مشخصات زیر است:

- تراشه‌ی ADC۱۲۸S۱۰۲ .
- ۸ کانال آنالوگ (غیرهم‌زمان – مالتی‌پلکس شده).
- دقت ۱۲ بیت.
- ولتاژ رفرنس: ۵ ولت.

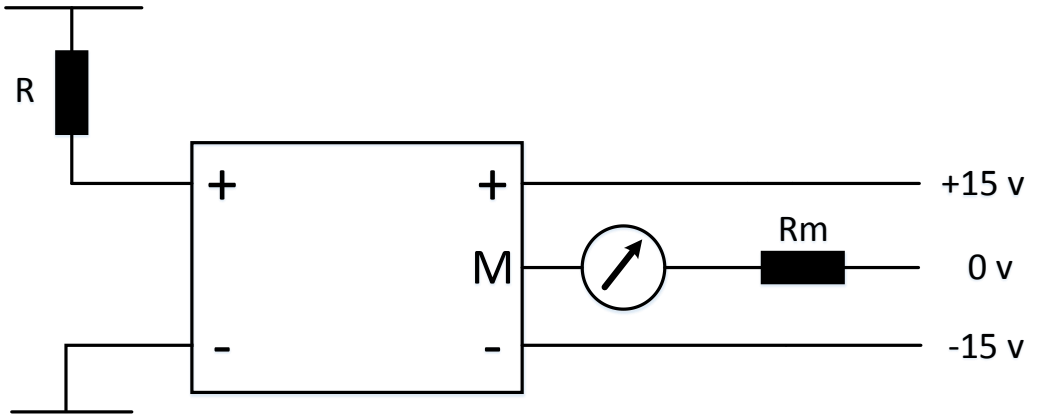
دیاگرام عملکرد زمانی ADC۱۲۸S۱۰۲ در شکل (۳-۱۴) نمایش داده شده است. این دیاگرام از دیتاشیت تراشه ADC اقتباس شده است. پس از این‌که عدد منطقی صفر توسط FPGA به پایه CS تراشه ADC اعمال شد، ADC فعال می‌شود. همان‌طور که مشاهده می‌گردد کلاک ADC توسط خود FPGA تولید می‌شود. با لبه پایین‌رونده هر کلاکی که از سمت FPGA به تراشه ADC فرستاده می‌شود، یک عملیات صورت می‌پذیرد. سیگنال DIN که از FPGA به سمت ADC فرستاده می‌شود، تعیین‌کننده شماره کانال است. به‌عبارت‌دیگر، چون ارتباط به‌صورت مالتی پلکس صورت می‌پذیرد، باید ابتدا FPGA برای تراشه ADC تعیین نماید که داده‌های کانال شماره چند را می‌خواهد، بخواند. این عمل از ارسال یک داده سه بیتی (ADD) صورت می‌پذیرد. اگر زمان از شروع اولین کلاک در SCLK در نظر گرفته شود، ابتدا دو بیت بی‌اهمیت (مثلاً صفر منطقی) توسط FPGA (سیگنال DIN) به ADC ارسال می‌گردد، سپس سه بیت ADD که تعیین‌کننده شماره کانال هستند، ارسال خواهند شد. پس از تعیین کانال، سیگنال DOUT که در واقع سیگنال خروجی ADC است ۱۲ بیت دیجیتال شده سیگنال ورودی خود را به FPGA ارسال می‌نماید. لازم به ذکر است که تا قبل از تعیین کانال، ADC به‌طور متوالی چهار عدد صفر را برای FPGA ارسال می‌نماید. نکته قابل تأمل این است که بازه فرکانسی کلاک ADC طبق دیتاشیت آن، بین ۸ تا ۱۶ مگاهرتز است؛ یعنی هرچند که سرعت انجام عملیات منطقی توسط FPGA بالا باشد، اما به دلیل محدودیت فرکانسی در کلاک ADC، نمی‌توان سرعت پردازش کلی را از بازه مذکور بالاتر برد.



شکل (۳-۱۴) : دیاگرام عملکرد زمانی ADC۱۲۸S۱۰۲ [۳۶]

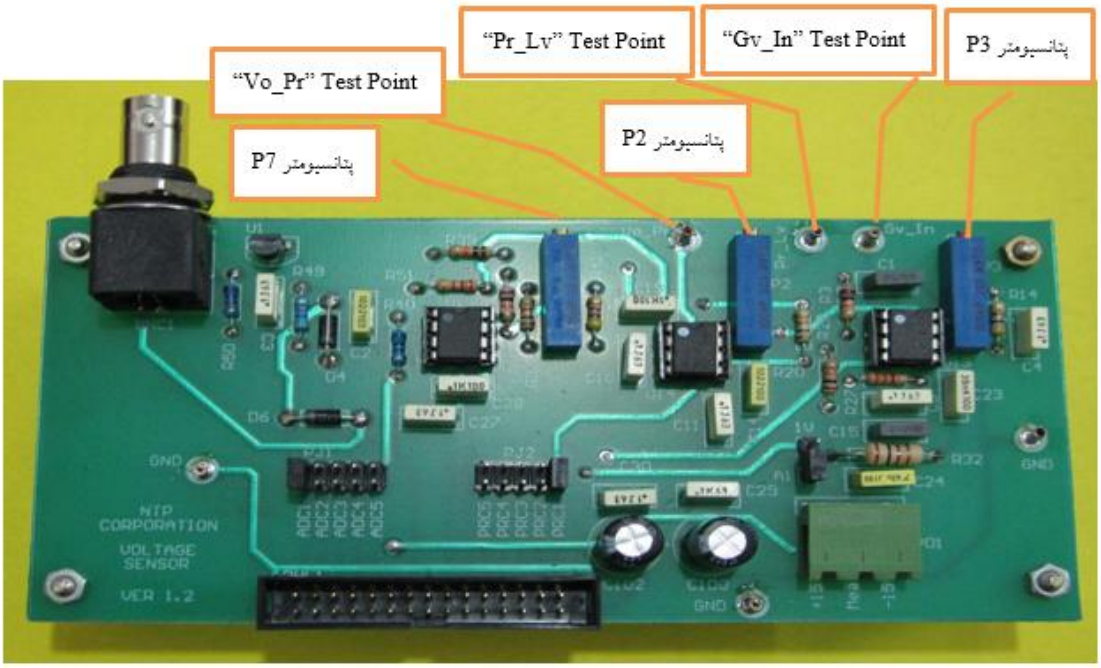
۳-۲-۵ مدار سنسور ولتاژ

سنسور ولتاژ برای اندازه‌گیری ولتاژ خروجی و هم‌چنین حفاظت مدار مورد استفاده قرار می‌گیرد. سنسور این مدار، NV۲۵P است که خروجی آن به‌صورت جریان است. بر اساس دیتاشیت سنسور ولتاژ، این سنسور دارای نسبت تبدیل ۲۵۰۰ به ۱۰۰۰ ولتاژ است. شکل (۳-۱۵) نحوه این اتصالات را نشان می‌دهد. ولتاژ خروجی مبدل از طریق مقاومت R به‌صورت مستقیم به ورودی سنسور متصل می‌شوند. مقدار مقاومت R و Rm باید به نحوی تنظیم شود که بر اساس دیتاشیت، مقدار مؤثر جریان ورودی و خروجی سنسور به ترتیب از ۱۰ و ۲۵ میلی‌آمپر فراتر نرود. پس از انجام اتصالات مذکور و اتصال یک تغذیه دوبل ۱۵± به سنسور ولتاژ، می‌توان ولتاژ نمونه‌برداری شده توسط سنسور را از دو سر مقاومت Rm اخذ کرد.



شکل (۳-۱۵) : نحوه اتصالات مدار سنسور ولتاژ

در اینجا برای کالیبره کردن خروجی‌ها، از بردهایی استفاده شده است که به‌صورت ماژولار طراحی شده‌اند. ماژولار بودن بردها به این معنی است که برای سنسورهای ولتاژ یک برد و از آن به میزان ۳ عدد ساخته شده است که بر روی یکدیگر نصب می‌گردند. هر برد دارای ۲ خروجی اندازه‌گیری است که یکی مربوط به سیگنال ADC و دیگری مربوط به سیگنال حفاظت است که هر دو این خروجی‌ها به پردازنده انتقال می‌یابند. پس از نصب شدن بردهای کالیبراسیون سنسور ولتاژ بر روی یکدیگر توسط کابل فلت، این برد به پردازنده متصل می‌گردند. برد کالیبراسیون ولتاژ در شکل (۳-۱۶) نشان داده شده است.



شکل (۳-۱۶) : نمایی از برد کالیبراسیون خروجی سنسور ولتاژ

به دلیل آن که خروجی سنسور ولتاژ به‌صورت جریان است لذا در ابتدا این جریان توسط مقاومت $R۳۲=۱۰۰\Omega$ به ولتاژ تبدیل و سپس مقدار دامنه آن تقویت می‌گردد. تقویت دامنه در طبقه اول به کمک پتانسیومتر P۳ انجام می‌گردد. خروجی این تقویت‌کننده از طریق محل تست Gv_In قابل رؤیت است ("Gv_In" Test Point). اتصال زمین نیز در قسمت‌های مختلف برد جهت اندازه‌گیری تعبیه شده است. پس از تنظیم بهره اولیه، باید سطح حفاظت را هم تنظیم نمود. سطح حفاظت توسط یک مقدار DC برای پیک ولتاژ که فقط در سمت مثبت در نظر گرفته شده، قابل تنظیم است. این سطح DC به کمک پتانسیومتر P۲ قابل تنظیم و توسط محل تست Pr_Lv قابل مشاهده است. سیگنالی که برای حفاظت مورد استفاده قرار می‌گیرد همان خروجی طبقه اول است که به‌عنوان ورودی در این طبقه استفاده می‌شود. از این بخش مدار برای حفاظت در مقابل اضافه ولتاژهای مثبت خروجی استفاده می‌گردد. البته بر روی این برد یک سیگنال مرجع ۱V نیز در نظر گرفته شده است که به وسیله جامپر A۱ قابل انتخاب است و کاربر می‌تواند از آن برای تنظیم مقادیر بهره و حفاظت استفاده نماید.

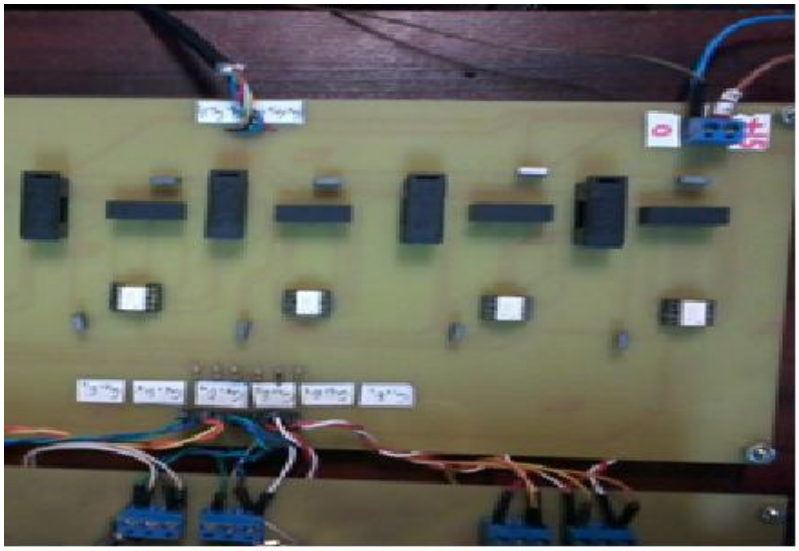
آخرین مرحله، مربوط به تنظیم سطح سیگنال ADC برای ارسال به FPGA است. به دلیل آن که سیگنال ورودی به ADC برد FPGA باید بین ۰ تا ۳.۳V باشد لذا صفر یک سیگنال AC باید در نقطه وسط این مقدار یعنی ۱.۶۵V قرار گیرد. به دلیل مسائل حفاظتی، این مقدار برابر ۱.۶V تنظیم شده است لذا سیگنال خروجی در محدوده ۰ تا ۳.۲V قرار خواهد گرفت. به دلیل آن که سیگنال ورودی به این بخش، خروجی طبقه اول این برد است لذا برای تنظیم بهتر، از پتانسیومتر P۷ برای تنظیم بهره این قسمت استفاده شده است. خروجی این طبقه نیز برای حفاظت بیشتر توسط یک محدود کننده بین ۰ تا ۳.۳V محدود می‌گردد. خروجی این طبقه نیز از طریق کانکتور BNC که به دستگاه اسیلوسکوپ وصل می‌گردد قابل مشاهده است.

۳-۲-۶ طراحی مدار فرمان

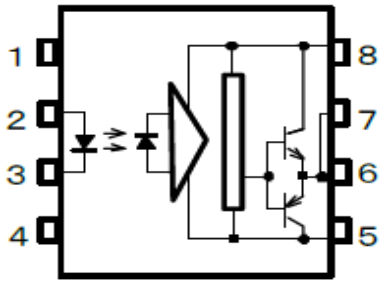
جهت درایو کردن کلیدها از یک مدار نسبتاً ساده و ارزان قیمت‌تر نسبت به IGBT، درایورهایی همچون IR۲۱۱۳ استفاده شده است. نمایی از برد طراحی شده درشکل (۳-۱۷) نشان داده شده است. با توجه به اینکه خروجی پردازنده دارای یک زمین مشترک است، جهت ایجاد زمین مجزا برای هر چهار پالسی که به مدار قدرت وارد می‌شود، از یک اپتوکوپلر[۱] استفاده شده است. اپتوکوپلر مورد استفاده دارای پارت نامبر TLP۲۵۰ ساخت شرکت توشیبا است. شکل (۳-۱۸) نمایی از این اپتو را نشان می‌دهد. اگر هر پالس خروجی پردازنده به همراه زمین مشترک پردازنده به دو سر ۲ و ۳ اپتو وارد شوند، می‌توان یک خروجی ایزوله با ولتاژ ۱۵ ولت و حداکثر جریان ۱.۵ آمپر از اپتوکوپلر کشید. خروجی ۱۵ ولت اپتو از پایه‌های ۶ و ۵ آن است. از طرفی زمین تغذیه اپتوها نیز به پایه ۵ متصل می‌گردد؛ بنابراین هرچند اپتوها دارای خروجی ایزوله نسبت به ورودی‌شان می‌باشند، اما اگر همه اپتوها دارای یک زمین مشترک در تغذیه خود باشند، ایزوله بودن خروجی آن‌ها نسبت به هم کاملاً بی‌معنی است. به همین دلیل باید

[۱] Optocoupler

زمین تغذیه اپتوها را نیز از یکدیگر مجزا نمود. یکی از این روش‌ها، استفاده از منبع تغذیه‌های DC به DC ایزوله است. امروزه این منابع تغذیه با قیمت نسبتاً مناسب و در ابعاد کوچک در دسترس می‌باشند. یکی از این منابع ایزوله قطعه mau۱۵۳ است. این قطعه دارای خروجی تنظیم شده ۱۵ ولت است. برد مدار فرمان ولتاژ ۱۵+ را برای روشن شدن و صفر را برای خاموش شدن کلیدها با توجه به سیگنال خروجی پروسسور فراهم می‌کند. شکل (۳-۱۷) نمایی از برد مدار فرمان طراحی شده را نشان می‌دهد.



شکل (۳-۱۷) : نمایی از برد مدار فرمان طراحی شده



شکل (۳-۱۸) : نمایی از اپتوکوپلر TLP۲۵۰ [۳۷]

فصل چهارم:

نتایج شبیه‌سازی و ساخت نمونه آزمایشگاهی منبع تغذیه سوئیچینگ تمام‌پل با کلیدزنی ZVS

۴-۱ ساخت ترانسفورماتور ایزوله فرکانس بالا و سلف فیلتر خروجی

در این قسمت با استفاده از روش طراحی ارائه شده در بخش (۳-۲-۲) اقدام به طراحی عملی ترانسفورماتور و سلف فیلتر خروجی با مشخصات مورد نظر برای منبع تغذیه ZVS_PS_FB مطلوب، انجام می‌گیرد.

۴-۱-۱ مشخصات ترانسفورماتور ایزوله

مشخصات ترانسفورماتور مورد نظر جهت طراحی در این بخش درجدول (۴-۱) آورده شده است.

جدول (۴-۱) : مشخصات ترانسفورماتور ایزوله موردنیاز

ولتاژ اولیه (V)	حداکثر ۲۰۰ ولت و حداقل ۱۸۰ ولت
ولتاژ خروجی(V)	۵۰
جریان نامی خروجی (A)	۱۵
ماکزیمم توان خروجی (W)	۱۰۰۰
فرکانس کلیدزنی (KHz)	۴۰
چگالی شار AC(T)	۰.۱
چگالی جریان $\frac{A}{cm^2}$	۳۰۰
درصد رگولاسیون ولتاژ خروجی (%)	۱
حداکثر سیکل کاری هر کلید	D = ۰.۴۵
راندمان (%)	۸۰

با توجه به مشخصاتجدول (۴-۱) با استفاده از الگوی ارائه شده در بخش (۳-۲-۲-۱) جهت طراحی ترانسفورماتور فرکانس بالا، مشخصات هسته مورد نیاز به‌صورت جدول (۴-۲) است.

جدول (۴-۲) : مشخصات هسته انتخابی برای ترانسفورماتور ایزوله [۲۸]

Part No.	W_{tcu} grams	W_{tfe} grams	MLT cm	MPL cm	$\frac{W_a}{A_c}$	A_c cm^2	W_a cm^2	A_p cm^4	K_g cm^5	A_t cm^2	*AL mh/1K
EE-75	111.1	179.0	11.2	10.70	0.831	3.370	2.799	9.433	1.1353	118.0	3519

سایر مشخصات ترانسفورماتور طراحی شده به‌صورت جدول (۴-۳) است.

جدول (۴-۳) : مشخصات ترانسفورماتور طراحی شده

تعداد دور اولیه	**۳۷**
تعداد دور ثانویه	**۱۷**
سطح مقطع سیم اولیه	$0.01511\ (cm^2)$
سطح مقطع سیم ثانویه	$0.03255\ (cm^2)$

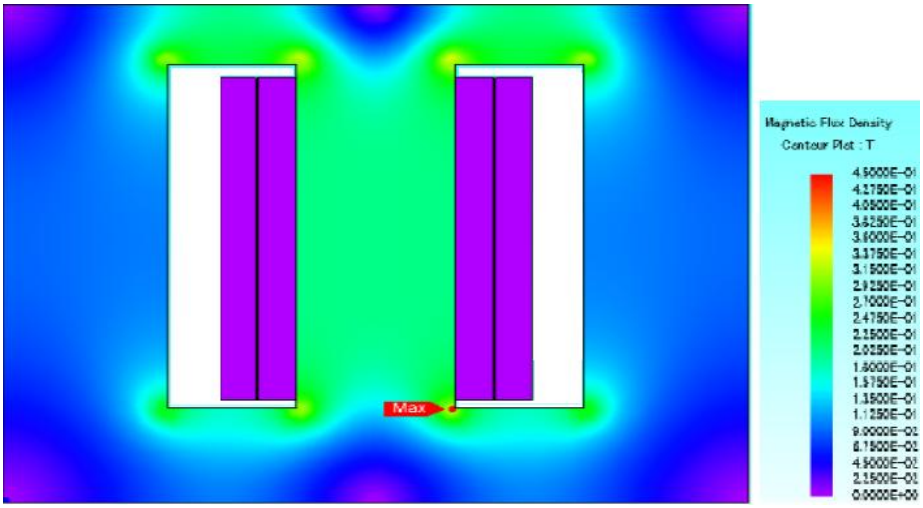
جدول (۴-۴) : مشخصات سیم انتخابی برای اولیه ترانسفورماتور

	Bare Area		Resistance μΩ/cm 20°C	Heavy Synthetics								
				Area		Diameter		Turns-Per		Turns-Per		Weight
AWG	$cm^2(10^{-3})$	cir-mil		$cm^2(10^{-3})$	cir-mil	cm	Inch	cm	Inch	cm^2	$Inch^2$	gm/cm
1	2	3	4	5	6	7	8	9	10	11	12	13
15	16.5100	3260.00	104.3	18.3700	3624.00	0.1530	0.060	6.8	17	33	211	0.14920

جدول (۴-۵) : مشخصات سیم انتخابی برای ثانویه ترانسفورماتور

	Bare Area		Resistance μΩ/cm 20°C	Heavy Synthetics								
				Area		Diameter		Turns-Per		Turns-Per		Weight
AWG	$cm^2(10^{-3})$	cir-mil		$cm^2(10^{-3})$	cir-mil	cm	Inch	cm	Inch	cm^2	$Inch^2$	gm/cm
1	2	3	4	5	6	7	8	9	10	11	12	13
12	33.0800	6529.00	52.1	35.6400	7022.00	0.2130	0.084	4.9	12	17	108	0.29770

برای بررسی درستی طراحی صورت گرفته، ترانسفورماتور طراحی شده را در نرم‌افزار JMAG مدلسازی و تحلیل مغناطیسی برروی آن انجام شده است، که نتیجه آن به‌صورت شکل (۴-۱) می‌باشد. همانطور که مشاهده می‌شود چگالی شار در اکثر نقاط در محدوده ۰.۱۵ تا ۰.۲ تسلا می‌باشد که با توجه به فرکانس کلیدزنی، این محدوده قابل قبول می‌باشد[۴].



شکل (۴-۱) : چگالی شار مغناطیسی جاری هسته ترانسفورماتور در بار نامی

۴-۱-۲ مشخصات سلف فیلتر خروجی

در این قسمت با استفاده از الگوی ارائه شده در بخش (۳-۲-۲-۲) اقدام به طراحی سلف مورد نیاز برای فیلتر خروجی منبع تغذیه با ظرفیت ۵۰۰ میکروهانری برای فیلتر خروجی می‌کنیم.

مشخصات سلف مورد نظر به‌صورت جدول (۴-۶) است:

جدول (۴-۶) : جدول مشخصات سلف موردنیاز

جریان خروجی (A)	**۱۵**
میزان ریپل جریان خروجی	**۱**
چگالی جریان (A/cm^2)	**۴۰۰**
فرکانس کلیدزنی (Hz)	**۴۰۰۰۰**
چگالی شار (T)	**۰.۲**
ضریب استفاده از فضای پنجره	**۰.۴**
ظرفیت سلف (uh)	**۵۰۰**

مشخصات هسته موردنیاز به‌صورت جدول (۴-۷) زیر است که مربوط به شرکت Micrometals است.

جدول (۴-۷) : مشخصات هسته انتخابی برای سلف فیلتر خروجی

								MAGNETIC DIMENSIONS			
Micrometals Part No. (Bobbin)	A_L nH/N^2 (Ref.Size)	A in/mm	B in/mm	C in/mm	D in/mm	F in/mm	G in/mm	ℓ cm	A cm^2	V cm^3	W cm^2
E450-52H	270.0	4.500/114	3.636/92.4	.688/17.5	2.250/57.2	1.375/34.9	3.120/79.3	22.9	6.1	140	12.7

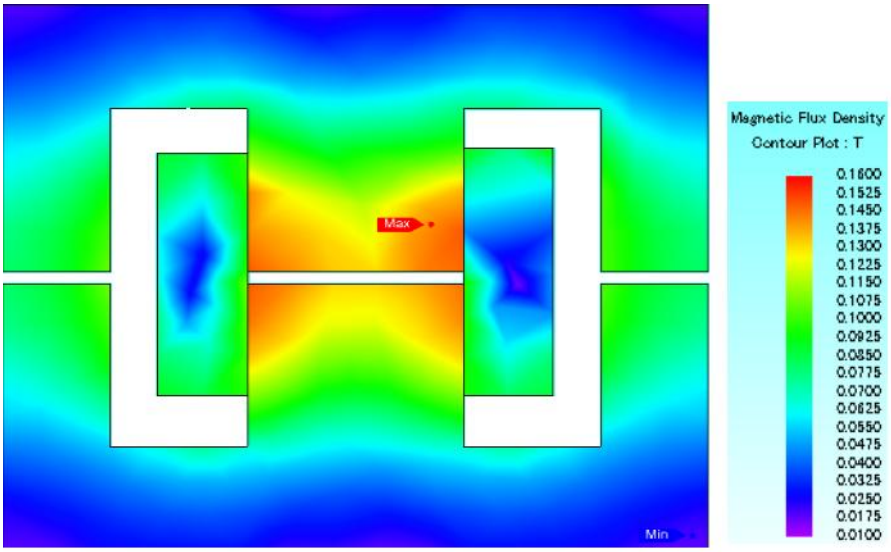
همچنین مشخصات سیم موردنیاز به‌صورت جدول (۴-۸) است:

جدول (۴-۸) : مشخصات سیم انتخابی برای سلف فیلتر خروجی

	Bare Area		Resistance μΩ/cm 20°C	Heavy Synthetics								
				Area		Diameter		Turns-Per		Turns-Per		Weight
AWG	cm^2(10^{-3})	cir-mil		cm^2(10^{-3})	cir-mil	cm	Inch	cm	Inch	cm^2	Inch^2	gm/cm
1	2	3	4	5	6	7	8	9	10	11	12	13
10	52.6100	10384.00	32.7	55.9000	11046.00	0.2670	0.105	3.9	10	11	69	0.46800

تعداد دور مورد نیاز با در نظر گرفتن فاصله هوایی ۰.۲ سانتی‌متر، برابر با ۴۵ دور است.

برای اطمینان از درستی ابعاد هسته انتخابی، اقدام به مدل‌سازی سلف موردنظر در نرم‌افزار JMAG کرده و نحوه توزیع چگالی شار را در آن مورد بررسی قرار می‌دهیم. همان‌طور که درشکل (۴-۲) نمایش داده شده است چگالی شار به‌گونه‌ای توزیع شده است که مقدار چگالی شار در هیچ قسمت از هسته از مقدار در نظر گرفته شده در طراحی، بیشتر نیست.



شکل (۴-۲) : چگالی شار مغناطیسی جاری در هسته سلف فیلتر خروجی

۲-۴ مقایسه نتایج حاصل از شبیه‌سازی و ساخت منبع تغذیه تمام‌پل با کلیدزنی ZVS

در این قسمت نتایج حاصل از مدل‌سازی منبع تغذیه تمام‌پل بر پایه کلیدزنی ZVS در نرم‌افزار متلب به همراه نتایج حاصل آزمایش بر روی نمونه آزمایشگاهی ساخته شده ارائه می‌شود. در قسمت مربوط به شبیه‌سازی، در مدل‌سازی مبدل سعی شده است تا المان‌های موجود در مدار مبدل به آنچه در واقعیت با آن مواجه هستیم نزدیک باشند تا مقایسه درستی بین نتایج حاصل از شبیه‌سازی و نتایج حاصل از آزمایش بر روی نمونه ساخته شده، انجام گیرد. به همین منظور کلیدهای نیمه‌هادی استفاده شده در مدار مبدل به‌صورت کلیدهای غیر ایده‌آل با پارامترهایی که از مقادیر واقعی یک نمونه از IGBT گرفته شده است مدل شده‌اند، به همین صورت برای دیودها، از پارامترهای یک نمونه از دیود قدرت فرکانس بالا استفاده شده است. همچنین ESR[۱] خازن‌های استفاده شده به‌صورت یک مقاومت سری با آن مدل شده است.

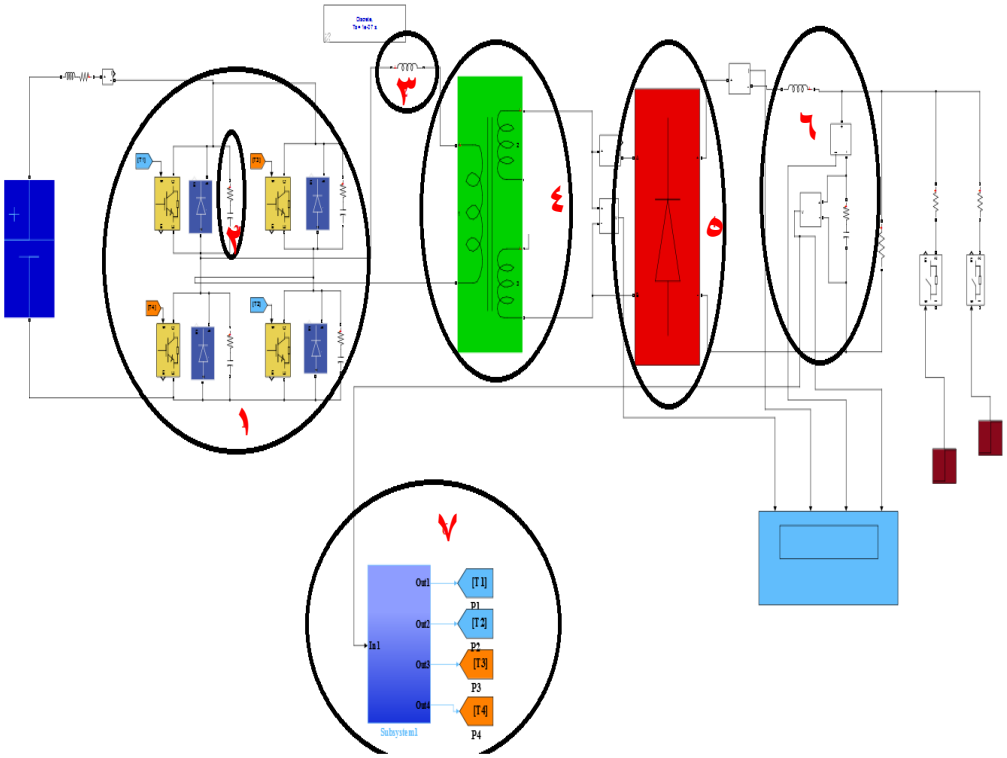
[۱] Equivalent series resistance

مشخصات منبع تغذیه تمام‌پل با کلیدزنی ZVS، مدل‌سازی شده در نرم‌افزار متلب و نمونه ساخته شده در جدول (۴-۹) آورده شده است.

جدول (۴-۹) : مشخصات منبع تغذیه مطلوب

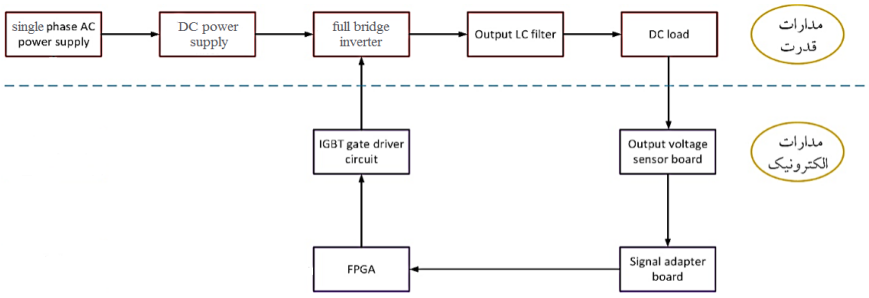
ولتاژ ورودی(V)	**۲۰۰**
ولتاژ خروجی (V)	**۵۰**
جریان خروجی(A)	**۱۵**
فرکانس کلیدزنی (KHz)	**۴۰**
نسبت تبدیل ترانسفورماتور ایزوله	**۲.۲**
زمان مرده در نظر گرفته شده بین کلیدها(us)	**۱.۲**
خازن کلی دو سر کلیدهای بازوی پیشفاز(nF)	**۱۲**
خازن کلی دو سر کلیدهای بازوی پسفاز(nF)	**۸**
سلف تشدید کلی(uH)	**۶۴**
سلف فیلتر خروجی(uH)	**۵۰۰**
خازن فیلتر خروجی(uF)	**۴۰۰**

نمایی از مدل شبیه‌سازی شده منبع تغذیه مطلوب در سیمولینک متلب:



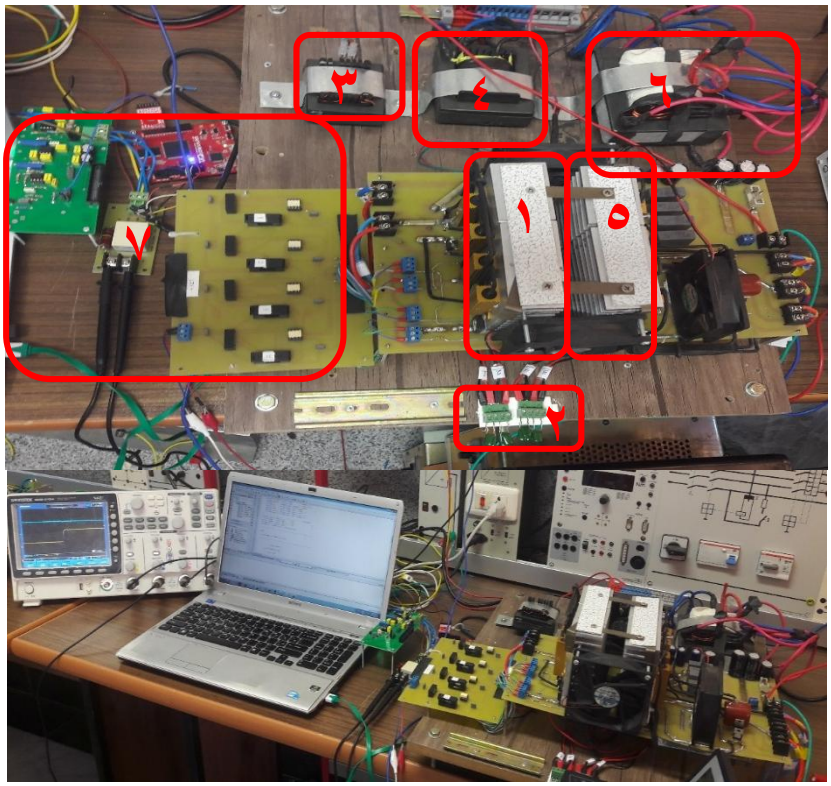
شکل (۴-۳) : مدل‌سازی منبع تغذیه نمونه تمام‌پل با کلیدزنی ZVS در نرم‌افزار متلب

همچنین منبع تغذیه سوئیچینگ مورد بررسی، در آزمایشگاه الکترونیک صنعتی دانشگاه صنعتی شاهرود، طراحی و ساخته‌شده است. بلوک دیاگرام اتصال سیستم ساخته‌شده در شکل (۴-۴) نمایش داده شده است.



شکل (٤-٤) : بلوک دیاگرام ارتباط سخت‌افزار ساخته‌شده برای منبع تغذیه ZVS_PS_FB

نمایی از نمونه آزمایشگاهی ساخته شده، منبع تغذیه تمام‌پل با کلیدزنی ZVS:



شکل (۴-۵) : نمایی از دستگاه ساخته‌شده در آزمایشگاه

۱) اینورتر فرکانس بالا

۲) خازن تشدید (خازن داخلی کلید و خازن اضافه شده)

۳) سلف تشدید (سلف نشتی ترانسفورماتور و سلف اضافه شده)

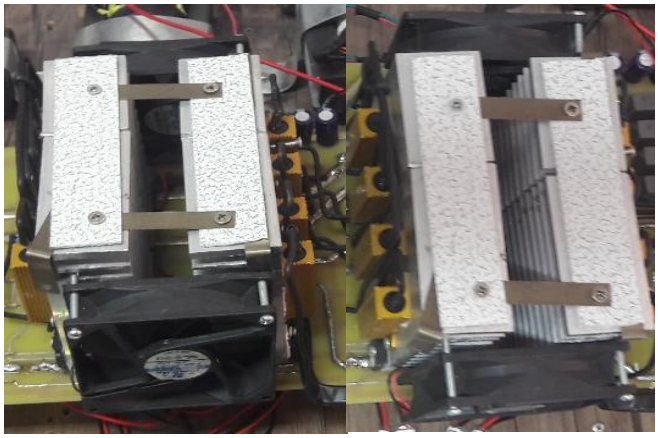
۴) ترانسفورماتور فرکانس بالا

۵) پل دیودی خروجی

۶) فیلتر خروجی

۷) واحد فرمان (تولید پالس و کنترلر)

در نمونه آزمایشگاهی ساخته شده، در بخش مبدل DC/DC از ۴ IGBT از نوع سرعت بالا و در بخش یکسوکننده تمام‌پل خروجی از ۴ عدد دیود با سرعت بالا استفاده شده است. همچنین به‌منظور حفاظت از مبدل، در ورودی آن یک عدد فیوز سریع ۱۰ آمپر قرار داده شده است تا در صورت بروز خطا، آسیبی به مبدل نرسد. در برد منبع تغذیه ساخته‌شده از ۸ کلید قدرت به‌نحوی‌که در بالا توضیح داده شد، استفاده شده است. جهت حفظ تقارن مدار قدرت و اطمینان کامل از خنک شدن کلیدها دو هیت‌سینک به‌صورت نشان داده شده در شکل (۴-۶) جایگذاری شده‌اند که به‌طور دائم، توسط دو فن با ولتاژ ۱۲ ولت و ۰.۱۶ آمپر که به‌صورت مکشی و دمشی در دو طرف هیت‌سینک‌ها قرار داده شده‌اند، خنک می‌شود.



شکل (۴-۶) ساختار سیستم خنک‌کننده

جهت فراهم کردن بار، از بارهای مقاومتی موجود در آزمایشگاه، به‌صورت سری و موازی استفاده شده، به‌طوری‌که مقدار مقاومت لازم فراهم گردیده است. جهت کنترل مبدل لازم است تا ولتاژ خروجی اندازه‌گیری شود، این ولتاژها از طریق سنسور ایزوله به مدل NV۲۵-P اندازه گرفته می‌شوند. سیگنال اندازه‌گیری شده، در بردهای مخصوصی (Signal adaptor) از طریق تقویت‌کننده به سطح قابل‌قبول در واحد پردازنده تبدیل شده و سیگنال‌های حفاظت نیز در این برد ایجاد می‌گردند. این سیگنال به برد پروسسور منتقل شده تا ضمن انجام عملیات مناسب و تولید پالس‌های PS_PWM، حفاظت لازم از مبدل صورت گیرد.

۴-۲-۱-۲ نتایج حاصل از آزمایش بر روی منبع تغذیه تمام‌پل با کلیدزنی ZVS

در این قسمت به منظور بررسی و مقایسه صحیح بین نتایج حاصل از شبیه‌سازی و آزمایش بر روی نمونه ساخته شده، آزمایش‌های یکسانی برای هر دو مدل شبیه‌سازی شده و ساخته شده، مطابق جدول (۴-۱۰) در نظر گرفته که نتایج آن به همراه توضیحات در ادامه به‌صورت مجزا آورده شده است. لازم به ذکر است که نتایج حاصل از آزمایش بر روی نمونه ساخته شده توسط اسکوپ دیجیتال چهار کانالِ GW-Instek-۳۱۵۴ که دارای فرکانس نمونه برداری ۵ گیگا سمپل در ثانیه است، استخراج شده است.

جدول (۴-۱۰) : آزمایش‌های در نظر گرفته شده

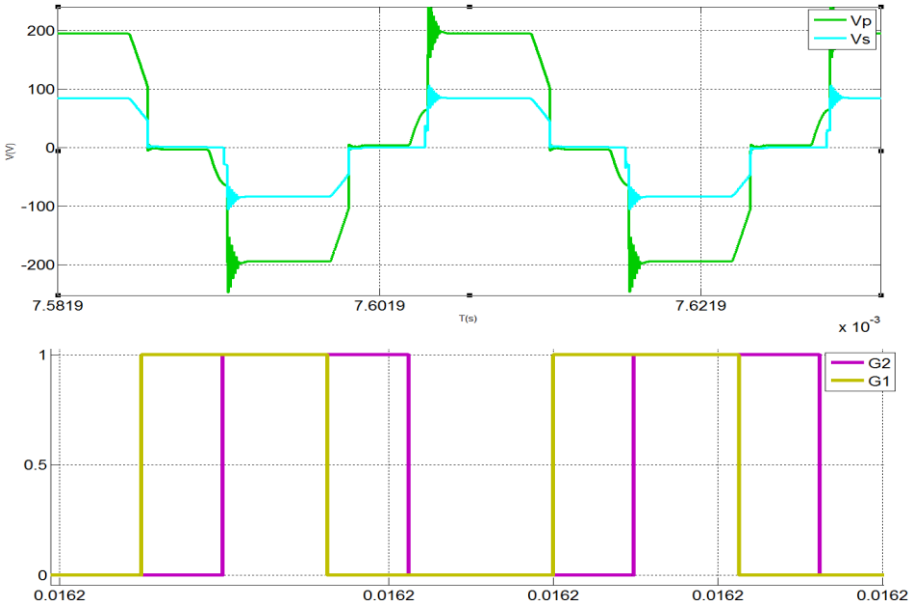
نوع	ولتاژ خروجی مبدل (ولت)	جریان خروجی مبدل (آمپر)
۱	۵۰	۱
۲	۵۰	۵
۳	۵۰	۱۰
۴	۵۰	۱۲

۴-۲-۲ نتایج آزمایش نوع ۱

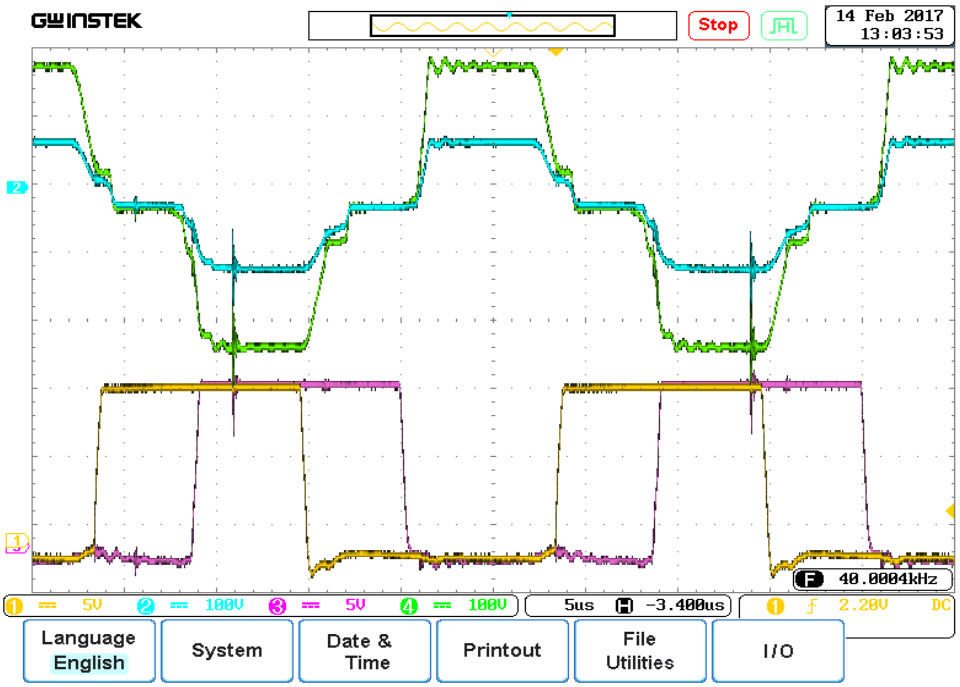
۴-۲-۲-۱ شکل موج و ولتاژ اولیه و ثانویه ترانسفورماتور

درشکل (۴-۷) شکل موج ولتاژ دو سر اولیه و ولتاژ دو سر ثانویه ترانسفورماتور به همراه پالس‌های ارسالی به کلیدهای حاضر در بازوی پسفاز و بازوی پیشفاز برای مدل شبیه‌سازی شده و نمونه ساخته شده نشان داده شده است. همان‌طور که مشاهده می‌شود میزان شیفت فازی که بین پالس ارسالی به کلیدهای بازوی پیشفاز و پسفاز وجود دارد، تعیین کننده مدت زمانی است که ولتاژ در دو سر اولیه ترانسفورماتور قرار می‌گیرد. همین ولتاژ با نسبت تبدیل مشخص، به ثانویه انتقال پیدا می‌کند.

نتیجه شبیه سازی :



نتیجه حاصل از آزمایش بر روی نمونه ساخته شده :

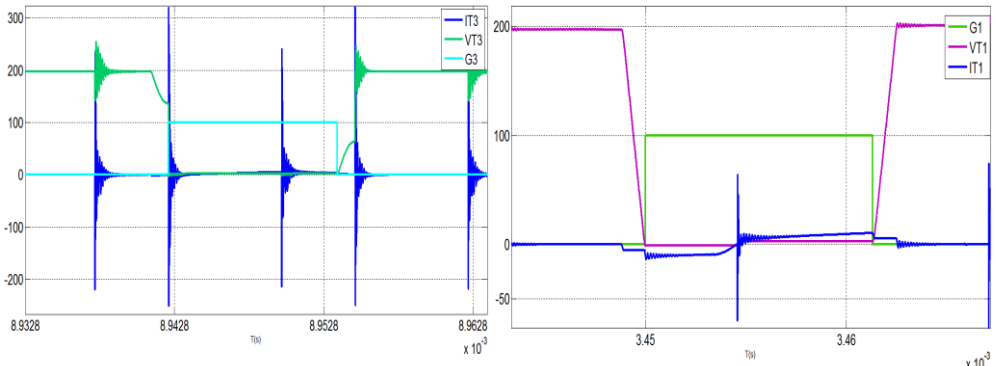


شکل (۴-۷) : شکل موج ولتاژ دو سر اولیه ترانسفورماتور (سبز) و ولتاژ دو سر ثانویه ترانسفورماتور (آبی) به همراه پالس ارسالی به کلیدهای بازوی پیشفاز (زرد) و بازوی پسفاز (بنفش) در آزمایش نوع ۱

۴-۲-۲-۲ شکل موج‌های پالس‌های فرمان و ولتاژ دو سر کلیدهای بازوی پیشفاز و پسفاز

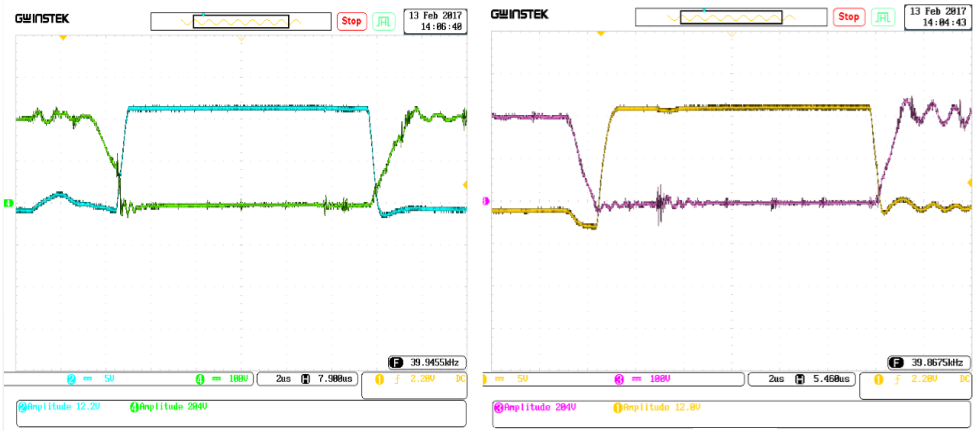
در شکل (۴-۸) شکل موج‌های مربوط به پالس فرمان ارسالی به کلید و ولتاژ دو سر کلید در شرایط آزمایش نوع ۱ برای دو کلید ۱ در بازوی پیشفاز و کلید ۲ در بازوی پسفاز، مربوط به مدل شبیه‌سازی شده و نمونه ساخته شده نشان داده شده است. در نتایج مربوط به شبیه‌سازی علاوه بر شکل موج پالس و ولتاژ کلید، شکل موج جریان کلید هم که به رنگ آبی است، آورده شده است. همان‌طور که مشخص است در شکل مربوط به کلید ۱، با توجه به اینکه پالس فرمان ارسالی به گیت کلید بعد از اینکه ولتاژ دو سر کلید به‌طور کامل به مقدار صفر می‌رسد به کلید ارسال می‌شود، می‌توان این نتیجه را گرفت که کلیدزنی در شرایط ولتاژ صفر برای بازوی کلیدهای حاضر در بازوی پیشفاز در حال انجام هست؛ که این مورد در نتیجه مربوط به شبیه‌سازی به خوبی از روی شکل موج جریان عبوری از کلید نشان داده شده است؛ اما شرایط برای کلید شماره ۲ در بازوی پسفاز متفاوت است، از شکل موج‌های ولتاژ و جریان کلید، حاصل از شبیه‌سازی آنچه که مشخص است، کلیدزنی ZVS برای کلید ۲ محقق نشده است. چراکه جریان در کلید در شرایطی شروع به افزایش از مقدار صفر می‌کند که ولتاژ دو سر آن هنوز به مقدار صفر نرسیده است. همچنین از روی شکل موج‌های پالس ارسالی به کلید ۲ به همراه ولتاژ دو سر کلید، حاصل از آزمایش بر روی نمونه ساخته شده، مشهود است که پالس ارسالی به گیت کلید ۲ زمانی به کلید ارسال می‌شود که ولتاژ دو سر کلید هنوز به مقدار حداقل خود نرسیده است.

نتیجه شبیه سازی :



ب الف

نتیجه حاصل از آزمایش بر روی نمونه ساخته شده :



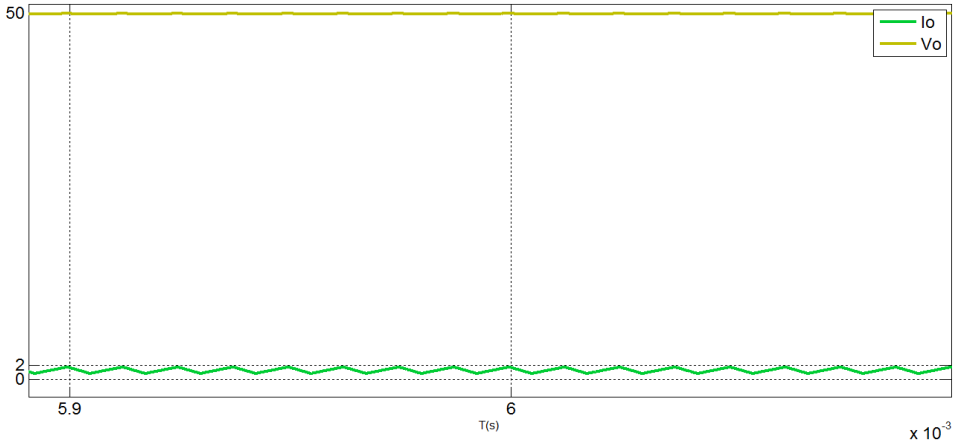
ب الف

شکل (۴-۸) : الف) شکل موج مربوط به پالس فرمان ارسالی به گیت کلید (زرد) و شکل موج ولتاژ دو سر کلید (بنفش) برای کلید ۱ حاضر در بازوی پیشفاز ۱، ب) شکل موج مربوط به پالس فرمان ارسالی به گیت کلید (آبی) و شکل موج ولتاژ دو سر کلید (سبز) برای کلید ۲ حاضر در بازوی پسفاز در شرایط آزمایش نوع ۱

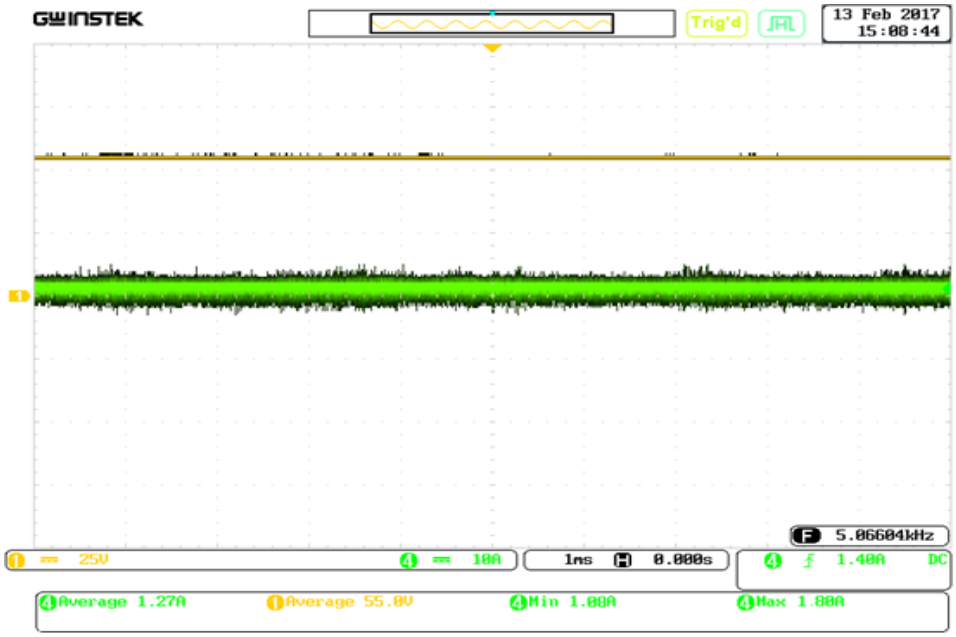
۴-۲-۲-۳ شکل موج ولتاژ و جریان خروجی مبدل

جریان و ولتاژ خروجی مبدل درشکل (۴-۹) برای مدل شبیه‌سازی شده و نمونه ساخته شده نشان داده شده است. مشاهده می‌شود که ولتاژ خروجی یک ولتاژ DC با ریپل بسیار کم و جریان خروجی هم در مقدار حدود ۱ آمپر هست.

نتیجه شبیه سازی :



نتیجه حاصل از آزمایش بر روی نمونه ساخته شده :



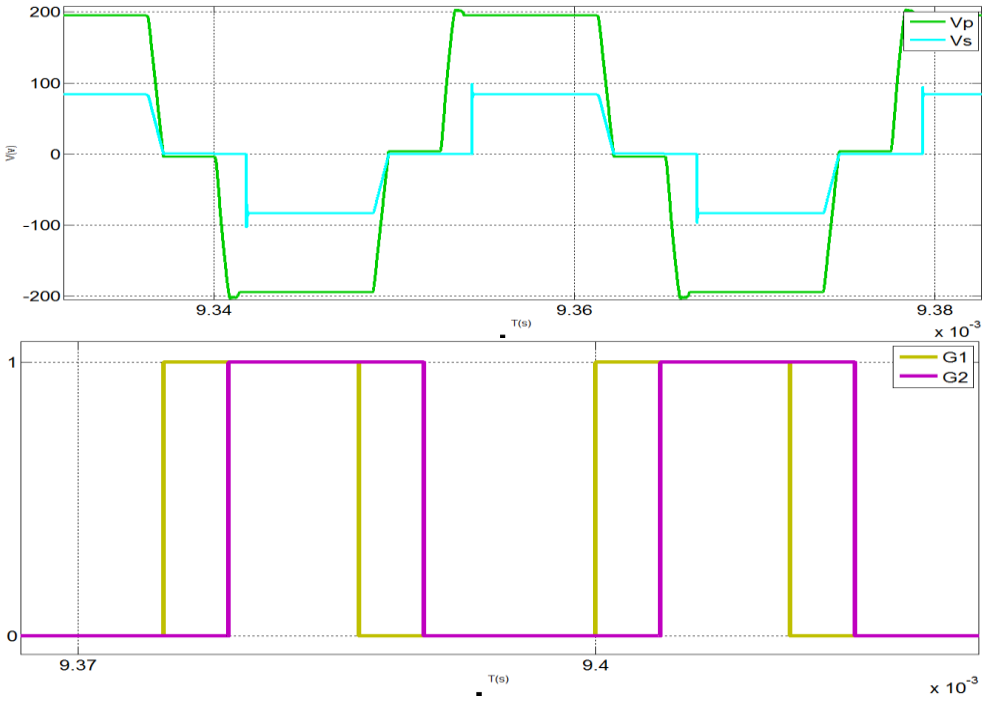
شکل (۴-۹) : شکل موج ولتاژ (زرد) و جریان (سبز) خروجی مبدل در شرایط آزمایش نوع ۱

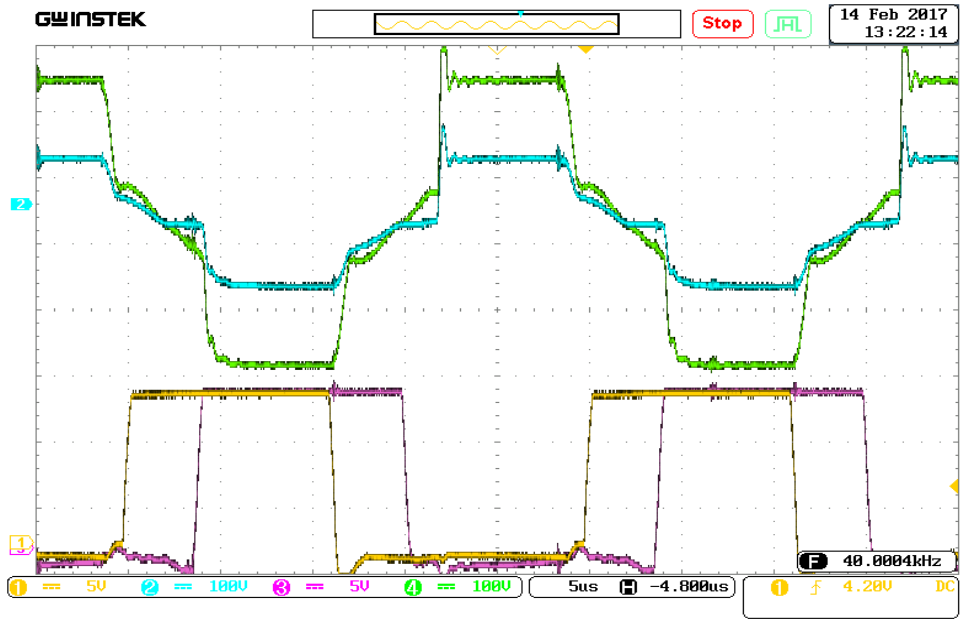
۴-۲-۳ نتایج آزمایش نوع ۲

۴-۲-۳-۱ شکل موج و ولتاژ اولیه و ثانویه ترانسفورماتور

درشکل (۴-۱۰)، شکل موج‌های ولتاژ دو سر اولیه و ثانویه ترانسفورماتور به همراه پالس‌های ارسالی به کلید ۱ حاضر در بازوی پیشفاز و کلید ۲ حاضر در بازوی پسفاز، حاصل از شبیه‌سازی و آزمایش بر روی نمونه ساخته شده، تحت شرایط آزمایش نوع ۲، نمایش داده شده است. همان‌طور که مشاهده می‌شود افزایش جریان خروجی نسبت به آزمایش نوع ۱، نیاز به توان بالاتر را در خروجی مبدل ایجاد می‌کند که از طریق کمتر کردن شیفت‌فاز پالس‌های ارسالی به کلیدهای بازوی پسفاز و پیشفاز این افزایش توان درخواستی، تأمین شده است.

نتیجه شبیه سازی :





شکل (۴-۱۰) : شکل موج ولتاژ دو سر اولیه ترانسفورماتور (سبز) و ولتاژ دو سر ثانویه ترانسفورماتور (آبی) به همراه پالس ارسالی به کلیدهای بازوی پیشفاز (زرد) و بازوی پسفاز (بنفش) در آزمایش نوع ۲

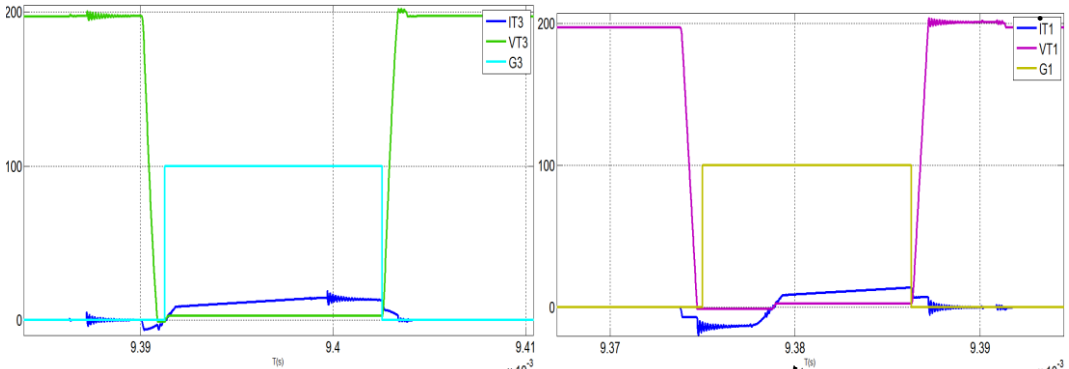
۴-۲-۳-۲ شکل موج‌های پالس‌های فرمان و ولتاژ دو سر کلیدهای بازوی پیشفاز و پسفاز

در شکل (۴-۱۱) شکل موج‌ها پالس ارسالی به گیت کلید ۱ به همراه ولتاژ دو سر آن و شکل موج‌های پالس ارسالی به گیت کلید ۲ به همراه ولتاژ دو سر آن، در نتیجه‌ی شبیه‌سازی و آزمایش بر روی نمونه ساخته شده به نمایش درآمده است. با توجه به شکل موج‌های ولتاژ و جریان حاصل از شبیه‌سازی برای کلید ۱ مشخص است که جریان در کلید بعد از به صفر رسیدن ولتاژ دو سر آن شروع به جاری شدن می‌کند و این به معنی تحقق کلیدزنی ZVS برای این کلید و کلید دیگر حاضر در بازوی پیشفاز است.

برخلاف شرایط تحقق کلیدزنی ZVS برای کلیدهای بازوی پیشفاز که هیچ وابستگی به جریان خروجی مبدل ندارد، در تحقق شرایط برای کلیدزنی ZVS برای کلیدهای بازوی پسفاز جریان خروجی مبدل بسیار تأثیرگذار است و تأثیر افزایش جریان خروجی بر نحوه کلیدزنی انجام شده در کلیدهای حاضر در بازوی پسفاز را می‌توان از شکل موج حاصل از شبیه‌سازی و آزمایش بر روی نمونه ساخته شده در شکل (۴-۱۱) به‌خوبی مشاهده کرد. همان‌طور که مشخص است و انتظار آن را داشتیم چون جریان خروجی در حدود جریان مرزی تحقق کلیدزنی ZVS در این طراحی است، در نتیجه کلیدزنی در بازوی پسفاز در شرایط ZVS انجام می‌پذیرد و این را می‌توان هم از روی نتایج حاصل از شبیه‌سازی و هم نتایج حاصل از آزمایش بر روی نمونه ساخته شده مشخص کرد. هرچند چون جریان نزدیک به میزان جریان حد تحقق کلیدزنی ZVS برای کلیدهای بازوی پسفاز است، نمی‌توان اطمینان خیلی زیادی به شرایط موجود داشت و امکان این وجود دارد که در بعضی از سیکل‌ها کلیدزنی به‌صورت سخت انجام شود.

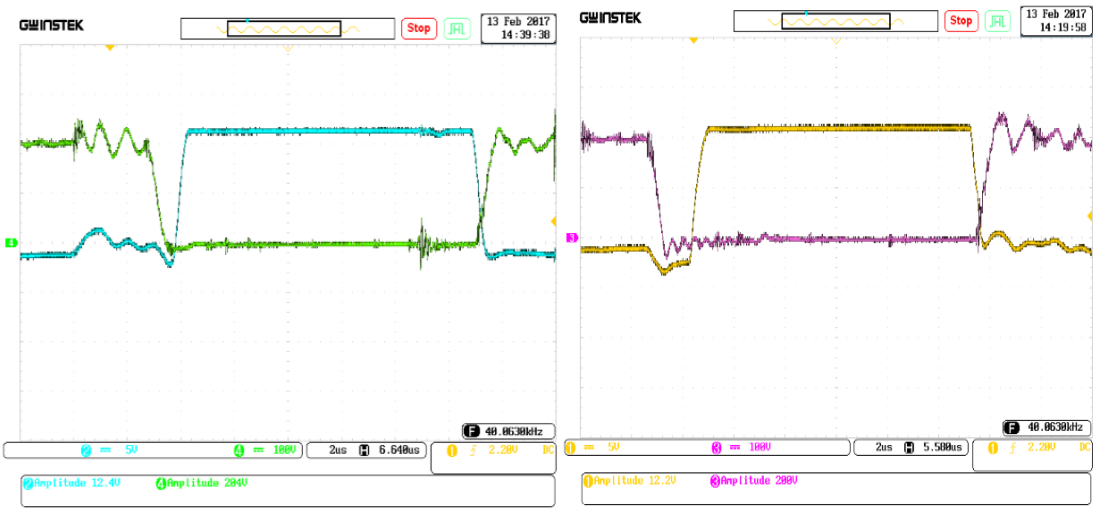
تمامی آنچه را که در مورد کلیدزنی در بازوی پیشفاز و پسفاز تحت شرایط این آزمایش از روی نتایج شبیه‌سازی گفته شد را می‌توان با توجه به نتایج حاصل از همین آزمایش بر روی نمونه ساخته شده تصدیق کرد.

نتیجه شبیه سازی



ب الف

نتیجه حاصل از آزمایش بر روی نمونه ساخته شده :



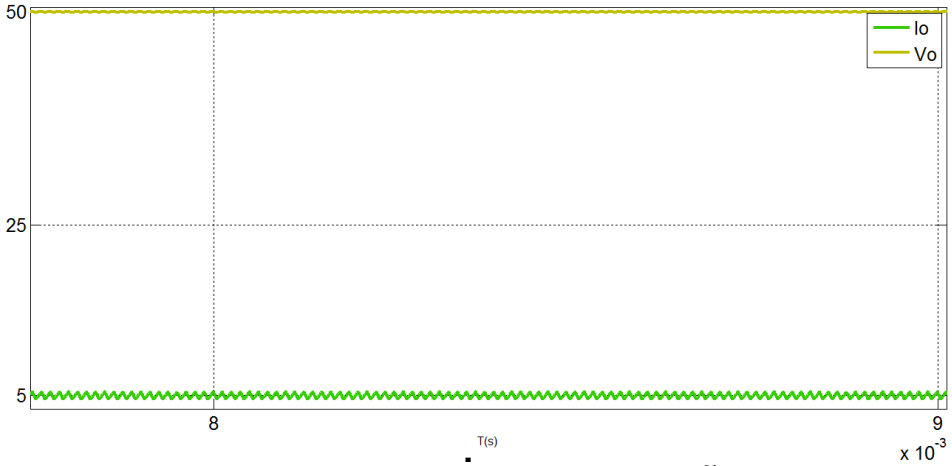
ب الف

شکل (۴-۱۱) : الف) شکل موج مربوط به پالس فرمان ارسالی به گیت کلید (زرد) و شکل موج ولتاژ دو سر کلید (بنفش) برای کلید ۱ حاضر در بازوی پیشفاز، ب) شکل موج مربوط به پالس فرمان ارسالی به گیت کلید (آبی) و شکل موج ولتاژ دو سر کلید (سبز) برای کلید ۲ حاضر در بازوی پسفاز در شرایط آزمایش نوع ۲

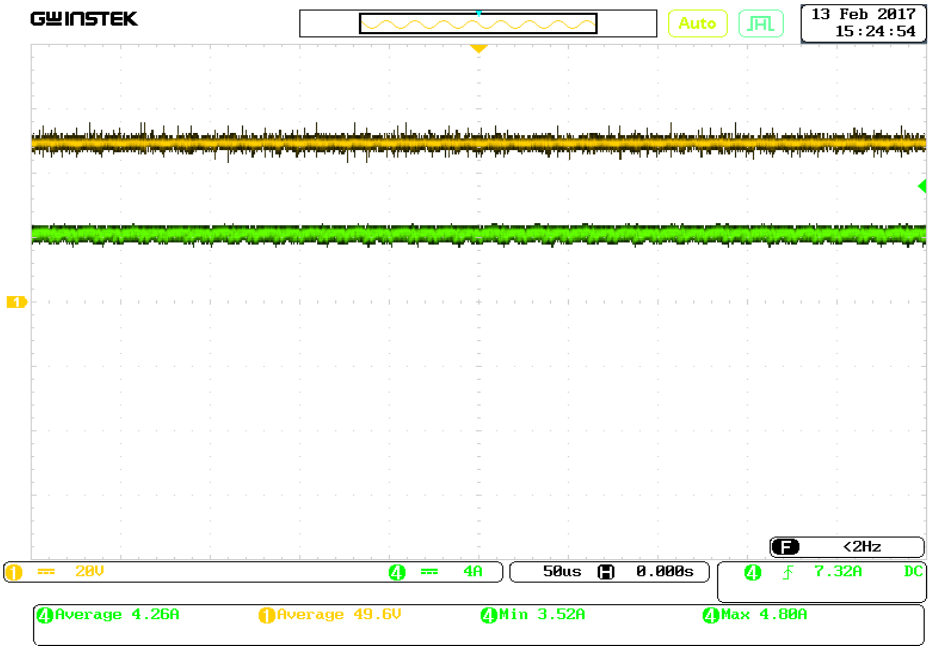
۴-۲-۳-۳ شکل موج ولتاژ و جریان خروجی مبدل

در شکل (۴-۱۲) شکل موج ولتاژ و جریان خروجی مبدل حاصل از شبیه‌سازی و آزمایش بر روی نمونه ساخته شده، تحت شرایط آزمایش نوع ۲ نشان داده شده است. همان‌طور که مشاهده می‌شود ولتاژ و جریان خروجی مطابق انتظار در مقدار ۵۰ ولت و ۵ آمپر است که نتایج حاصل نمونه ساخته شده نتایج شبیه‌سازی را تصدیق می‌کند.

نتیجه شبیه سازی :



نتیجه حاصل از آزمایش بر روی نمونه ساخته شده :



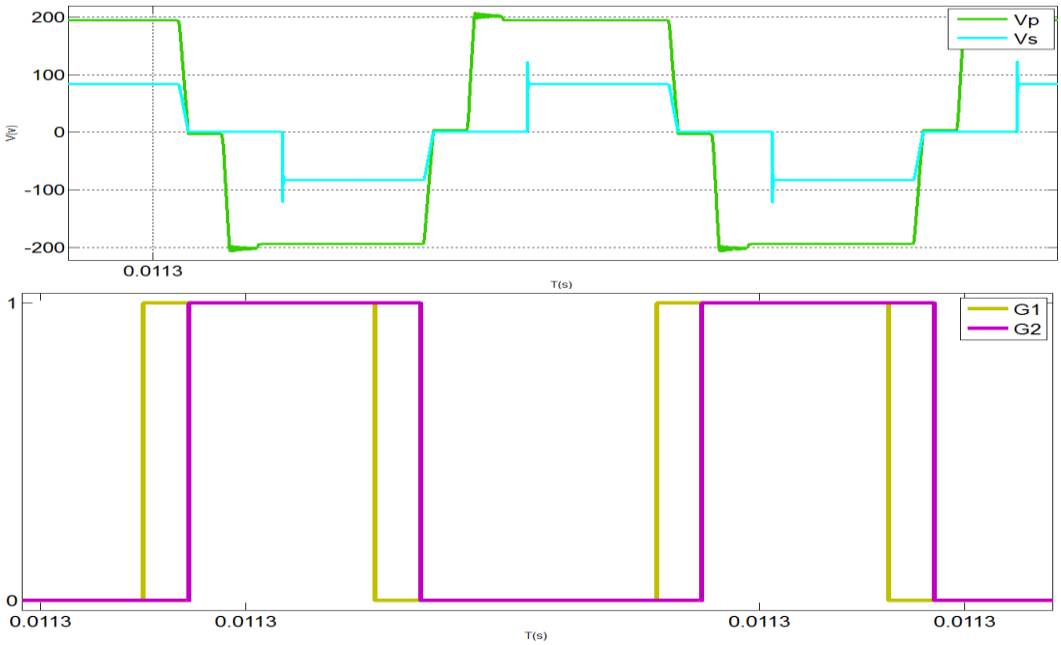
شکل (۴-۱۲) : شکل موج ولتاژ (زرد) و جریان (سبز) خروجی مبدل در شرایط آزمایش نوع ۲

۴-۲-۴ نتایج آزمایش نوع ۳

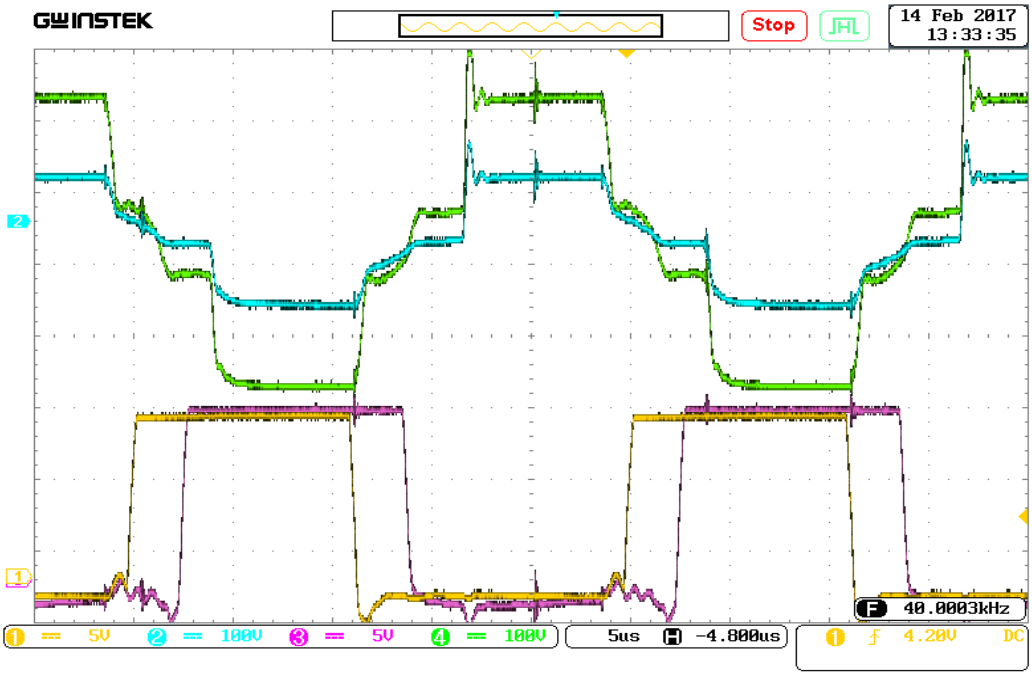
۴-۲-۴-۱ شکل موج و ولتاژ اولیه و ثانویه ترانسفورماتور

شکل (۴-۱۳) شکل موج‌های ولتاژ دو سر اولیه و ثانویه ترانسفورماتور به همراه پالس‌های ارسالی به کلید ۱ حاضر در بازوی پیشفاز و کلید ۲ حاضر در بازوی پسفاز، حاصل از شبیه‌سازی و آزمایش بر روی نمونه ساخته شده، تحت شرایط آزمایش نوع ۲، نمایش داده شده است. همان‌طور هم از نتیجه حاصل از شبیه‌سازی و هم از نتیجه حاصل از آزمایش بر روی نمونه ساخته شده مشخص است، به جهت جبران افت ولتاژ ناشی از افزایش جریان خروجی، شیفت فاز بین پالس ارسالی به کلیدهای بازوی پسفاز نسبت به بازوی پیشفاز، نسبت به حالت قبل کمتر شده است و این به معنی آن است که مدت زمانی که ولتاژ در دو سر اولیه ترانسفورماتور قرار می‌گیرد افزایش پیدا کرده است.

نتیجه شبیه سازی :



نتیجه حاصل از آزمایش بر روی نمونه ساخته شده :

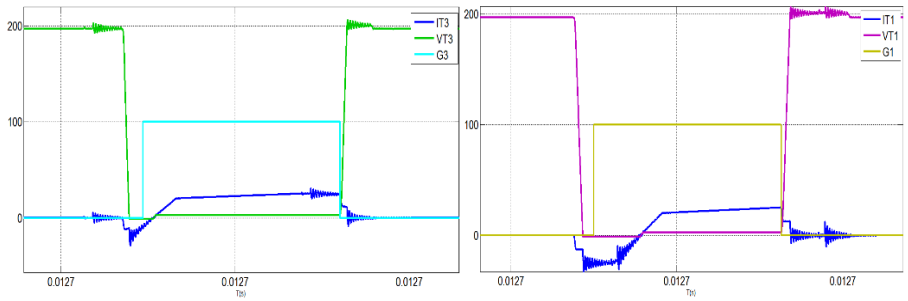


شکل (۴-۱۳) : شکل موج ولتاژ دو سر اولیه ترانسفورماتور (سبز) و ولتاژ دو سر ثانویه ترانسفورماتور (آبی) به همراه پالس ارسالی به کلیدهای بازوی پیشفاز (زرد) و بازوی پسفاز (بنفش) در آزمایش نوع ۳

۴-۲-۴-۲ شکل موج‌های پالس‌های فرمان و ولتاژ دو سر کلیدهای بازوی پیشفاز و پسفاز

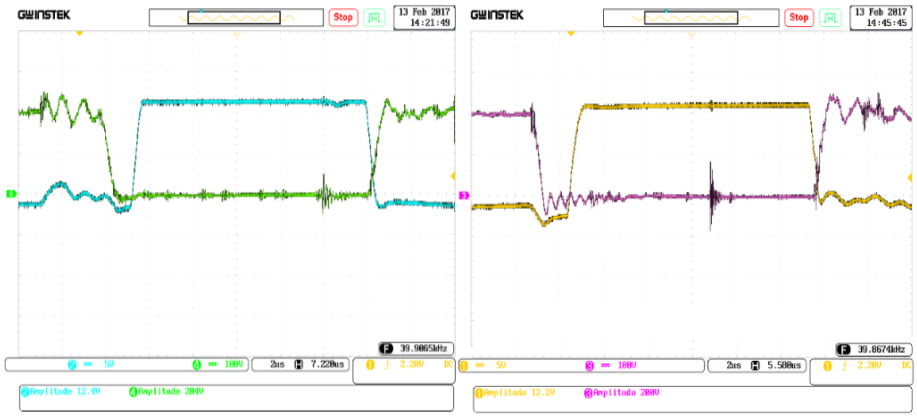
در شکل (۴-۱۴) شکل موج‌ها پالس ارسالی به گیت کلید ۱ به همراه ولتاژ دو سر آن و شکل موج‌های پالس ارسالی به گیت کلید ۲ به همراه ولتاژ دو سر آن، در نتیجه‌ی شبیه‌سازی و آزمایش بر روی نمونه ساخته شده به نمایش درآمده است. آنچه که از نتایج حاصل از شبیه‌سازی و همچنین از نتایج حاصل از آزمایش بر روی نمونه ساخته شده، مشخص است تحقق کلیدزنی ZVS برای کلیدهای هر دو بازوی پسفاز و پیشفاز است.

نتیجه شبیه سازی :



ب الف

نتیجه حاصل از آزمایش بر روی نمونه



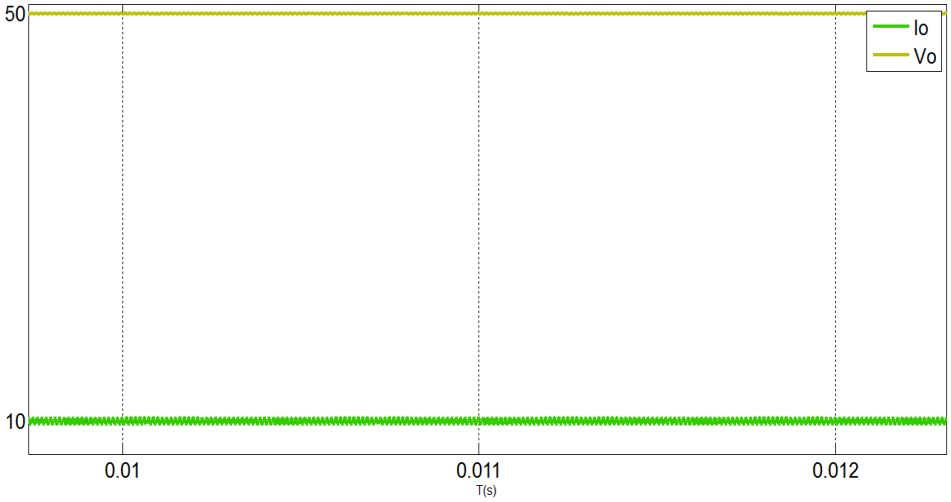
ب الف

شکل (۴-۱۴) : الف) شکل موج مربوط به پالس فرمان ارسالی به گیت کلید (زرد) و شکل موج ولتاژ دو سر کلید (بنفش) برای کلید ۱ حاضر در بازوی پیشفاز، ب) شکل موج مربوط به پالس فرمان ارسالی به گیت کلید (آبی) و شکل موج ولتاژ دو سر کلید (سبز) برای کلید ۲ حاضر در بازوی پسفاز در شرایط آزمایش نوع ۳

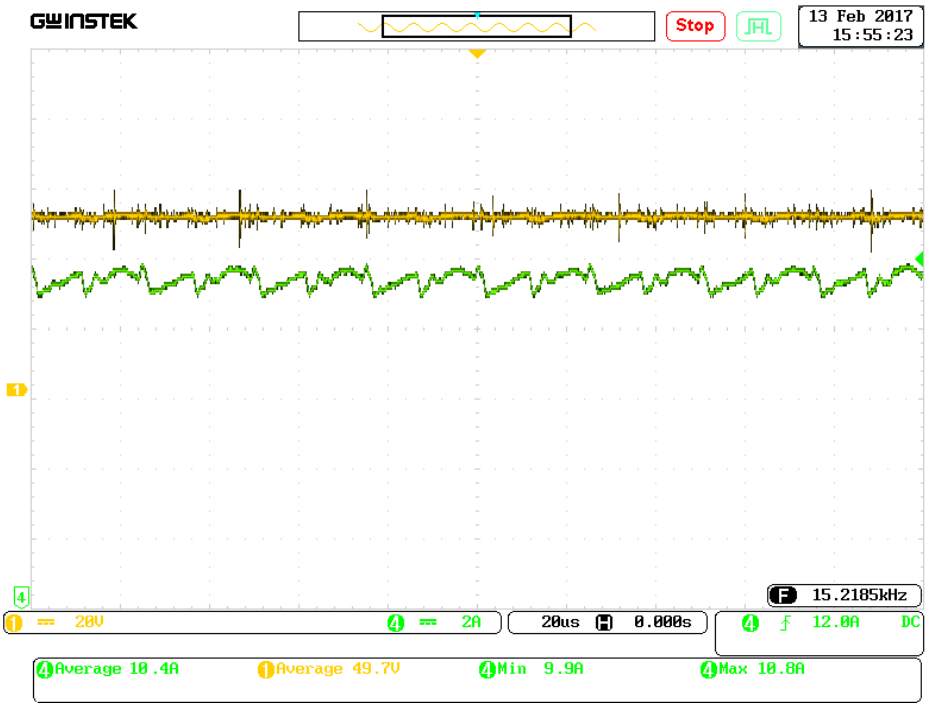
۴-۲-۴-۳ شکل موج ولتاژ و جریان خروجی مبدل

شکل موج ولتاژ و جریان خروجی در شرایط این آزمایش در شکل (۴-۱۵) نشان داده شده است و همان‌طور که مشاهده می‌شود ولتاژ و جریان خروجی در وضعیت مطلوبی قرار دارند.

نتیجه شبیه سازی



نتیجه حاصل از آزمایش بر روی نمونه ساخته شده :



شکل (۴-۱۵) : شکل موج ولتاژ (زرد) و جریان (سبز) خروجی مبدل در شرایط آزمایش نوع ۳

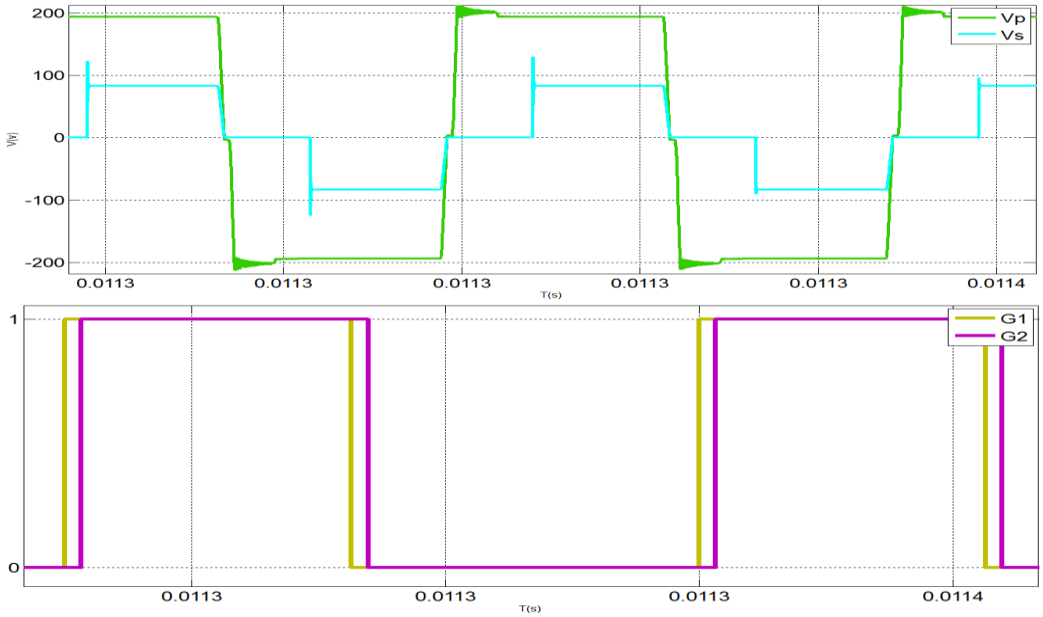
همان‌طور که در نتایج شبیه‌سازی و نتایج حاصل از آزمایش بر روی نمونه ساخته شده در این آزمایش نشان داده شد، با توجه به افزایش جریان خروجی مبدل به حدود دو برابر جریان مرزی که برای تحقق کلیدزنی ZVS برای کلیدهای بازوی پسفاز در نظر گرفته شده بود، شرایط جهت تحقق کلیدزنی ZVS با اطمینان بالا برای کلیدهای حاضر در بازوی پسفاز به خوبی فراهم گردید. همچنین ولتاژ و جریان خروجی مبدل مطابق آنچه انتظار داشتیم در مقدار ۵۰ ولت و ۱۰ آمپر قرار گرفته است.

۴-۲-۵ نتایج آزمایش نوع ۴

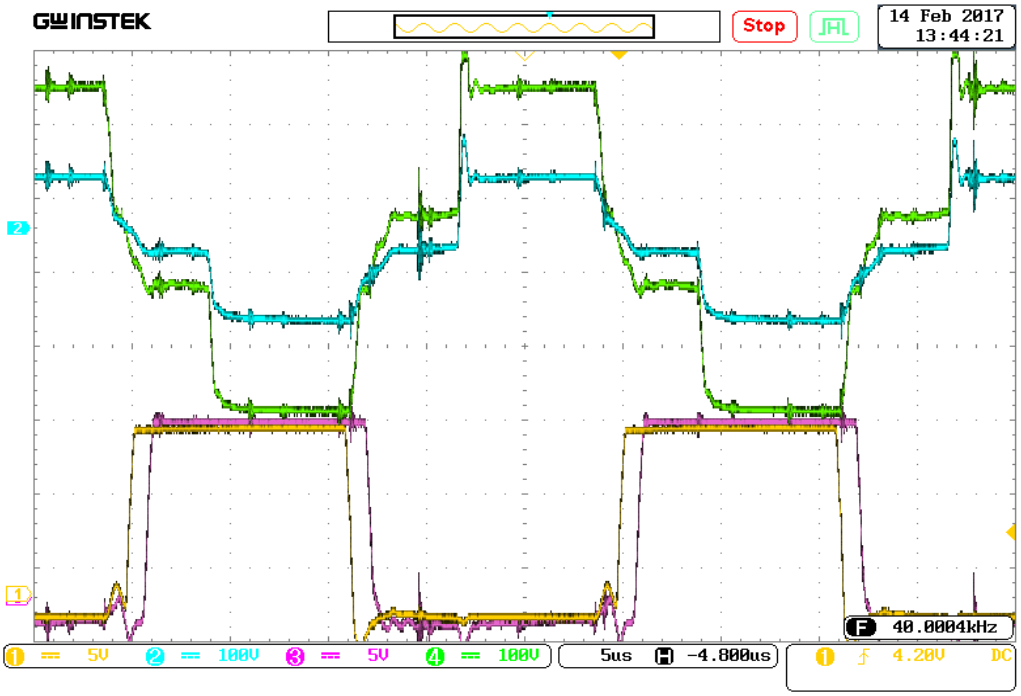
۴-۲-۵-۱ شکل موج و ولتاژ اولیه و ثانویه ترانسفورماتور

در شکل (۴-۱۶) ولتاژ دو سر اولیه و ثانویه ترانسفورماتور به همراه شیفت فاز موجود بین پالس‌های ارسالی به کلیدهای حاضر در بازوی پسفاز نسبت به بازوی پیشفاز در شرایط آزمایش ۴ نشان داده شده است. همان‌طور که مشخص است مدت زمانی که ولتاژ در دو سر اولیه ترانسفورماتور است تقریباً در حداکثر مقدار خود، قرار دارد و این به دلیل این است که توان خروجی مبدل، تقریباً در مقدار نامی خود قرار دارد و برای جبران افت ولتاژ ناشی از جریان کشیده شده شیفت فاز بین پالس‌های فرمان ارسالی به گیت کلیدهای بازوی پسفاز نسبت به پیشفاز به حداقل مقدار خود رسیده است. نتایج حاصل از آزمایش بر روی نمونه ساخته شده به خوبی نتایج بدست آمده از شبیه‌سازی را تصدیق می‌کند.

نتیجه شبیه سازی :



نتیجه حاصل از آزمایش بر روی نمونه ساخته شده :

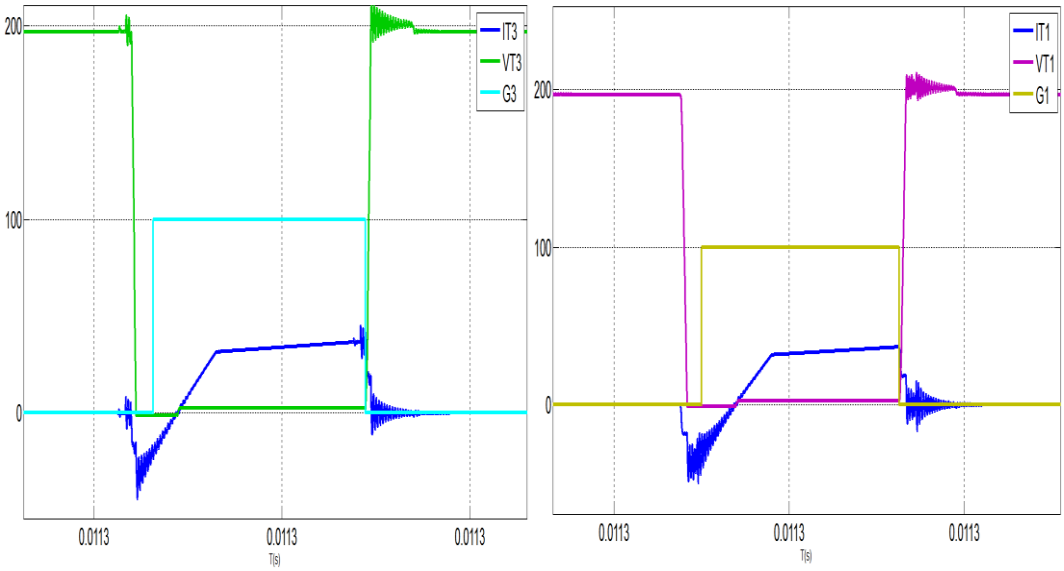


شکل (۴-۱۶) : شکل موج ولتاژ دو سر اولیه ترانسفورماتور (سبز) و ولتاژ دو سر ثانویه ترانسفورماتور (آبی) به همراه پالس ارسالی به کلیدهای بازوی پیشفاز (زرد) و بازوی پسفاز (بنفش) در آزمایش نوع ۴

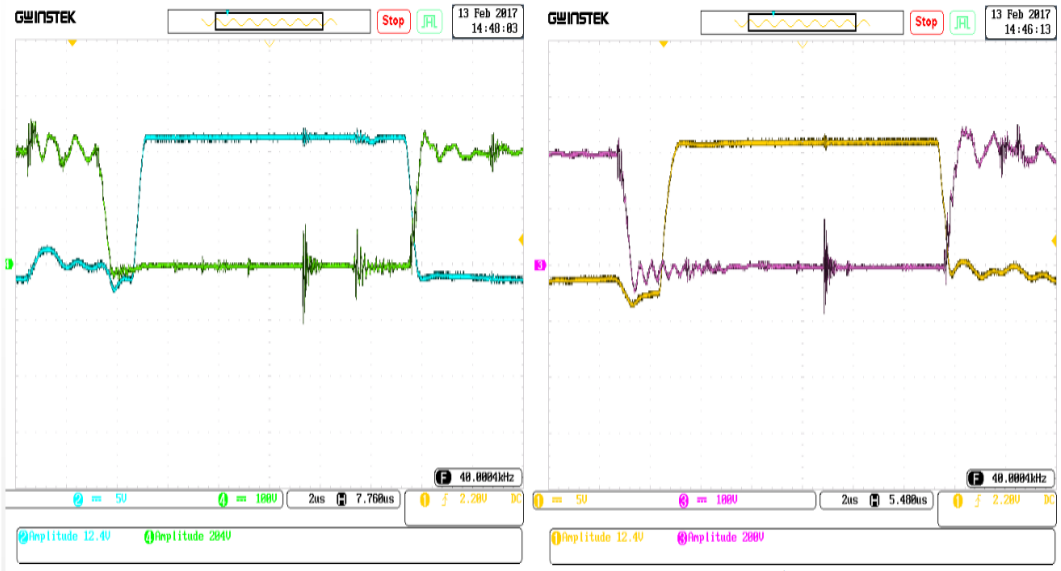
۴-۲-۵-۲ شکل موج‌های پالس‌های فرمان و ولتاژ دو سر کلیدهای بازوی پیشفاز و پسفاز

درشکل (۴-۱۷) شکل موج‌ها پالس ارسالی به گیت کلید ۱ به همراه ولتاژ دو سر آن و شکل موج‌های پالس ارسالی به گیت کلید ۲ به همراه ولتاژ دو سر آن، در نتیجه‌ی شبیه‌سازی و آزمایش بر روی نمونه ساخته شده به نمایش درآمده است. مطابق انتظار هم از نتایج شبیه‌سازی و هم از نتایج حاصل از آزمایش بر روی نمونه ساخته شده، مشخص است که کلیدزنی ZVS، هم برای کلیدهای حاضر در بازوی پیشفاز و هم برای کلیدهای حاضر در بازوی پسفاز به طور خیلی خوبی تحقق پیدا کرده است.

نتیجه شبیه سازی :



نتیجه حاصل از آزمایش بر روی نمونه ساخته شده :



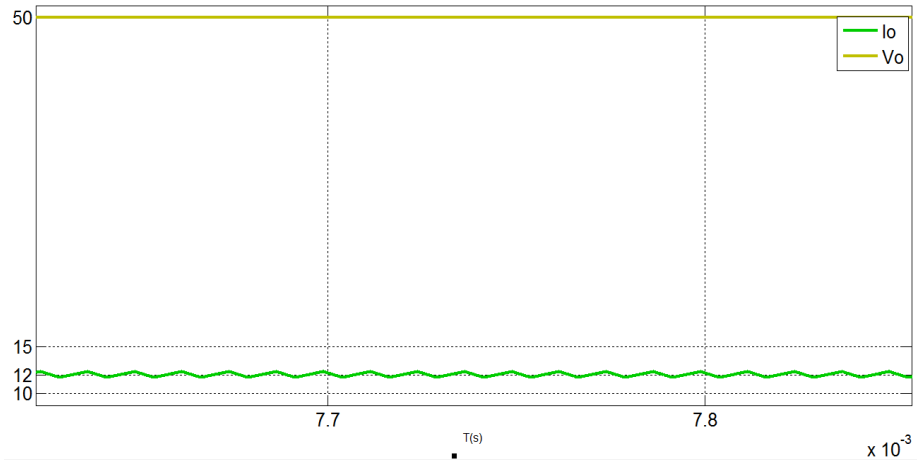
ب الف

شکل (۴-۱۷) : الف) شکل موج مربوط به پالس فرمان ارسالی به گیت کلید (زرد) و شکل موج ولتاژ دو سر کلید (بنفش) برای کلید ۱ حاضر در بازوی پیشفاز، ب) شکل موج مربوط به پالس فرمان ارسالی به گیت کلید (آبی) و شکل موج ولتاژ دو سر کلید (سبز) برای کلید ۲ حاضر در بازوی پسفاز در شرایط آزمایش نوع ۴

۴-۲-۵-۳ شکل موج ولتاژ و جریان خروجی مبدل

همان‌طور که درشکل (۴-۱۸) نشان داده شده است ولتاژ و جریان خروجی مبدل تحت شرایط آزمایش ۴ است و مشاهده می‌شود که ولتاژ و جریان خروجی مبدل در شرایط مطلوبی است.

نتیجه شبیه سازی :



نتیجه حاصل از آزمایش بر روی نمونه ساخته

شکل (۴-۱۸) : شکل موج ولتاژ (زرد) و جریان (سبز) خروجی مبدل در شرایط آزمایش نوع ۴

۴-۳ کنترلر PID خودتنظیم با استفاده از شبکه عصبی تک Neurone

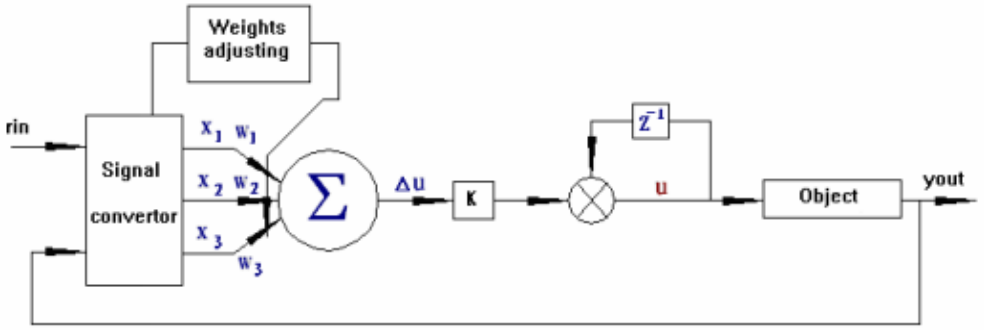
۴-۳-۱ کنترلر PID با ضرایب خودتنظیم

در طراحی کنترلر PID با ضرایب ثابت، همان‌طور که توضیح داده شد ضرایب را برای نقطه کار نامی سیستم تنظیم می‌کنیم که این امر ممکن است با دور شدن سیستم از نقطه کار نامی خود، باعث تضعیف عملکرد کنترلر در کنترل سیستم شود. نکته‌ی دیگری که وجود دارد این است که در نوشتن معادلات و مدل‌سازی سیگنال کوچک مبدل، سیستم خطی فرض می‌شود و با مجموعه‌ای از این قبیل، تقریب‌ها تابع تبدیل منبع تغذیه بدست آورده می‌شود؛ اما در عمل با سیستمی غیرخطی و متغیر با زمان مواجه هستیم و هر تقریب و فرضی که برای راحت‌تر شدن استخراج تابع تبدیل سیستم انجام می‌شود، از جمله خطی فرض کردن و نامتغیر با زمان بودن دینامیک منبع تغذیه و همچنین در نظر نگرفتن تلفات بعضی از المان‌ها که می‌توانند بر روی دینامیک سیستم اثرگذار باشند در مجموع باعث می‌شود که دینامیک بدست آمده برای منبع تغذیه با دینامیک سیستم واقعی تفاوت داشته باشد. بر همین اساس تنظیم ضرایب کنترلر PID بر مبنای دینامیک تقریبی سیستم که با واقعیت سیستم واقعی فاصله دارد باعث عملکرد نامطلوب کنترلر PID در سیستم واقعی می‌شود. از طرفی سادگی پیاده‌سازی و عملکرد خوب کنترلر PID در صورت تنظیم درست ضرایب آن باعث می‌شود که نتوان از بکار بردن آن در سیستم کنترلی چشم‌پوشی کرد و اگر بتوان، ضرایب کنترل‌کننده PID را متناسب با سیستم واقعی و شرایط مختلف آن در لحظه تنظیم کرد، می‌توان هم از ساده بودن پیاده‌سازی این کنترلر بهره برد و هم قابلیت انعطاف‌پذیر بودن را به خصوصیات این کنترلر اضافه کرد. امروزه برای انعطاف‌پذیر کردن این کنترلر و ایجاد یک خاصیت خودتنظیم برای ضرایب آن، روش‌های مختلفی پیشنهاد شده است [۳۸]. استفاده از شبکه عصبی در تنظیم خودکار ضرایب کنترلر PID یکی از آن‌ها است[۳۹].

روش‌های مختلفی برای تنظیم خودکار ضرایب با استفاده از شبکه عصبی پیشنهاد شده است اما نکته‌ای که در انتخاب روش مناسب باید در نظر داشت، این است که بهبود عملکرد کنترل‌کننده سبب از دست دادن ساده بودن پیاده‌سازی و طراحی آن نشود. از این‌رو به‌منظور انعطاف‌پذیر کردن کنترلر PID کلاسیک از ترکیب این کنترلر با شبکه عصبی مصنوعی، می‌توان یک کنترلر PID خودتنظیم بر اساس شبکه عصبی داشت که به‌مراتب انعطاف‌پذیرتر از نوع کلاسیک خود است و سیستم کنترلر، عملکردی بهتر می‌تواند از خود نشان دهد[۱۷]. در واقع کنترلر PID تک عصبِ یکی از انواع ساده کنترلر PID مبتنی بر شبکه عصبی مصنوعی است. این کنترلر در عین ساده بودن طراحی و محاسبات کم، دارای خاصیت خودتنظیمی است که این خاصیت به داشتن یک کنترل Real_Time در سیستم کمک می‌کند[۴۰].

۴-۳-۲ کنترلر PID خودتنظیم- تک‌سلول عصبی

شماتیک کلی یک کنترلر PID خودتنظیم تک‌سلول عصبی درشکل (۴-۱۹) نشان داده شده است که در این شماتیک بردار ورودی سلول عصبی به‌صورت $X=\{x_1(k),x_2(k),x_3(k)\}$ است که در واقع $x_1(k)$ و $x_2(k)$ و $x_3(k)$ به ترتیب مربوط به تناسب خطا، انتگرال خطا و مشتق خطا است. همچنین بردار وزن‌ها متناسب با بردار ورودی به ترتیب $w_1(k)$ و $w_2(k)$ و $w_3(k)$ است.



شکل (۴-۱۹) : شماتیک کلی کنترلر PID خودتنظیم تک‌سلول عصبی[۴۰]

برای جلوگیری از افزایش وزن به مقدار بی‌نهایت در روند یادگیری باید آن‌ها را به‌صورت نرمالیزه درآورد که در رابطه (۴-۱) نرمالیزه بردار وزن‌ها را داریم:

$$w_i(k) = w_i(k) / \sum_{i=1}^{3} w_i(k) \qquad (۱-۴)$$

خروجی سلول عصبی به‌صورت رابطه (۴-۲) است:

$$u(k) = u(k-1) + K\sum_{i=1}^{3} w_i(k)x_i(k) \qquad (۲-۴)$$

همچنین با فرض اینکه مقدار خطا برابر با e است، برای بردار ورودی داریم:

$$x_1(k) = e(k) - e(k-1) \qquad (۳-۴)$$

$$x_2(k) = e(k) \qquad (۴-۴)$$

$$x_3(k) = e(k) - 2e(k-1) + e(k-2) \qquad (۵-۴)$$

K ضریب تناسب سلول عصبی است و مقدار آن در عملکرد صحیح شبکه عصبی بسیار مؤثر است[۴۰].

۴-۳-۳ تنظیم وزن‌های کنترلر PID خودتنظیم – تک‌سلول عصبی

در شبکه عصبی مصنوعی، الگوریتم‌های مختلفی برای یادگیری موجود است [۶]. یکی از ساده‌ترین و پرکاربردترین آن‌ها، روش یادگیری دلتا- با ناظر است که الگوریتم آن جهت تنظیم وزن‌های کنترلر PID خودتنظیم به‌صورت معادلات زیر است:

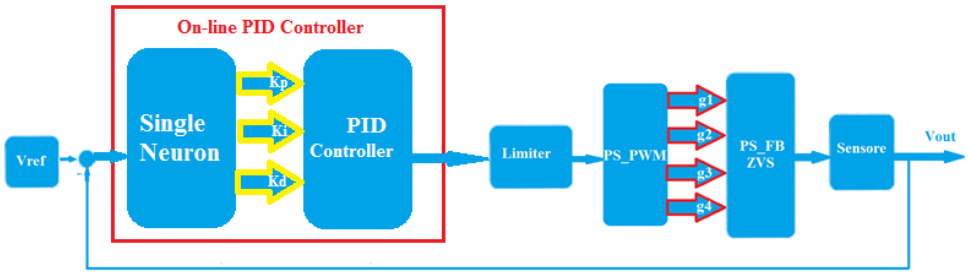
$$w_1(k) = w_1(k-1) + \eta_p e(k-1)u(k-1) \quad (۶-۴)$$

$$w_2(k) = w_2(k-1) + \eta_I e(k-1)u(k-1) \quad (۷-۴)$$

$$w_3(k) = w_2(k-1) + \eta_D e(k-1)u(k-1) \quad (۸-۴)$$

در معادلات بالا به η_P و η_I و η_D ضریب سرعت یادگیری برای وزن‌های مربوط به‌تناسب، انتگرال و مشتق خطا گفته می‌شود که با توجه به سیستم تحت کنترل تعیین می‌گردند.

در این قسمت قصد داریم تا طراحی و استفاده از کنترلر PID خودتنظیم با استفاده از شبکه عصبی تک Nerone به‌منظور کنترل ولتاژ خروجی منبع تغذیه ZVS_PS_FB را تشریح کنیم. شماتیک بلوک کنترلی برای کنترل ولتاژ یک منبع تغذیه ZVS_PS_FB توسط کنترلر PID خودتنظیم – تک‌سلول عصبی به‌صورت شکل (۴-۲۰) است.



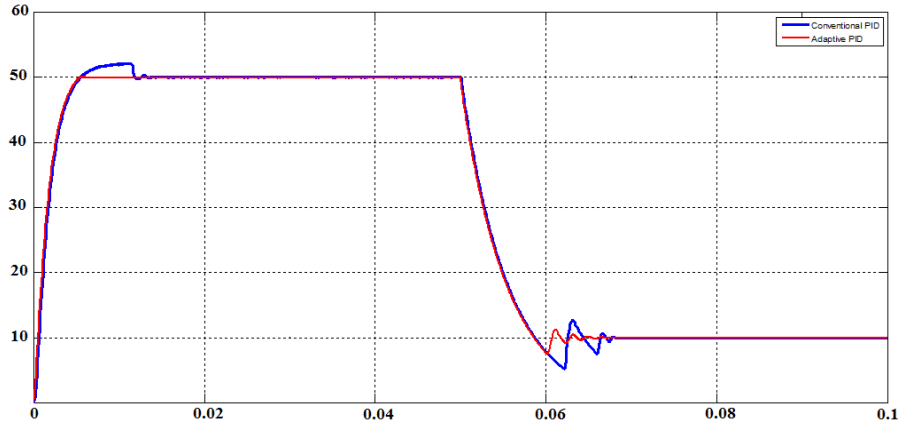
شکل (۴-۲۰) : بلوک دیاگرام کنترل ولتاژ خروجی منبع تغذیه ZVS_PS_FB با استفاده از کنترلر PID خودتنظیم

نتایج شبیه‌سازی با استفاده از این نوع کنترلر در ادامه آورده شده است و نتایج بدست آمده با نتایج بدست آمده از کنترلر PID طراحی شده به روش کلاسیک مقایسه شده است

۴-۳-۴ نتایج شبیه‌سازی حلقه بسته در حضور کنترلر PID خودتنظیم

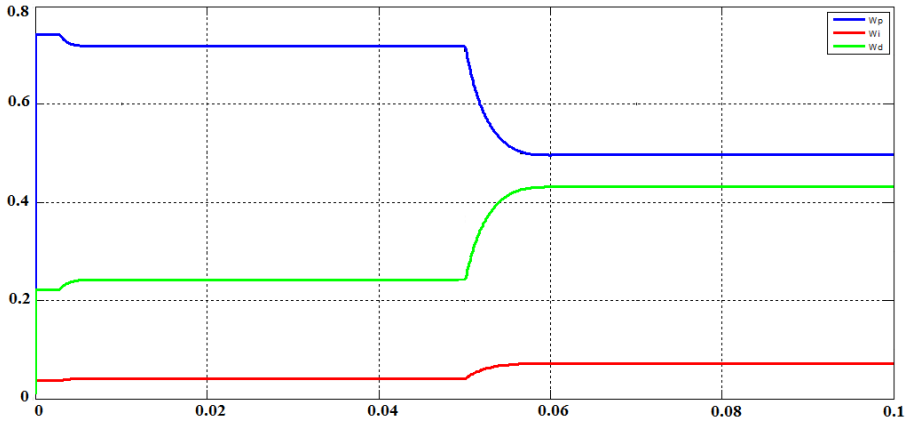
۴-۳-۴-۱ آزمایش نوع اول

در این آزمایش ولتاژ منبع تغذیه و جریان منبع تغذیه به ترتیب بر روی مقدار ۵۰ ولت و ۱۵ آمپر ثابت هست و در لحظه ۰.۰۵ ثانیه ولتاژ مرجع خروجی را به مقدار ۱۰ ولت تغییر می‌دهیم، این تغییرات در شرایطی است که مقدار مقاومت بار خروجی ثابت است. در شکل (۴-۲۱) نتایج برای کنترلر PID کلاسیک و PID خودتنظیم نشان داده شده است.



شکل (۴-۲۱) : شکل موج ولتاژ خروجی منبع تغذیه در حالت استفاده از کنترلر PID معمولی (آبی) و ولتاژ خروجی منبع تغذیه در حالت استفاده از کنترلر PID تطبیقی در شرایط آزمایش نوع اول

همان‌طور که از شکل (۴-۲۱) مشخص است که کنترلر PID تطبیقی به‌خوبی تغییر ولتاژ مرجع را دنبال می‌کند و در مقایسه با کنترلر PID معمولی سرعت بالاتر و پاسخ مناسب‌تری نسبت به تغییرات ولتاژ مرجع از خود نشان می‌دهد. تغییرات ضرایب کنترلر PID تطبیقی را می‌توان در شکل (۴-۲۲) مشاهده کرد.

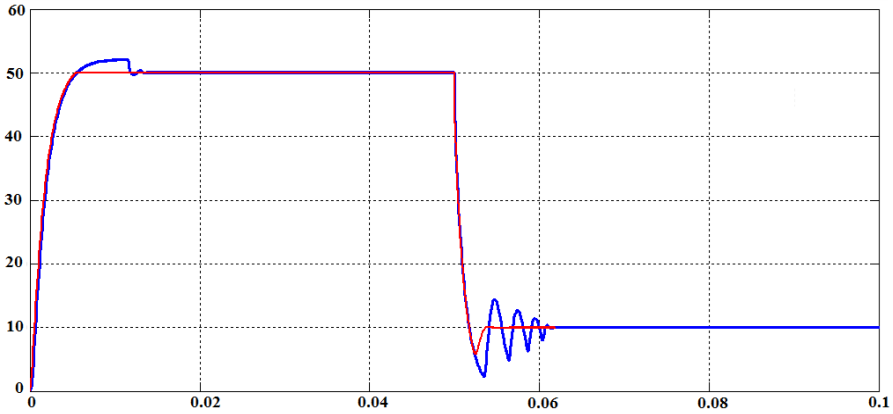


شکل (۴-۲۲) : تغییرات وزن ضرایب کنترلر PID در آزمایش نوع اول

شکل (۴-۲۲) به خوبی نشان می‌دهد که چگونه وزن‌های کنترلر PID برای تطبیق کنترلر با شرایط جدید تغییر می‌کنند.

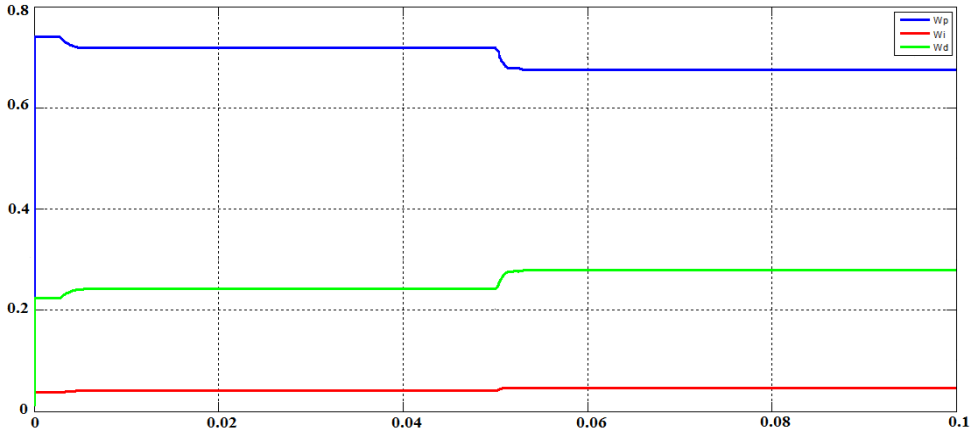
۴-۳-۴-۲ آزمایش نوع دوم

در این آزمایش در شرایطی که ولتاژ و جریان خروجی منبع تغذیه در مقدار ۵۰ ولت و ۱۵ آمپر ثابت است، در زمان ۰.۰۵ ثانیه، مقدار ولتاژ مرجع از ۵۰ ولت به ۱۰ ولت تغییر داده می‌شود و به‌طور هم‌زمان مقاومت بار خروجی چنان تنظیم می‌شود که در این دو حالت از منبع تغذیه جریان ثابتی در حدود ۱۵ آمپر دریافت شود. نتایج حاصل از این آزمایش به‌صورت شکل (۴-۲۳) می‌باشد.



شکل (۴-۲۳) : شکل موج ولتاژ خروجی منبع تغذیه در حالت استفاده از کنترلر PID معمولی (آبی) و ولتاژ خروجی منبع تغذیه در حالت استفاده از کنترلر PID تطبیقی (قرمز) در شرایط آزمایش نوع دوم

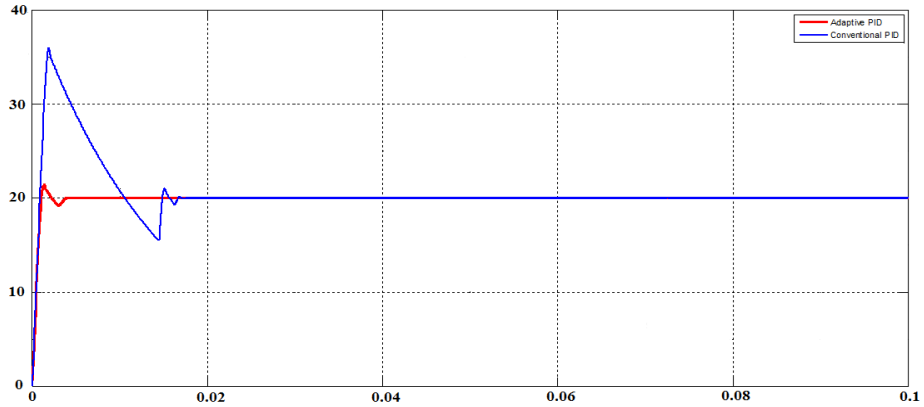
در شکل (۴-۲۴) مشاهده می‌شود که عملکرد کنترلر PID تطبیقی در اثر تغییرات، نسبت به عملکرد کنترلر PID معمولی، مناسب‌تر است و نوسانات ولتاژی در ولتاژ خروجی منبع تغذیه و همچنین سرعت رسیدن به پاسخ حالت دائم، در کنترلر PID تطبیقی مطلوب‌تر است. در شکل زیر می‌توان تغییر وزن ضرایب کنترلر PID را برای تطبیق با شرایط جدید به‌وجود آمده مشاهده کرد.



شکل (۴-۲۴) : تغییرات وزن ضرایب کنترلر PID در آزمایش نوع دوم

۴-۳-۴-۳ آزمایش نوع سوم

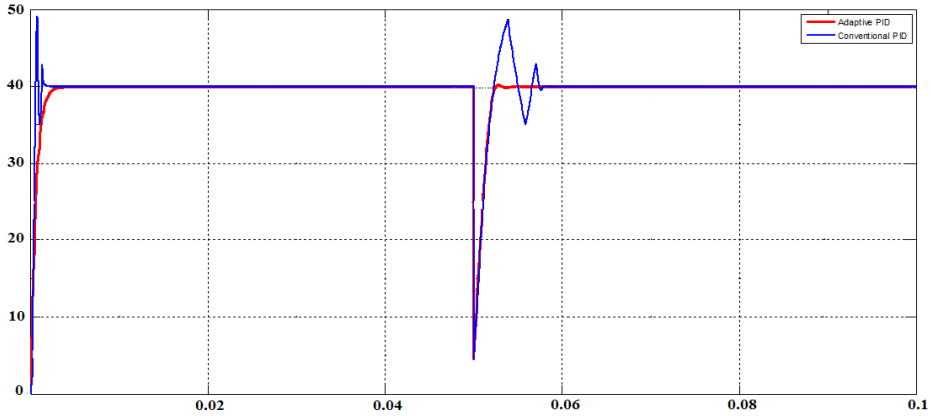
در این آزمایش قصد داریم تا عملکرد کنترلر PID طراحی شده را در دو وضعیت بار و ولتاژ غیر نامی منبع تغذیه و همچنین تغییر بار پله‌ای خروجی منبع تغذیه مورد ارزیابی قرار دهیم. به همین منظور ابتدا شرایطی را در نظر می‌گیریم که ولتاژ و جریان منبع تغذیه در مقداری غیر از مقدار نامی آن باشد. شکل (۴-۲۵) نتایج حاصل از تنظیم ولتاژ مرجع خروجی را بر روی ۲۰ ولت در شرایطی که جریان خروجی منبع تغذیه حدود ۲ آمپر است، نشان می‌دهد.



شکل (۴-۲۵) : شکل موج تغییرات ولتاژ خروجی منبع تغذیه با استفاده از کنترلر PID معمولی (آبی) و در شرایط استفاده از کنترلر PID تطبیقی (قرمز) در ولتاژ ۲۰ ولت و جریان ۲ آمپر

۴-۴-۳-۴ آزمایش عدم قطعیت پارامترها

یکی از مسائلی که در سیستم‌های متغیر با زمان با آن مواجه هستیم، مسئله عدم قطعیت پارامترها است. در واقع، در این‌گونه از سیستم‌ها مقادیر پارامترها ممکن است در طول روند کارکرد سیستم با تغییراتی همراه باشد. این موضوع را در سیستم منبع تغذیه تمام پل با کلیدزنی ZVS می‌توان در تغییر مقادیر پارامترهایی از قبیل سلف و خازن و یا مقاومت اهمی موجود در مدار مشاهده کرد. در این آزمایش با فرض تغییر ۱۰ درصدی در مقدار خازن فیلتر خروجی در زمان ۰.۰۵ ثانیه در جهت کاهش عملکرد، دو کنترلر را با هم مقایسه می‌کنیم.

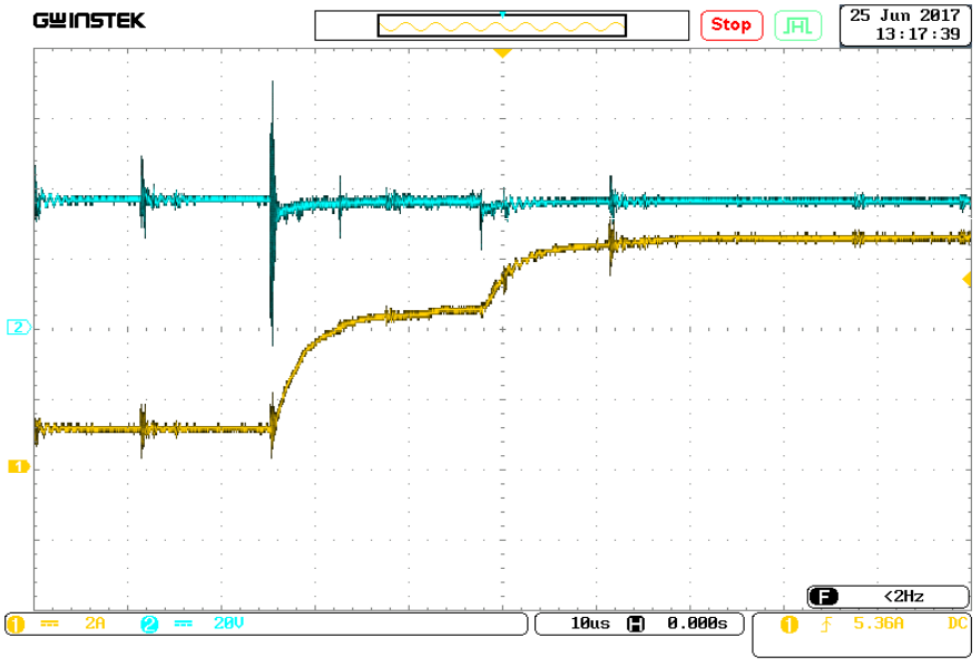


شکل (۴-۲۶) : شکل موج تغییرات ولتاژ خروجی منبع تغذیه با استفاده از کنترلر PID معمولی (آبی) و در شرایط استفاده از کنترلر PID تطبیقی (قرمز) در اثر تغییر ۱۰ درصدی خازن خروجی

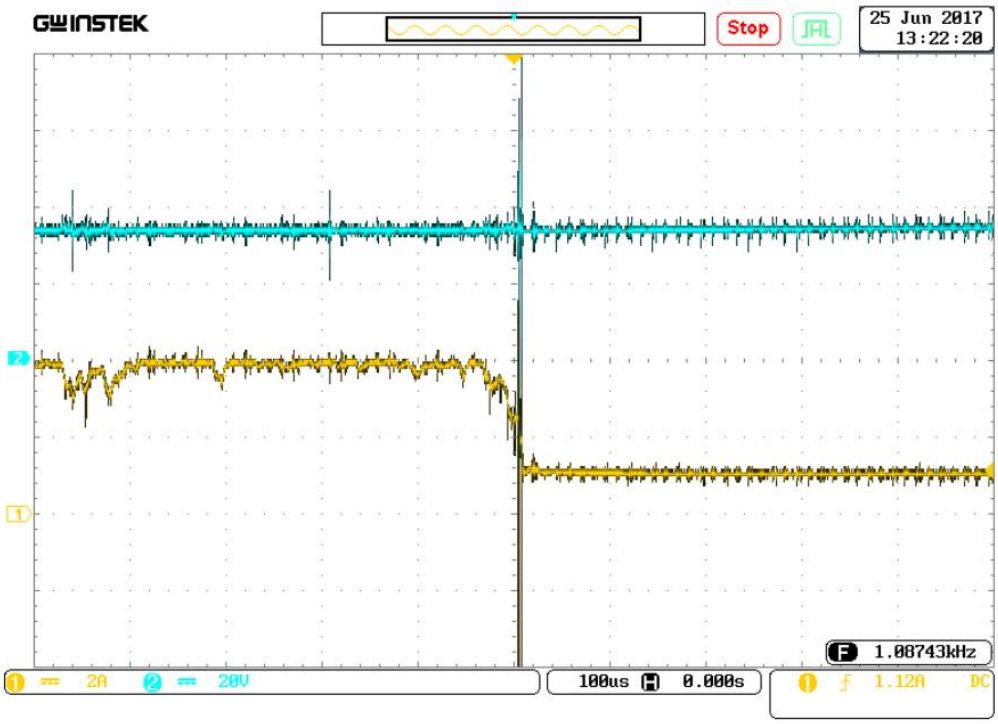
همان‌طور که مشاهده می‌شود عملکرد کنترلر PID خودتنظیم در مواجه با تغییر در مقدار پارامترهای اساسی مدار منبع تغذیه مطلوب‌تر است.

۴-۳-۵ نتایج آزمایش کنترل حلقه بسته نمونه آزمایشگاهی

در این قسمت نتایج مربوط به کنترل حلقه بسته نمونه آزمایشگاهی ساخته شده منبع تغذیه تمام‌پل با کلیدزنی ZVS ارائه شده است. به‌منظور سنجش صحت عملکرد حلقه کنترلی نتایج برای هر دو حالت افزایش و کاهش بار خروجی مبدل در ادامه آورده شده است. در شکل (۴-۲۷) نتایج مربوط به افزایش بار خروجی مبدل به‌صورت پله‌ای می‌باشد که همان‌طور که مشاهده می‌شود با افزایش جریان بار خروجی مبدل به مقدار حدود ۴ آمپر، ولتاژ خروجی مبدل به‌خوبی در مقدار خود ثابت نگه داشته شده است. همچنین در شکل (۴-۲۸) نتایج مربوط به کاهش بار خروجی مبدل به‌صورت پله‌ای ارائه گردیده است، همان‌طور که مشاهده می‌شود با وجود کاهش جریان خروجی مبدل به میزان ۳ آمپر، ولتاژ خروجی مبدل به‌خوبی در مقدار قبل از تغییر بار خروجی ثابت نگه داشته شده است.

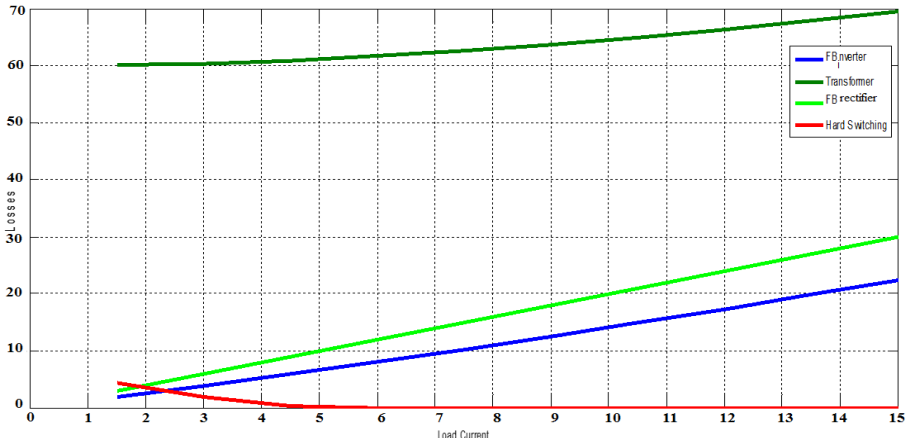


شکل (۴-۲۷) : شکل موج ولتاژ (آبی) و جریان (زرد) خروجی مبدل تحت کنترل حلقه بسته در شرایط افزایش بار خروجی



شکل (۴-۲۸) : شکل موج ولتاژ (آبی) و جریان (زرد) خروجی مبدل تحت کنترل حلقه بسته در شرایط کاهش بار خروجی

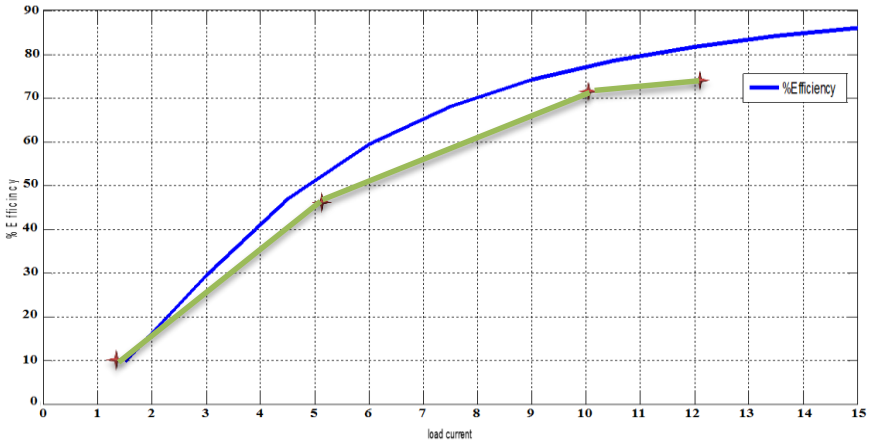
با توجه به مطالب گفته شده در بخش (۲-۳-۷)، تلفات در قسمت‌های مختلف منبع تغذیه به‌صورت نمودارهای ارائه شده درشکل (۴-۲۹) است.



شکل (۴-۲۹) : تلفات قسمت‌های مختلف منبع تغذیه تمام‌پل با کلیدزنی ZVS برحسب جریان خروجی

همان‌طور که از نمودار تلفات کلیدزنی سخت مشخص است پس از رسیدن به جریان بحرانی تحقق کلیدزنی ZVS تلفات کلیدزنی سخت تقریباً مقدارش به صفر رسیده است.

همچنین نمودار راندمان منبع تغذیه مطلوب مطابق معادلات تلفات گفته شده و در نتیجه حاصل از آزمایش بر روی نمونه ساخته شده به‌صورت شکل (۴-۳۰) است:



شکل (۴-۳۰) : راندمان منبع تغذیه تمام‌پل با کلیدزنی ZVS برحسب جریان خروجی حاصل از معادلات (آبی) و حاصل از آزمایش بر روی نمونه ساخته شده (سبز)

فصل پنجم:

نتیجه‌گیری و پیشنهادها

۵-۱ نتیجه‌گیری

امروزه شاهد استفاده از منبع تغذیه با ساختار تمام‌پل در کاربردهایی همچون منبع تغذیه سیستم‌های مخابراتی، شارژر باتری و دستگاه جوش الکتریکی به‌طور گسترده هستیم. در این ساختار تحقق کلیدزنی ZVS از طریق تشدید بین سلف نشتی ترانسفورماتور ایزوله و خازن نشتی داخلی کلیدها امکان‌پذیر است که این ویژگی استفاده از فرکانس بالای کلیدزنی را در این ساختار در کنار برخی دیگر از ویژگی‌های آن از قبیل بازده بالای تبدیل، استرس کمتر وارده به کلیدهای نیمه‌هادی و EMI پایین، امکان‌پذیر می‌کند.

در این پایان‌نامه، مروری بر روش طراحی مرسوم برای مبدل تمام‌پل با کلیدزنی ZVS شده و نقطه ضعف این روش بیان گردید. روش مرسوم طراحی به دلیل نادیده گرفتن تغییر زمان مرده لازم بین کلیدها در کلیدهای مختلف و همچنین محدود کردن مقدار خازن دو سر کلید تنها به مقدار خازن نشتی خود کلید دارای معایبی بود که پس از تشریح این معایب با هدف رفع این مشکل الگوریتم طراحی مبدل اصلاح گردید و الگوریتم مبتنی بر تکرار جهت طراحی مبدل با در نظر گرفتن نقاط ضعف الگوریتم طراحی مرسوم ارائه گردید. سپس با استفاده از الگوریتم پیشنهادی اقدام به طراحی مبدل مطلوب و تعیین مقادیر پارامترهای طراحی کردیم. سپس با استفاده از مدل دینامیکی کامل مبدل بر پایه کلید PWM، تابع تبدیل مبدل ارائه گردید و بر پایه همین تابع تبدیل اقدام به طراحی کنترلر PID با ضرایب ثابت گردید. سپس مدل کامل SMPS با ساختار تمام‌پل با کلیدزنی ZVS در نرم‌افزار متلب شبیه‌سازی و نتایج مورد بررسی و تحلیل قرار گرفت که نتایج صحت طراحی صورت گرفته را تأیید کردند. سپس در قسمت کنترلر حلقه بسته با توجه به معایب کنترلر PID با ضرایب ثابت با هدف حفظ سادگی پیاده‌سازی این کنترلر و بهبود عملکرد آن اقدام به طراحی کنترلر PID با ضرایب خود تنظیم بر پایه شبکه عصبی کردیم و در ادامه با بررسی نتایج حلقه بسته در حضور این کنترلر و مقایسه آن با نتایج حلقه بسته با استفاده از کنترلر PID با ضرایب ثابت شاهد بهبود پاسخ‌ها بودیم. در ادامه این روند در

نهایت جهت بررسی و شناخت بهتر عملکرد منبع تغذیه تمام‌پل با کلیدزنی ZVS و نیز ارزیابی روش پیشنهادی طراحی، یک نمونه دستگاه ساخته‌شده است که با توجه به شرایط و امکانات موجود، آزمایش‌ها و بارگذاری‌های مختلفی روی آن انجام شده است. این دستگاه شامل مجموعه مدارات قدرت و مدارات الکترونیکی است.

مدار منبع تغذیه تمام‌پل به نحوی ساخته‌شده است که دارای توان نامی ۶۰۰ وات است که در آزمایشگاه با جریان خروجی ۱۲ آمپر و ولتاژ خروجی ۵۰ ولت مورد بهره‌برداری قرارگرفته است. همچنین پارامترهای خازن تشدید و سلف تشدید LC با استفاده از روش پیشنهادی تعیین شده است. در این دستگاه از ۸ کلید قدرت با پارت‌نامبر IRG۴PH۵۰UD به‌عنوان کلیدها اینورتر تمام‌پل و دیودهای یکسوساز تمام‌پل خروجی در مسیر قدرت استفاده شده که هر یک شامل یک IGBT موازی با یک دیود معکوس می‌باشند. منبع ورودی و بار دستگاه نیز با توجه به امکانات آزمایشگاه فراهم آمده است.

مجموعه مدارات الکترونیک شامل بردهای سنسور ولتاژ، بردهای تطبیق‌دهنده سیگنال، مدار فرمان‌های قدرت و برد پروسسور است که همگی با دقت طراحی و ساخته‌شده‌اند. وظیفه این مجموعه، فراهم کردن سیگنال‌های فیدبک به واحد پردازنده (FPGA) و همچنین ارسال سیگنال‌های PS_PWM به کلیدهای قدرت است. کلیه مدارات الکترونیک در نرم‌افزار Altium Designer طراحی و به‌صورت متالیزه و ضخامت ۱.۶ میلی‌متر چاپ شده‌اند. جهت پیاده‌سازی و کنترل مجموعه ساخته‌شده از پردازنده FPGA مدل Spartan۶ LX۹ شرکت Xilinx استفاده شده است که دارای سرعت پردازش بسیار بالا است. روش کنترل پیشنهادی با استفاده از زبان قدرتمند VHDL در نرم‌افزار ISE نوشته و پیاده‌سازی شده است و فرکانس کلیدزنی در این پروژه برابر با ۴۰ کیلوهرتز در نظر گرفته شده است.

نتایج حاصل از تست دستگاه ساخته‌شده با به‌کارگیری روش پیشنهادی طراحی در چند حالت مختلف اخذ و با نتایج شبیه‌سازی مقایسه گردید. شکل موج‌های خروجی با استفاده از یک اسیلوسکوپ چهار کانالِ دیجیتال که قادر به ثبت حالت گذرایی نیز است که از این قابلیت در ثبت نتایج حلقه بسته

منبع تغذیه استفاده شده، بدست آمده است.

۵-۲ پیشنهادها

۱) در این پروژه، جهت ساخت پالس PWM مناسب از روی ولتاژ شبکه از پروسسور FPGA استفاده شده است. این پروسسور دارای قابلیت‌های بسیار است. از طرفی پروسسورهایی همچون DSP که سرعت پردازش نسبتاً خوب (نه بسیار بالایی) دارند، دارای قابلیت‌هایی همچون ADC، DAC و غیره می‌باشند. در نهایت پیشنهاد می‌گردد، برنامه مربوط به این مبدل در سایر پردازنده‌های مذکور نوشته‌شده و از جوانب مختلف با FPGA مورد مقایسه و ارزیابی قرار گیرد.

۲) در این پایان‌نامه طراحی سلف و ترانسفورماتور مورد استفاده به‌صورت معمولی صورت گرفته شد که پیشنهاد می‌شود طراحی صورت گرفته با در نظر گرفتن بهینه بودن طراحی انجام شود.

۳) بررسی روش‌های کاهش تلفات در این ساختار به‌خصوص تلفات در بخش سلف تشدید و ترانسفورماتور ایزوله.

مراجع:

[١] M. C. Brown, Practical switching power supply design: Elsevier, ٢٠١٢.

[٢] X. Ruan, Soft-switching PWM Full-bridge Converters: Topologies, Control, and Design: John Wiley & Sons, ٢٠١٤.

[٣] S. Maniktala, Switching Power Supplies A-Z: Elsevier, ٢٠١٢.

[٤] K. B. A. Abraham I. Pressman (Author), Taylor Morey (Author) Switching Power Supply Design, ٣rd Ed: Elsevier, ٢٠٠٩.

[٥] M. K. Kazimierczuk, Pulse-width modulated DC-DC power converters: John Wiley & Sons, ٢٠١٥.

[٦] K. H. Billings and T. Morey, Switchmode power supply handbook: McGraw-Hill, ٢٠١١.

[٧] J. Sabate, V. Vlatkovic, and R. Ridley, "DESIGN CONSIDERATIONS FOR HIGH-VOLTAGE HIGH-POWER FULL-BRIDGE ZERO-VOLTAGE~ SWlTCllED PWM CONVERTER," in IEEE APEC, ١٩٩٠, pp. ٢٧٥-٢٨٤.

[٨] W. Chen, F. C. Lee, M. Jovanovic, and J. A. Sabate, "A comparative study of a class of full bridge zero-voltage-switched PWM converters," in Applied Power Electronics Conference and Exposition, ١٩٩٥. APEC'٩٥. Conference Proceedings ١٩٩٥, Tenth Annual, ١٩٩٥, pp. ٨٩٣-٨٩٩.

[٩] K.-B. Park, C.-E. Kim, G.-W. Moon, and M.-J. Youn, "Voltage oscillation reduction technique for phase-shift full-bridge converter," IEEE Transactions on Industrial Electronics, vol ٥٤, pp. ٢٧٧٩-٢٧٩٠, ٢٠٠٧.

[١٠] G.-B. Koo, G.-W. Moon, and M.-J. Youn, "New zero-voltage-switching phase-shift full-bridge converter with low conduction losses," IEEE Transactions on Industrial Electronics, vol ٥٢, pp ٢٢٨-٢٣٥, ٢٠٠٥.

[١١] B. P. McGrath, D. G. Holmes, P. J. McGoldrick, and A. D. McIver, "Design of a soft-switched ٦-kW battery charger for traction applications," IEEE Transactions on Power Electronics, vol ٢٢, pp. ١١٣٦-١١٤٤, ٢٠٠٧.

[١٢] M. Borage, S. Tiwari, S. Bhardwaj, and S. Kotaiah, "A full-bridge DC–DC converter withzero-voltage-switching overthe entire conversion range," IEEE Transactions on Power Electronics, vol ٢٣, pp. ١٧٤٣-١٧٥٠, ٢٠٠٨.

[١٣] G. G. Oggier, G. O. Garcia, and A. R. Oliva, "Switching control strategy to minimize dual active bridge converter losses," IEEE Transactions on Power Electronics, vol ٢٤, pp. ١٨٢٦-١٨٣٨, ٢٠٠٩.

[١٤] R. R. L. B. N. Sokal, "A Novel Soft-Switching Full-Bridge DC/DC Converter Analysis, Design Consideration, and Experimental Results at ١/٥ kW, ١٠٠ kHz," ١٩٩١.

[١٥] H. Aigner, K. Dierberger, and D. Grafham, "Improving the full-bridge phase-shift ZVT converter for failure-free operation under extreme conditions in welding and similar applications," in Industry Applications Conference, ١٩٩٨. Thirty-Third IAS Annual Meeting. The ١٩٩٨ IEEE, ١٩٩٨, pp.١٣٤١-١٣٤٨.

[١٦] G. Torvetjonn, T. Undeland, O. Schmidt, and J. Bryde, "A DC-DC converter topology with phase shift control and lossless snubbers for use in a ٢٠٠ A battery charger working on ٤٠٠ V mains," in Telecommunications Energy Conference, ١٩٩٥. INTELEC'٩٥., ١٧th International, ١٩٩٥, pp. ٤٨٩-٤٩٥.

[١٧] E.-S. Kim, K.-Y. Joe, M.-H. Kye, and H.-H. Koo, "A ١٣ kW high frequency FB ZVS DC-DC converter with additional capacitors," in Applied Power Electronics Conference and Exposition, ١٩٩٦. APEC'٩٦. Conference Proceedings ١٩٩٦, Eleventh Annual, ١٩٩٦, pp. ٤٨٧-٤٩٢.

[١٨] G. Di Capua, S. A. Shirsavar, M. A. Hallworth, and N. Femia, "An enhanced model for small-signal analysis of the phase-shifted full-bridge converter," IEEE Transactions on Power Electronics, vol ٣٠, pp. ١٥٦٧-١٥٧٦, ٢٠١٥.

[١٩] L. H. Mweene, C. A. Wright, and M. F. Schlecht, "A ١kW ٥٠٠ kHz front-end converter for a distributed power supply system," IEEE Transactions on Power Electronics, vol. ٦, pp. ٣٩٨-٤٠٧, ١٩٩١.

[٢٠] B.-Y. Chen and Y.-S. Lai, "Switching control technique of phase-shift-controlled full-bridge converter to improve efficiency under light-load and standby conditions without additional auxiliary components," IEEE transactions on power electronics, vol. ٢٥, pp. ١٠٠١-١٠١٢, ٢٠١٠.

[٢١] J.-G. Cho, J. A. Sabate, G. Hua ,and F. C. Lee, "Zero-voltage and zero-current-switching full bridge PWM converter for high-power applications," IEEE Transactions on Power Electronics, vol. ١١, pp. ٦٢٢-٦٢٨, ١٩٩٦.

[٢٢] J. Zhang, X. Xie, X. Wu, and Z. Qian, "Comparison study of phase-shifted full bridge ZVS converters," in Power Electronics Specialists Conference, ٢٠٠٤. PESC ٠٤. ٢٠٠٤ IEEE ٣٥th Annual, ٢٠٠٤, pp. ٥٣٣-٥٣٩.

[٢٣] D. R. Sterk, "Compact isolated high frequency DC/DC converters using self-driven synchronous rectification," Virginia Tech, ٢٠٠٣.

[٢٤] Y. Jang and M. M. Jovanovic, "A new PWM ZVS full-bridge converter," in Applied Power Electronics Conference and Exposition, ٢٠٠٦. APEC'٠٦. Twenty-First Annual IEEE, ٢٠٠٦, p. ٧pp.

[٢٥] A. Kar, M. Sengupta, and B. Barman, "Design, fabrication, simulation and testing of a Phase Modulated Resonant Transition Converter," in Power Electronics, Drives and Energy Systems (PEDES), ٢٠١٤ IEEE International Conference on, ٢٠١٤, pp.١-٦.

[٢٦] V. Troitsky, V. Dimaki, and A. Filonov, "A power supply for a copper bromide vapor laser," Instruments and Experimental Techniques, vol. ٥٩, pp. ٣٨١-٣٨٤, ٢٠١٦.

[٢٧] N. R. D. Chamund, "Calculating Power Losses in an IGBT Module - Dynex " p. ٨, September ٢٠١٤.

[٢٨] C. W. T. McLyman, Transformer and inductor design handbook vol. ١٢١: Marcel Dekker New York, NY, USA:, ٢٠٠٤.

[٢٩] H. Xu, B. Rao, B. Yi, Q. Li, Y. Ding, and Y. Pan, "Effect of the deadtime on the ZVS in phase-shifted full-bridge DC/DC converter for electric vehicle application," in Transportation Electrification Asia-Pacific (ITEC Asia-Pacific), ٢٠١٤ IEEE Conference and Expo, ٢٠١٤, pp. ١-٥.

[٣٠] D. S. Wijeratne and G. Moschopoulos, "A ZVS-PWM full-bridge converter with reduced conduction losses," IEEE Transactions on Power Electronics, vol. ٢٩, pp. ٣٥٠١-٣٥١٣ ,٢٠١٤.

[٣١] J. Li, Z. Chen, Z. Shen, P. Mattavelli, J. Liu, and D. Boroyevich, "An adaptive dead-time control scheme for high-switching-frequency dual-active-bridge converter," in Applied Power Electronics Conference and Exposition (APEC), ٢٠١٢ Twenty-Seventh Annual IEEE, ٢٠١٢, pp. ١٣٥٥-١٣٦١.

[٣٢] X. Xiaofeng, "Small-signal model for current mode control full-bridge phase-shifted ZVS converter," in Power Electronics and Motion Control Conference, ٢٠٠٠. Proceedings. IPEMC ٢٠٠٠. The Third International, ٢٠٠٠, pp. ٥١٤-٥١٨.

[٣٣] H. Xuezhi and N. Guangqun, "The research of modeling and simulation for phase-shifted full-bridge ZVS DC/DC converter," in Intelligent Information Technology Application, ٢٠٠٩. IITA ٢٠٠٩. Third International Symposium on, ٢٠٠٩ ,pp. ٥٤٩-٥٥٢.

[٣٤] C. P. Basso, Designing control loops for linear and switching power supplies: a tutorial guide: Artech House, ٢٠١٢.

[٣٥] S. Chander, P. Agarwal, and I. Gupta, "Auto-tuned, Discrete PID Controller for DC-DC Converter for fast transient response," in Power Electronics (IICPE), ٢٠١٠ India International Conference on, ٢٠١١, pp. ١-٧.

[٣٦] T. Instruments, "Inc., USA, ADC١٢٨S١٠٢_٨-channel, ٥٠٠ ksps to ١ Msps, ١٢-bit A/D converter," ed.

[٣٧] D. Toshiba, "TLP٢٥٠ (INV) Rev," ed: B, ٢٠٠٢.

[٣٨] Q-.G. Wang, B. Zou, T.-H. Lee, and Q. Bi, "Auto-tuning of multivariable PID controllers from decentralized relay feedback," Automatica, vol. ٣٣, pp. ٣١٩-٣٣٠, ١٩٩٧.

[٣٩] L. Osório, J. Mendes, R. Araújo, and T. Matias, "A comparison of adaptive PID methodologies controlling a DC motor with a varying load," in Emerging Technologies & Factory Automation (ETFA), ٢٠١٣ IEEE ١٨th Conference on, ٢٠١٣, pp. ١-٦.

[٤٠] X. Liu, "Single neuron self-tuning PID control for welding molten pool depth," in Intelligent Control and Automation, ٢٠٠٨. WCICA ٢٠٠٨. ٧th World Congress on, ٢٠٠٨, pp.٧٩٢٢-٧٩٢٥.

Abstract

In this project modeling and control design of a full-bridge switching power supply using ZVS soft switching is presented and a method based on the modified conventional isolated full-bridge converter design using ZVS soft switching is introduced. The proposed design method is based on mathematical equations describing the isolated full-bridge converter circuit with ZVS soft switching. Because of the variable dead band between the switches and its importance in ZVS soft switching process, this parameter is considered as the design input, so that the design can be done correctly for each type of semiconductor switch with different dead times. To control the converter, its state space equations is written based on switch PWM equivalent circuit and it has also been used in the controller design. In the closed-loop structure two types of PID controller is used, one with constant coefficients and the second with self-tuned coefficients. In order to test the proposed design method in practical work, a prototype full-bridge power supply with ZVS soft switching and all of its essentials, including output filter, control boards, electronic interface boards, CPU, sensors boards and transducers were designed and built and the proposed method was implemented on it. The results taken from rectifiers and compared with simulations. The accuracy and efficiency of the proposed method was proved.

Keywords: power supply with the full-bridge, full-bridge transformer isolated, ZVS soft switching, Switching hardware, design parameters, PID controller Self-regulation, neural network

Shahrood University of Technology

Department of Electrical and Robotic Engineering

M.Sc Thesis in Power Electronic and Machin Engineering

Design of Full Bridge Power Supply with Zero Voltage Switching, simulation and Implementation

By:
Morteza Bazghandi

Supervisor:
Dr. Ali Dastfan

Advisor:
Dr. Hamed Molaahmadian

September 2017