

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ



دانشکده مهندسی برق و ریاضیات

پایان نامه کارشناسی ارشد مهندسی مدارهای مجتمع الکترونیک

طراحی و شبیه‌سازی تقسیم‌کننده فرکانسی تزریق-قفل با نویز فاز کم با استفاده از  
نوسان‌سازهای کلاس C

نگارنده: حبیب اله نجفی

استاد راهنما

دکتر عماد ابراهیمی

بهمن ۹۵

ب

شماره: ۰.۲۸۴۶۰

تاریخ: ۱۳۹۵/۱۱/۲۰

ویرایش: -----

بسمه تعالی



مدیریت تحصیلات تکمیلی

فرم شماره ۷: صورتجلسه دفاع از پایان نامه تحصیلی دوره کارشناسی ارشد

با تأییدات خداوند متعال و با استعانت از حضرت ولی عصر (عج) ارزیابی جلسه دفاع از پایان نامه کارشناسی ارشد خانم / آقای

حبیب ا... نجفی به شماره دانشجویی ۹۳۱۷۳۲۴ رشته مهندسی برق گرایش الکترونیک که در تاریخ ۹۵/۱۱/۲۰

تحت عنوان:

طراحی و شبیه سازی تقسیم کننده فرکانسی تزریق- قفل با نویز فاز کم با استفاده از نوسان سازهای کلاس C

با حضور هیأت محترم داوران در دانشگاه صنعتی شاهرود برگزار گردید به شرح ذیل اعلام می گردد:

قبول (با درجه: بسیار ممتاز (۱۸/۵۴))  دفاع مجدد  مردود   
نوع تحقیق: نظری  عملی

۲- بسیار خوب (۱۸/۹۹ - ۱۸)

۱- عالی (۲۰ - ۱۹)

۴- قابل قبول (۱۵/۹۹ - ۱۴)

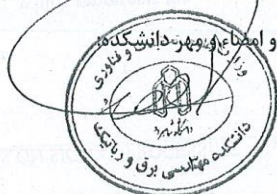
۳- خوب (۱۷/۹۹ - ۱۶)

۵- نمره کمتر از ۱۴ غیر قابل قبول

امضاء	مرتبه علمی	نام و نام خانوادگی	عضو هیأت داوران
	استاد	عساکر ابراهیمی	۱- استاد راهنمای اول
—	—	—	۲- استاد راهنمای دوم
—	—	—	۳- استاد مشاور
	استاد	امیر حسین	۴- نماینده شورای تحصیلات تکمیلی
	استاد	علی فاتح	۵- استاد ممتحن اول
	استاد	محمد رضا ارز	۶- استاد ممتحن دوم

نام و نام خانوادگی رئیس دانشکده:

تاریخ و امضاء:



تقدیم به:

پدر و مادرم

که از محابشان صلابت

از رفتارشان محبت

و از صبرشان ایستادگی را آموختم

## **تشکر و قدردانی:**

با سپاس فراوان از زحمات استاد محترم و گرانقدر جناب آقای دکتر ابراهیمی که از ابتدای راه و در طی انجام این پژوهش، با راهنمایی‌های خود مرا در نگارش این پایان‌نامه یاری نمودند.

## تعهد نامه

اینجانب حبیب اله نجفی دانشجوی دوره کارشناسی ارشد رشته برق- الکترونیک دانشکده برق و رباتیک دانشگاه صنعتی شاهرود نویسنده پایان نامه طراحی و شبیه‌سازی تقسیم‌کننده فرکانسی تزریق-قفل با نویزفاز کم با استفاده از نوسان‌سازهای کلاس C تحت راهنمایی دکتر عماد ابراهیمی متعهد می‌شوم:

- تحقیقات در این پایان نامه توسط اینجانب انجام شده است و از صحت و اصالت برخوردار است.
- در استفاده از نتایج پژوهشهای محققان دیگر به مرجع مورد استفاده استناد شده است.
- مطالب مندرج در پایان‌نامه تاکنون توسط خود یا فرد دیگری برای دریافت هیچ نوع مدرک یا امتیازی در هیچ جا ارائه نشده است.
- کلیه حقوق معنوی این اثر متعلق به دانشگاه صنعتی شاهرود می‌باشد و مقالات مستخرج با نام « دانشگاه صنعتی شاهرود » و یا « Shahrood University of Technology » به چاپ خواهد رسید.
- حقوق معنوی تمام افرادی که در به دست آمدن نتایج اصلی پایان‌نامه تأثیرگذار بوده‌اند در مقالات مستخرج از پایان‌نامه رعایت می‌گردد.
- در کلیه مراحل انجام این پایان‌نامه، در مواردی که از موجود زنده (یا بافتهای آنها) استفاده شده است ضوابط و اصول اخلاقی رعایت شده است.
- در کلیه مراحل انجام این پایان‌نامه، در مواردی که به حوزه اطلاعات شخصی افراد دسترسی یافته یا استفاده شده است اصل رازداری، ضوابط و اصول اخلاق انسانی رعایت شده است.

### تاریخ

### امضای دانشجو

### مالکیت نتایج و حق نشر

- کلیه حقوق معنوی این اثر و محصولات آن (مقالات مستخرج، کتاب، برنامه‌های رایانه‌ای، نرم‌افزارها و تجهیزات ساخته شده است) متعلق به دانشگاه صنعتی شاهرود می‌باشد. این مطلب باید به نحو مقتضی در تولیدات علمی مربوطه ذکر شود.
- استفاده از اطلاعات و نتایج موجود در پایان‌نامه بدون ذکر مرجع مجاز نمی‌باشد.

## چکیده

در سال‌های اخیر مخابرات بیسیم، نقشی اساسی در زندگی روزمره مردم ایفا کرده است. امروزه تقاضا برای وسایل الکترونیکی با هزینه کم، توان مصرفی پایین، فرکانس کاری بالا و... به طور چشمگیری افزایش یافته است.

سنتزکننده فرکانسی یکی از بخش‌های اساسی در سیستم‌های فرستنده و گیرنده می‌باشد. سنتزکننده‌های فرکانسی، توانایی تولید سیگنال‌هایی در بازه‌ی فرکانسی مطلوب را دارا می‌باشند و از بخش‌هایی مانند تقسیم‌کننده فرکانسی و آشکارساز فاز تشکیل شده است. در واقع یکی از بلوک‌های اساسی در سنتزکننده‌های فرکانسی، تقسیم‌کننده فرکانس می‌باشد که وظیفه‌ی آن تقسیم فرکانس سیگنال ورودی بر یک ضریب دلخواه است. تقسیم‌کننده‌های فرکانسی به دو دسته‌ی دیجیتال و آنالوگ تقسیم می‌شوند. تقسیم‌کننده‌های دیجیتالی متداول چندان برای عمل تقسیم در فرکانس بالا مناسب نمی‌باشند؛ زیرا اولاً توان مصرفی بالایی دارند، ثانیاً عملکرد آن‌ها در فرکانس‌های بالا دچار اختلال می‌شود. از این رو در فرکانس‌های بالا از تقسیم‌کننده‌های آنالوگ استفاده می‌شود که تقسیم‌کننده‌ی فرکانسی تزریق- قفل (ILFD) مبتنی بر نوسان‌سازهای LC یکی از مهم‌ترین تقسیم‌کننده‌های آنالوگ به شمار می‌رود. ILFDهای LC دارای دو مزیت توان مصرفی نسبتاً کم و عملکرد صحیح در فرکانس‌های بسیار بالا می‌باشند. معمولاً این تقسیم‌کننده‌ها قابلیت تقسیم فرکانس بر ضرایب صحیح زوج و فرد را دارا هستند. تاکنون روش‌های مختلفی برای تقسیم با نسبت‌های دو و سه ارائه شده است که از آن میان می‌توان به روش تزریق مستقیم و تزریق غیرمستقیم برای انجام عمل تقسیم بر دو و روش‌های تزریق سری، تزریق موازی و تزریق مستقیم برای انجام عمل تقسیم بر سه اشاره نمود.

در این پایان‌نامه نیز با به کارگیری نوسان‌سازهای کلاس C همچون کولپیتس، که از نویزفاز بهتری برخوردارند دو مقسم فرکانس جدید ارائه شده است. در دو روش پیشنهادی از هیچ‌المان اضافه‌ای برای تزریق استفاده نشده است و در عوض از زیرلایه و گره میانی خازن‌ها برای تزریق بهره گرفته شده

است. بدین ترتیب منابع نویز و مصرف توان در مدار تا حدی زیادی کاهش یافته است. همچنین با توجه به عدم وجود معیار دقیقی برای تشخیص قفل‌شدگی تقسیم‌کننده، در این پایان‌نامه معیار جدیدی مبتنی بر دیاگرام‌های چشمی جهت تشخیص بهتر قفل‌شدگی ILFD ارائه گردیده است. در اولین مدار پیشنهادی، تزریق از طریق زیرلایه انجام شده است که در ولتاژ تغذیه‌ی 1.6 V، توان مصرفی برابر 2.69 mW دارد، همچنین در توان تزریقی 0 dBm بازه‌ی قفل 3.78 GHz (۲۲/۱۱٪) و نویزفاز ILFD در آفست فرکانسی 1 MHz از فرکانس مرکزی 5.61 GHz برابر با -128.63 dBc/Hz می‌باشد. در دومین مدار پیشنهادی، تزریق از طریق خازن‌های کولپیتس صورت پذیرفته است که توان مصرفی 2.49mW، بازه‌ی قفل ILFD بین 5.7 GHz- 10.56GHz (۲۳/۲۱٪) و نویزفاز تقسیم‌کننده در آفست فرکانسی 1 MHz از فرکانس مرکزی 5.61 GHz برابر با -128.69 dBc/Hz می‌باشد. قابل ذکر است تمامی مدارهای پیشنهادی با استفاده از نرم‌افزار ADS در تکنولوژی TSMC 0.18μm RF-CMOS شبیه‌سازی شده‌اند.

**کلمات کلیدی:** سنتزکننده فرکانسی، تقسیم‌کننده دیجیتال و آنالوگ، تقسیم‌کننده فرکانسی

تزریق-قفل، کولپیتس، قفل‌شدگی تزریق



## فهرست مطالب

صفحه

عنوان

### فصل اول: پیشگفتار

۱-۱ مقدمه..... ۲

۲-۱ ساختار تحقیق..... ۵

### فصل دوم: انواع تقسیم‌کننده‌های فرکانسی

۱-۲ مقدمه..... ۸

۲-۲ دسته‌بندی انواع تقسیم‌کننده‌ها..... ۸

۱-۲-۲ تقسیم‌کننده دیجیتال..... ۹

۱-۱-۲-۲ تقسیم‌کننده‌های فرکانسی استاتیک..... ۱۰

۲-۱-۲-۲ تقسیم‌کننده‌های فرکانسی دینامیک..... ۱۳

۲-۲-۲ تقسیم‌کننده آنالوگ..... ۱۶

۱-۲-۲-۲ تقسیم‌کننده‌ی فرکانسی میلر (رژنراتیو)..... ۱۷

۲-۲-۲-۲ تقسیم‌کننده‌های فرکانسی تزریق-قفل..... ۱۹

### فصل سوم: LC-ILFD و تکنیک‌های تزریق سیگنال

۱-۳ مقدمه..... ۲۶

- ۲-۳ نوسان‌سازهای LC..... ۲۷
- ۳-۳ نوسان‌ساز کولپیتس..... ۳۰
- ۴-۳ پارامترهای اصلی در طراحی LC-ILFD..... ۳۲
- ۱-۴-۳ فرکانس نوسان..... ۳۳
- ۲-۴-۳ نویزفاز..... ۳۳
- ۳-۴-۳ ضریب کیفیت (Q)..... ۳۶
- ۴-۴-۳ توان مصرفی..... ۳۷
- ۵-۴-۳ بازه‌ی قفل..... ۳۸
- ۶-۴-۳ معیار شایستگی (FOM)..... ۳۹
- ۵-۳ تکنیک‌های تزریق سیگنال در LC-ILFD..... ۴۱
- ۱-۵-۳ تکنیک‌های تزریق سیگنال در LC-ILFD ها با نسبت تقسیم دو..... ۴۲
- ۱-۱-۵-۳ تکنیک تزریق غیرمستقیم..... ۴۲
- ۲-۱-۵-۳ تکنیک تزریق مستقیم..... ۴۳
- ۲-۵-۳ تکنیک‌های تزریق سیگنال در LC-ILFD ها با نسبت تقسیم سه..... ۴۴
- ۱-۲-۵-۳ تکنیک تزریق سری..... ۴۵
- ۲-۲-۵-۳ تکنیک تزریق موازی..... ۴۶
- ۳-۲-۵-۳ تکنیک تزریق از طریق بالک..... ۵۱

۴-۲-۵-۳ تکنیک تزریق مستقیم..... ۵۲

## **فصل چهارم: تقسیم‌کننده‌های فرکانسی پیشنهادی مبتنی بر نوسان‌ساز کولپیتس و معیار**

### **تزریق-قفل**

۱-۴ مقدمه..... ۵۶

۲-۴ معیارهایی برای تشخیص قفل شدن ILFD..... ۵۷

۱-۲-۴ معیار اول: با استفاده از شکل موج‌های تزریقی و خروجی مدار..... ۵۷

۲-۲-۴ معیار دوم: با استفاده از طیف خروجی ILFD..... ۵۹

۳-۲-۴ معیار سوم: معیار پیشنهادی مبتنی بر لیسازر ورودی-خروجی..... ۶۰

۱-۳-۲-۴ منحنی لیسازر..... ۶۱

۲-۳-۲-۴ توصیف معیار پیشنهادی..... ۶۲

۳-۴ تقسیم‌کننده‌های تزریق-قفل پیشنهادی..... ۶۹

۱-۳-۴ ILFD پیشنهادی اول با قابلیت تقسیم بر سه: تزریق از طریق بالک ترانزیستورهای اتصال-

ضربدری..... ۷۰

۱-۱-۳-۴ تحلیل نظری تقسیم‌کننده‌ی پیشنهادی..... ۷۲

۲-۱-۳-۴ نتایج شبیه‌سازی..... ۷۵

۲-۳-۴ ILFD پیشنهادی دوم با قابلیت تقسیم بر دو: تزریق از طریق گره‌ی میانی خازن‌های

کولپیتس..... ۸۲

۱-۲-۳-۴ نتایج شبیه‌سازی..... ۸۴

## فصل پنجم: نتیجه‌گیری و پیشنهادات

۱-۵ نتیجه‌گیری..... ۹۲

۲-۵ پیشنهادهایی برای ادامه کار..... ۹۳

مراجع..... ۹۵

# فهرست شکل‌ها

صفحه

عنوان

## فصل اول

شکل ۱-۱. بلوک دیاگرام ساده سنتز کننده فرکانس..... ۳

## فصل دوم

شکل ۱-۲. دسته‌بندی تقسیم کننده‌های فرکانسی..... ۹

شکل ۲-۲. یک تقسیم کننده‌ی فرکانسی دیجیتال با نسبت تقسیم دو. (الف) شماتیک تقسیم کننده (ب) ساختار لچ

استفاده شده (ج) شکل موج‌ها..... ۱۲

شکل ۲-۳. تقسیم کننده‌ی فرکانسی دینامیک: (الف) شبه-NMOS دوکلاکه (ب) ساعت‌دهی تکفاز واقعی (TSPC)..... ۱۴

شکل ۲-۴. عملکرد یک تقسیم کننده‌ی فرکانسی رزونانسی با نسبت تقسیم بر دو..... ۱۷

شکل ۲-۵. مدار تقسیم کننده‌ی فرکانسی رزونانسی با نسبت تقسیم بر دو..... ۱۸

شکل ۲-۶. اساس پدیده‌ی تزریق-قفل (الف) نوسان ساز با نوسان آزاد (ب) نوسان ساز قفل شده..... ۲۰

شکل ۲-۷. تقسیم کننده‌ی فرکانسی تزریق-قفل (الف) تقسیم کننده مبتنی بر نوسان سازهای LC با نسبت تقسیم دو (ب)

تقسیم کننده مبتنی بر نوسان ساز حلقوی با نسبت تقسیم سه..... ۲۱

## فصل سوم

شکل ۳-۱. بلوک دیاگرام ساده یک نوسان ساز LC..... ۲۸

شکل ۳-۲. انواع نوسان سازهای LC: (الف) نوسان ساز LC ساده (ب) نوسان ساز LC مکمل..... ۲۹

شکل ۳-۳. ساختار نوسان ساز کولپیتس تک-سر..... ۳۱

- شکل ۳-۴. ساختار نوسان ساز کولپیتس تفاضلی..... ۳۲
- شکل ۳-۵. مقایسه نویز فاز خروجی یک نوسان ساز ایده آل با یک نوسان ساز واقعی..... ۳۴
- شکل ۳-۶. عملکرد نویز فاز تقسیم کننده فرکانسی در حالت تزریق-قفل..... ۳۵
- شکل ۳-۷. تغییرات فاز مدار RLC با ضریب کیفیت (Q)..... ۳۶
- شکل ۳-۸. ساختار یک LC-ILFD نسبت دو با روش تزریق غیرمستقیم..... ۴۳
- شکل ۳-۹. ساختار یک LC-ILFD نسبت دو با روش تزریق مستقیم..... ۴۴
- شکل ۳-۱۰. یک ILFD نسبت سه با ورودی/خروجی تک-سر..... ۴۵
- شکل ۳-۱۱. ساختار یک LC-ILFD نسبت سه با روش تزریق سری..... ۴۶
- شکل ۳-۱۲. ساختار یک LC-ILFD نسبت سه با روش تزریق موازی..... ۴۷
- شکل ۳-۱۳. ساختار یک LC-ILFD نسبت سه با روش تزریق به بالک..... ۵۱
- شکل ۳-۱۴. ساختار یک LC-ILFD نسبت سه با روش تزریق مستقیم..... ۵۲

## فصل چهارم

- شکل ۴-۱. شکل موج خروجی ILFD (الف) با نسبت تقسیم سه (ب) با نسبت تقسیم دو در حوزه‌ی زمان..... ۵۸
- شکل ۴-۲. طیف خروجی ILFD (الف) با نسبت تقسیم دو (ب) با نسبت تقسیم دو..... ۵۹
- شکل ۴-۳. طیف خروجی ILFD با نسبت تقسیم دو..... ۶۰
- شکل ۴-۴. منحنی لیسازر برای زوایا و نسبت‌های a و b های مختلف..... ۶۲
- شکل ۴-۵. معیارهای قفل‌شدگی در حالت قفل توسط (الف) شکل موج زمانی خروجی و ورودی (ب) طیف فرکانس خروجی (ج) و معیار پیشنهادی (منحنی لیسازر)..... ۶۴
- شکل ۴-۶. معیارهای قفل‌شدگی در مرز قفل‌شدگی توسط (الف) شکل موج خروجی و ورودی در حوزه‌ی زمان (ب) طیف فرکانس خروجی (ج) و معیار پیشنهادی (منحنی لیسازر)..... ۶۵

- شکل ۴-۷. معیارهای قفل شدگی در حالت عدم قفل توسط (الف) شکل موج خروجی و ورودی در حوزه‌ی زمان (ب) طیف فرکانس خروجی (ج) و معیار پیشنهادی (لیساژ)..... ۶۶
- شکل ۴-۸. ساختار مدار ILFD پیشنهادی..... ۶۹
- شکل ۴-۹. بلوک دیاگرام ILFD با نسبت تقسیم سه..... ۷۱
- شکل ۴-۱۰. ساختار مدار ILFD پیشنهادی با نسبت تقسیم سه..... ۷۲
- شکل ۴-۱۱. تغییرات فرکانس نوسان بر حسب ولتاژ کنترل برای تقسیم‌کننده‌ی پیشنهادی..... ۷۶
- شکل ۴-۱۲. شکل موج شبیه‌سازی شده خروجی ILFD پیشنهادی برای  $V_{dd}=1.6\text{ V}$ ،  $V_{inj}=1.4\text{ V}$  و  $V_{tune}=0.85\text{ V}$ ..... ۷۷
- شکل ۴-۱۳. شکل موج‌های خروجی ILFD پیشنهادی برای  $V_{dd}=1.6\text{ V}$ ،  $V_{inj}=1.4\text{ V}$  و  $V_{tune}=0.85\text{ V}$ ..... ۷۸
- شکل ۴-۱۴. رسم معیار قفل شدگی (الف) در حالت قفل (ب) در حالت عدم قفل..... ۷۸
- شکل ۴-۱۵. طیف خروجی تقسیم‌کننده (الف) در حالت قفل (ب) در حالت عدم قفل..... ۷۹
- شکل ۴-۱۶. نویزافز ILFD پیشنهادی با نسبت تقسیم سه (  $V_{inj}=1.4\text{ V}$ ،  $V_{tune}=0.85\text{ V}$ ،  $V_{dd}=1.6\text{ V}$  ).....  $(P_{inj}=0\text{ dBm})$  ۷۹
- شکل ۴-۱۷. حساسیت ورودی شبیه‌سازی شده برای تقسیم‌کننده پیشنهادی.  $V_{dd}=1.6\text{ V}$ ،  $V_{inj}=1.4\text{ V}$ ، از راست به چپ،  $V_{tune}=0\text{ V}$ ~ $1.6\text{ V}$ . (الف) با پله‌های  $0.1\text{ V}$  و (ب) با پله‌های  $0.05\text{ V}$ ..... ۸۰
- شکل ۴-۱۸. بلوک دیاگرام ILFD با نسبت تقسیم دو..... ۸۲
- شکل ۴-۱۹. ساختار مدار ILFD پیشنهادی با نسبت تقسیم دو..... ۸۴
- شکل ۴-۲۰. تغییرات فرکانس نوسان بر حسب ولتاژ کنترل برای تقسیم‌کننده‌ی پیشنهادی..... ۸۵
- شکل ۴-۲۱. شکل موج شبیه‌سازی شده خروجی ILFD پیشنهادی برای  $V_{dd}=1.6\text{ V}$ ،  $V_{inj}=1.4\text{ V}$  و  $V_{tune}=0.85\text{ V}$ ..... ۸۵
- شکل ۴-۲۲. شکل موج‌های خروجی ILFD پیشنهادی برای  $V_{dd}=1.6\text{ V}$ ،  $V_{inj}=0.15\text{ V}$  و  $V_{tune}=0.85\text{ V}$ ..... ۸۶
- شکل ۴-۲۳. رسم معیار قفل شدگی (الف) در حالت قفل (ب) در حالت عدم قفل..... ۸۷

شکل ۴-۲۴. طیف خروجی تقسیم‌کننده (الف) در حالت قفل (ب) در حالت عدم قفل..... ۸۷

شکل ۴-۲۵. نویز فاز ILFD پیشنهادی با نسبت تقسیم دو (  $V_{inj}=0.15V$  ,  $V_{tune}=0.85V$  ,  $V_{dd}=1.6V$  ) ..... ۸۸

شکل ۴-۲۶. حساسیت ورودی اندازه‌گیری شده برای تقسیم‌کننده پیشنهادی.  $V_{inj}=0.15V$  ,  $V_{dd}=1.6V$  از راست به

چپ،  $V_{tune}=1.6-0V$  با پله‌های  $0.1V$ ..... ۸۹



# فهرست جدول‌ها

صفحه

عنوان

## فصل دوم

جدول ۱-۲. مقایسه عملکرد دو فیلپ فلاپ CML و TSPC..... ۱۶

جدول ۲-۲. مقایسه تقسیم‌کننده‌های فرکانسی مختلف..... ۲۴

## فصل چهارم

جدول ۱-۴. مقادیر پارامترهای تقسیم‌کننده‌ی پیشنهادی..... ۷۶

جدول ۲-۴. بازه‌ی قفل در گوشه‌های ساخت و دماهای مختلف..... ۸۱

جدول ۳-۴. خلاصه‌ی عملکرد و مقایسه بین ILFDهای مختلف در حالت تقسیم بر سه..... ۸۲

جدول ۴-۴. بازه‌ی قفل در گوشه‌های ساخت و دماهای مختلف..... ۸۹

جدول ۵-۴. خلاصه‌ی عملکرد و مقایسه بین ILFDهای مختلف در حالت تقسیم بر دو..... ۹۰

**فصل اول**

**پیشگفتار**

## ۱-۱ مقدمه

امروزه یکی از مهمترین صنایع، صنایع ارتباطات و مخابرات است. در سال‌های اخیر رشد چشمگیر این صنعت بسیار قابل توجه بوده است و توسعه فناوری و نیاز روزافزون به وسایل ارتباطی از قبیل تلفن، موبایل، رادیو، تلویزیون، ماهواره و... منجر به تولید سیستم‌هایی با سرعت بیشتر، هزینه کمتر و مصرف توان پایین شده است. از این رو طراحی سیستم‌هایی که بتواند در فرکانس‌های بالا و سرعت زیاد به خوبی عمل کرده و در عین حال دارای مصرف توان کم، ولتاژ تغذیه پایین و عملکرد بالا باشد از اهمیت ویژه‌ای برخوردار است.

با رشد تکنولوژی، سنتزکننده‌های فرکانسی<sup>۱</sup> بسیار مورد توجه قرار گرفته است. سنتزکننده‌های فرکانسی برای تولید وسیعی از محدوده‌های فرکانسی در سیستم‌های الکترونیکی به کار برده می‌شوند. از این رو در تمام سیستم‌های الکترونیکی پیشرفته که در فرکانس‌های بالا کار می‌کنند به منظور تبدیل فرکانس یا تقسیم فرکانس به فرکانس‌های پایین‌تر، از سنتزکننده‌های فرکانس استفاده می‌شود. امروزه سنتزکننده‌ها کاربردهای وسیعی در سیستم‌های GPS<sup>۲</sup>، گیرنده‌های رادیویی، تلفن‌های بیسیم، تلفن‌های ماهواره‌ای و... را یافته‌اند. سنتزکننده‌های فرکانسی توانایی تولید سیگنال‌هایی در بازه‌ی فرکانسی مطلوب را داشته و از بخش‌هایی مانند تقسیم‌کننده فرکانس، ضرب‌کننده فرکانس و میکسر فرکانسی

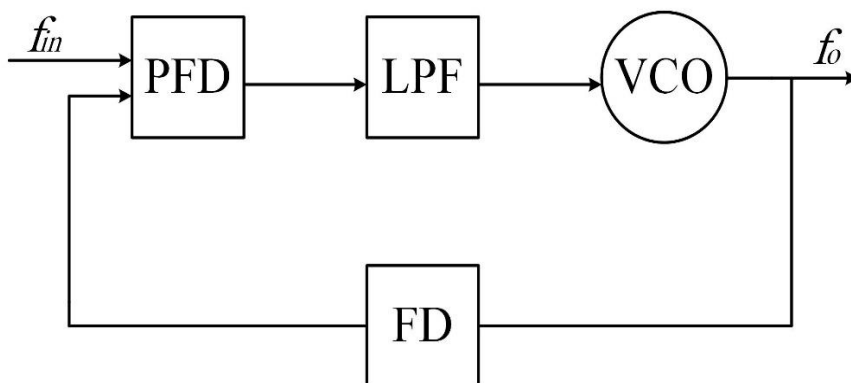
---

<sup>۱</sup> Frequency Synthesizer

<sup>۲</sup> Global Positioning System

تشکیل شده است [۱].

یکی از بلوک‌های کلیدی در اغلب فرستنده و گیرنده‌های مخابراتی حلقه قفل-فاز<sup>۱</sup> است که در سنتزکننده فرکانسی می‌باشد. حلقه قفل-فاز، یک سیستم کنترلی با فیدبک است که فاز و فرکانس ورودی و خروجی را با هم مقایسه کرده و در خروجی، فرکانسی متناسب با فرکانس ورودی تولید می‌کند. یک سنتزکننده فرکانسی ساده شامل PLL است که در شکل ۱-۱ نشان داده شده است. به طور کلی یک مدار حلقه قفل-فاز، متشکل از آشکارساز فاز (PFD)، فیلتر حلقه (LPF)، نوسان‌ساز کنترل‌شده با ولتاژ (VCO) و مقسم فرکانس (FD) می‌باشد [۲]، که در این میان مصرف توان تقسیم‌کننده و نوسان‌ساز کنترل‌شونده با ولتاژ از اهمیت بالایی برخوردار هستند، که در مدارات مجتمع به خصوص در دستگاه‌های قابل حمل، مورد توجه می‌باشد.



شکل ۱-۱. بلوک دیاگرام ساده سنتزکننده فرکانس [۲]

<sup>۱</sup> Phase-Locked Loop (PLL)

تقسیم‌کننده‌های فرکانس از اجزای اصلی سنتزکننده‌های فرکانسی است و طراحی آن از اهمیت ویژه‌ای برخوردار است. تقسیم‌کننده فرکانسی مداری است که یک سیگنال ورودی با فرکانس  $f_{in}$  را گرفته و در خروجی سیگنالی با فرکانس  $f_o = f_{in}/N$  تولید می‌کند [۳]. تقسیم‌کننده‌ها به دو دسته کلی دیجیتال و آنالوگ تقسیم می‌شوند و شامل مدل‌های مختلف نظیر تقسیم‌کننده استاتیک، تقسیم‌کننده دینامیک، تقسیم‌کننده فرکانسی رژنراتیو<sup>۱</sup> (RFD) و تقسیم‌کننده فرکانسی تزریق-قفل<sup>۲</sup> (ILFD) است، که هر یک دارای مزایا و معایبی هستند.

بحث قفل‌شدن نوسان‌سازها از طریق فرایند تزریق یک طرفه و تزریق متقابل از سال‌ها پیش مورد بررسی بوده است. براساس این پدیده، در صورتی که سیگنال متناوبی به یک نوسان‌ساز اعمال گردد و فرکانس نوسان این سیگنال نزدیک به فرکانس نوسان اصلی نوسان‌ساز و یا یکی از هارمونیک‌های آن باشد، نوسان‌ساز به فاز سیگنال تزریق شده، قفل می‌گردد [۴]. پدیده‌ی تزریق-قفل را می‌توان در سیستم‌های نوسانی شامل لیزرها، آسیلاتورهای الکتریکی و سیستم‌های بیولوژیکی و مکانیکی مشاهده نمود.

پارامترهای مهم در طراحی یک تقسیم‌کننده فرکانسی مطلوب عبارت است از نسبت تقسیم، قابلیت عملکرد در فرکانس بالا، محدوده قفل زیاد، مصرف توان کم و نویزفاز مناسب؛ که در طراحی،

---

<sup>۱</sup> Regenerative Frequency Divider

<sup>۲</sup> Injection-Locked Frequency Divider

برخی از پارامترهای آن در تقابل با یکدیگر هستند. به طور نمونه با افزایش سرعت و فرکانس، مصرف توان نیز افزایش می‌یابد که این چالشی را پیش روی طراح می‌گذارد.

## ۱-۲ ساختار تحقیق

در اکثر کارهای گذشته، از نوسان‌سازهای اتصال-ضربداری کلاس B به عنوان هسته ILFD استفاده شده است. در این پایان‌نامه هدف آن است که ابتدا با به کارگیری نوسان‌سازهای کلاس C همچون کولپیتس و... که از نویزفاز بهتری برخوردار می‌باشند و استفاده از تکنیک‌های تزویج کم نویز، نویزفاز ILFD و همچنین توان مصرفی را تا اندازه‌ای کاهش دهیم، به طوری که بهبود نسبی در ضریب شایستگی نسبت به کارهای گذشته حاصل گردد.

در فصل دوم این پایان‌نامه ابتدا مروری بر انواع تقسیم‌کننده‌ها خواهیم داشت و مقایسه‌ای در مورد نحوه عملکرد آن‌ها بیان خواهیم کرد. سپس در فصل سوم ابتدا به بررسی نوسان‌سازهای اتصال-ضربداری<sup>۱</sup> که به عنوان هسته اصلی ILFD می‌باشند پرداخته و توضیحاتی در مورد برخی پارامترها و اصطلاحات مهم در حوزه‌ی ILFD های LC داده می‌شود. همچنین در این فصل توضیحاتی در مورد نوسان‌سازهای کولپیتس و ویژگی‌های آن ارائه می‌گردد. در فصل سوم همچنین به انواع روش‌هایی که برای تزریق سیگنال‌های تفاضلی در ILFD ها موجود است می‌پردازیم و روش‌های نسبت تقسیم بر دو

---

<sup>۱</sup> Cross-Coupled

و تقسیم بر سه را به طور مفصل بیان می‌کنیم. در فصل چهارم به معیار پیشنهادی جدیدی برای قفل‌شدگی پرداخته‌ایم و دو روش جدید برای تزریق سیگنال در LC-ILFDها ارائه خواهیم کرد که یکی قابلیت تقسیم بر دو و دیگری قابلیت تقسیم بر سه را خواهد داشت. در نهایت، نتیجه‌گیری و ارائه پیشنهادهایی برای ادامه کار در آینده در فصل پنجم بیان خواهد شد.

## **فصل دوم**

### **انواع تقسیم‌کننده‌های فرکانسی**



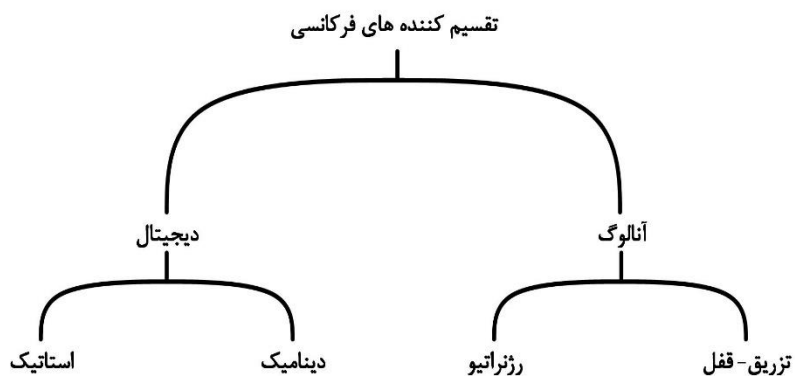
## ۱-۲ مقدمه

در سال‌های اخیر در سیستم‌های فرکانس بالا از تقسیم‌کننده‌ی فرکانس استفاده می‌شود که از جمله کاربردهای آن می‌توان به استفاده در سنتزکننده‌های فرکانس، سیگنال ژنراتورها و... اشاره کرد. آنچه که اهمیت تقسیم‌کننده‌ی فرکانس را در سنتزکننده‌ی فرکانس افزایش می‌دهد آن است که تقسیم‌کننده‌ها جزء بلوک‌های پرسرعت محسوب می‌شوند که می‌بایست در فرکانس‌های بالا کار کنند. از این رو توان قابل ملاحظه‌ای را مصرف نموده و از نظر سرعت و توان مصرفی چالش‌هایی را در طراحی تقسیم‌کننده ایجاد می‌کند. از جمله پارامترهای مهم در طراحی تقسیم‌کننده می‌توان به فرکانس کاری، نسبت تقسیم، نویزفاز و توان مصرفی اشاره کرد.

در این فصل به انواع تقسیم‌کننده‌های فرکانسی پرداخته می‌شود و معایب و مزایای هر یک بیان خواهد شد و در انتها مقایسه‌ای بین تقسیم‌کننده‌ها انجام می‌شود.

## ۲-۲ دسته‌بندی انواع تقسیم‌کننده‌ها

تقسیم‌کننده‌های فرکانس بالا را می‌توان به دو دسته‌ی آنالوگ و دیجیتال تقسیم نمود که در شکل ۱-۲ این تقسیم‌بندی نشان داده شده است. تقسیم‌کننده‌های دیجیتال خود به دو گروه تقسیم‌کننده‌های استاتیک و دینامیک تقسیم می‌شوند و نیز تقسیم‌کننده‌های آنالوگ شامل دو گروه



شکل ۱-۲. دسته‌بندی تقسیم‌کننده‌های فرکانسی

تقسیم‌کننده رژنراتیو (میلر) و تقسیم‌کننده‌ی تزریق-قفل می‌باشند. در ادامه به طور مختصر به عملکرد هر یک از تقسیم‌کننده‌ها پرداخته و ویژگی‌های آن‌ها نیز بیان می‌شود.

## ۱-۲-۲ تقسیم‌کننده دیجیتال

برای ساخت بلوک‌های تقسیم‌کننده در حلقه‌ی فیدبک یک سنتزکننده می‌توان مدارهای دیجیتال مختلفی به کار برد. آرایش تقسیم‌کننده براساس چند عامل انتخاب می‌شود: دامنه‌ی سیگنال ورودی (که VCO فراهم می‌کند)، ظرفیت خازن ورودی (که در مقابل VCO قرار می‌گیرد)، سرعت ماکزیمم، دامنه‌ی خروجی (که طبقات بعدی لازم دارند)، سرعت مینیمم (مدارهای منطقی دینامیک یا مدارهای منطقی استاتیک) و توان مصرفی [۲]. تقسیم‌کننده‌های دیجیتال در اصل یک شمارنده دیجیتال محسوب می‌شوند. مهم‌ترین مزیت آن‌ها نسبت به تقسیم‌کننده‌های آنالوگ این است که به سهولت برای نسبت تقسیم‌های مختلف طراحی می‌شوند و همچنین نسبت تقسیم‌های بزرگتر، به راحتی

با سری کردن آن‌ها به دست می‌آید. در ادامه توضیحاتی در رابطه با تقسیم‌کننده‌های استاتیک و دینامیک داده می‌شود.

## ۲-۱-۱-۱ تقسیم‌کننده‌های فرکانسی استاتیک

تقسیم‌کننده‌های فرکانسی استاتیک یکی از پرکاربردترین انواع تقسیم‌کننده‌ها می‌باشند [۵-۷]. معمولاً این تقسیم‌کننده‌ها مبتنی بر یک فلیپ-فلاپ حساس به لبه، که در یک حلقه‌ی فیدبک منفی است، می‌باشند. فلیپ-فلاپ شامل دو لچ پایه و پیرو حساس به سطح است که با کلاک‌هایی با فاز متقابل راه‌اندازی می‌شوند. عمل تقسیم با اتصال خروجی‌های معکوس لچ پیرو به ورودی‌های لچ پایه انجام می‌گردد. سطح خروجی فلیپ-فلاپ به طور مداوم و بعد از هر سیکل کلاک تغییر می‌کند از این رو سیگنال خروجی با نصف نرخ کلاک ورودی بین صفر و یک تغییر می‌کند که سبب عمل تقسیم می‌شود. تقسیم‌کننده‌های استاتیک همانند یک نوسان‌ساز حلقوی دو طبقه عمل می‌کنند و می‌توانند خروجی‌های ربعی با درجه‌ی تطبیق بالا را تولید کنند.

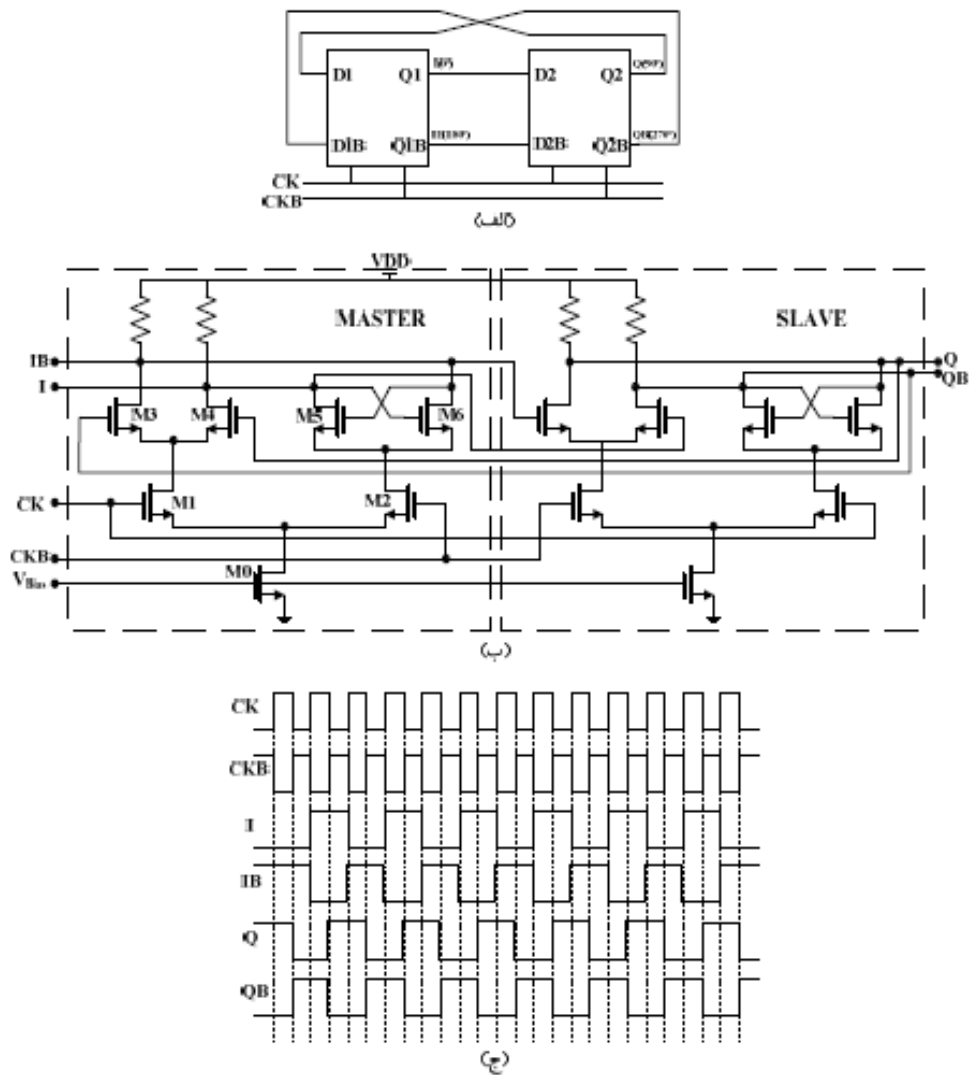
در واقع هر یک از انواع لچ را می‌توان در تقسیم‌کننده‌های استاتیک استفاده کرد. با این حال استفاده از لچ‌های رایج CMOS، منجر به زمان‌های خیزش و افت طولانی می‌شود که در نتیجه باعث پایین آمدن عملکرد فرکانس کاری تقسیم‌کننده می‌گردد. علاوه بر این به دلیل ساختار تک سر،

کوپلینگ نویز تغذیه منجر به تولید جیترا<sup>۱</sup> در خروجی می‌شود. MCML (MOS current mode logic) که گاهی اوقات SCL (source-coupled logic) نیز نامیده می‌شود، جایگزین بهتری برای لچ‌های استفاده شده در تقسیم‌کننده‌های استاتیک می‌باشد [۸]. این دسته از مدارهای منطقی دارای ویژگی‌های مهمی است اولاً سوئینگ ولتاژ کوچک است که باعث کاهش زمان‌های خیزش و افت می‌شود و عملکرد فرکانس کاری را افزایش می‌دهد. ثانیاً ساختار تفاضلی MCML منجر به کاهش نویز تغذیه و نویز سوئیچینگ می‌شود.

یک تقسیم‌کننده‌ی فرکانسی استاتیک با خروجی‌های متعامد در شکل ۲-۲ نشان داده شده است [۹]. در این ساختار که شامل یک فلیپ-فلاپ پایه-پیرو CML می‌باشد، خروجی‌های لچ پیرو به‌طور معکوس به ورودی لچ پایه متصل شده‌اند. در شکل ۲-۲ (ب) لچ پایه-پیرو نشان داده شده است که شامل یک طبقه ارزیابی ( $M_1, M_3, M_4$ ) و یک طبقه نگهداری ( $M_2, M_5, M_6$ ) است. کنترل منابع جریان توسط سیگنال‌های کلاک CK و CKB صورت می‌پذیرد. زمانی که CK در وضعیت بالا و CKB در وضعیت پایین باشند، از این رو طبقه‌ی پایه فعال است و در خروجی‌های I و IB لچ اول ( $L_1$ ) تقویت‌شده‌ی سیگنال‌های ورودی را خواهیم داشت. از طرفی چون در این حالت، خروجی‌های لچ اول، ورودی‌های آن را دنبال می‌کنند، آن را حالت دنبال‌کنندگی می‌نامند. اما برای لچ دوم ( $L_2$ ) عکس این وضعیت می‌باشد و از آن جایی که ترانزیستورهای ورودی آن خاموش هستند، بدون در نظر گرفتن این که خروجی‌های  $L_1$

---

<sup>۱</sup> Jitter



شکل ۲-۲. یک تقسیم‌کننده فرکانسی دیجیتال با نسبت تقسیم دو. (الف) شماتیک تقسیم‌کننده (ب)

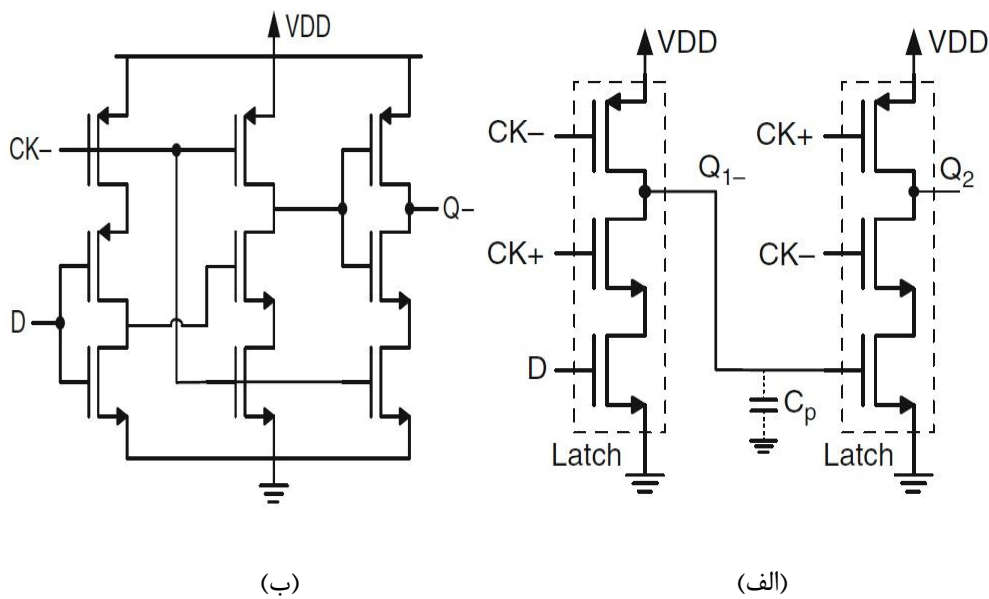
ساختار لچ استفاده شده (ج) شکل موج‌ها [۹]

چه باشند، خروجی‌های آن در مقدارهای قبلی خود باقی می‌مانند. بدین جهت، این حالت را حالت نگهداری می‌نامند. حال در صورتی که CK در وضعیت پایین و CKB در وضعیت بالا باشند، لچ  $L_1$  در حالت نگهداری و لچ  $L_2$  در حالت دنبال‌کنندگی قرار خواهند داشت. از این رو خروجی‌های فلیپ-فلاپ تنها در لبه‌های بالارونده سیگنال CK (به عبارت دیگر در لبه‌های پایین‌رونده سیگنال CKB)

تغییر می‌کنند. توالی زمانی خروجی‌های مدار در شکل ۲-۲-۲ (ج) نشان داده شده است. مدار یک عمل تقسیم بر دو را انجام می‌دهد. سیگنال‌های خروجی I، IB، Q، QB نصف سیکل کلاک ورودی یا یک چهارم سیکل خروجی، با هم اختلاف فاز دارند. در نتیجه در خروجی، سیگنال‌های متعامد با فازهای ۰، ۹۰، ۱۸۰، ۲۷۰ درجه خواهیم داشت. مزیت اصلی تقسیم‌کننده‌های فرکانسی استاتیک، بازه‌ی عملکرد وسیع آن‌ها می‌باشد. از معایب تقسیم‌کننده‌های فرکانسی استاتیک می‌توان به ماکزیمم فرکانس کاری نسبتاً محدود، توان مصرفی بالا اشاره کرد. البته در تکنولوژی CMOS تقسیم‌کننده‌های فرکانسی استاتیکی با فرکانس کاری حدود 40 GHz [۱۰]، و با مصرف توان کم [۱۱] نیز گزارش شده‌اند.

## ۲-۱-۲-۲ تقسیم‌کننده‌های فرکانسی دینامیک

یک دسته از تقسیم‌کننده‌های دیجیتال، تقسیم‌کننده دینامیک می‌باشد. تقسیم‌کننده دینامیک اگر برای مدت طولانی توسط کلاک فعال نشود خروجی آن‌ها تغییر کرده و مقدار آن دیگر معتبر نخواهد بود. یکی از وجوه تمایز این گروه از تقسیم‌کننده‌ها با تقسیم‌کننده‌های استاتیک در نوع لچ D استفاده شده در فلیپ-فلاپ است به طوری که جریان مصرفی تنها در طی بخشی از سیکل کلاک که خروجی‌ها تغییر می‌کند، وجود دارد از این رو توان مصرفی آن قطعا از نوع دینامیک است [۱۲، ۱۳]. دو نوع از تقسیم‌کننده‌های دینامیک را می‌توان در شکل ۲-۳ مشاهده کرد.



شکل ۲-۳. تقسیم‌کننده‌ی فرکانسی دینامیک: (الف) شبه-NMOS دوکلاکه (ب) ساعت‌دهی تکفاز

واقعی (TSPC)

در تقسیم‌کننده‌ی دینامیک شکل ۲-۳-الف، وقتی که کلاک بالا است، لچ اول مانند یک وارون‌ساز شبه-NMOS عمل می‌کند و خازن  $C_p$  با عکس‌سیگنال ورودی شارژ می‌گردد. وقتی که کلاک پایین می‌رود، لچ اول غیرفعال می‌شود و لچ دوم روشن می‌گردد، و سیگنال به گره خروجی منتقل می‌شود. یکی از نقاط ضعف این طراحی عدم تولید خروجی‌های مکمل است به طوری که نمی‌توان در طبقات بعدی تقسیم‌کننده‌هایی که در ورودی‌شان نیاز به سیگنال‌های مکمل دارند استفاده کرد. یک راه حل برای رفع این مشکل، استفاده از تقسیم‌کننده‌های دینامیکی شکل ۲-۳-ب می‌باشد که با یک سیگنال کلاک تکفاز راه‌اندازی می‌شود. این دسته از تقسیم‌کننده‌های دینامیکی، تقسیم‌کننده ساعت‌دهی تکفاز واقعی (TSPC) نامیده می‌شود. همان‌طور که از نام آن مشخص است این تقسیم‌کننده

فقط با یک فاز کلاک کار می‌کند که اهمیت این موضوع در آن است که در تقسیم‌کننده‌هایی که در آن از چندین کلاک فاز استفاده می‌شود دقیق نبودن فاز کلاک‌ها سبب ایجاد نویز در خروجی تقسیم‌کننده می‌شود. عملکرد این تقسیم‌کننده شامل یک فاز پیش‌شارژ و یک فاز ارزیابی است. هنگامی که کلاک پایین است خروجی از طریق ترانزیستورهای PMOS به  $V_{DD}$  پیش‌شارژ می‌شود. از طرفی در طول این فاز، بخش پایینی خاموش است از این رو تقسیم‌کننده هیچ جریانی مصرف نمی‌کند. زمانی که کلاک بالا است، دوره‌ی ارزیابی شروع می‌شود و خروجی بسته به مقدار ورودی منطقی بالا مانده یا پایین می‌رود.

مزیت تقسیم‌کننده‌ی دینامیک نسبت به تقسیم‌کننده‌های استاتیک، کاهش توان مصرفی، تعداد کمتر ترانزیستورها و کاهش مساحت اشغالی بر روی تراشه است. از جمله معایب این تقسیم‌کننده‌ها در دسترس نبودن خروجی‌های مکمل و متعادل است. همچنین به دلیل ساختار تک سر، نویز مد مشترک در خروجی ظاهر می‌شود و حساسیت بیشتری نسبت به اثرات پارازاتیک مانند نشتی، توزیع مجدد بار و نفوذ ساعت<sup>۱</sup> دارد [۱۴]. نهایتاً فرکانس کاری این دسته از تقسیم‌کننده‌ها محدود بوده و قادر به کار در فرکانس‌های بالا نمی‌باشد [۱۵]. در جدول ۲-۱ دو فلیپ-فلاپ CML و TSPC<sup>۲</sup> با هم مقایسه شده‌اند.

---

<sup>۱</sup> Clock Feed-Through

<sup>۲</sup> True Single Phase Clocking (TSPC)



جدول ۲-۱. مقایسه عملکرد دو فلیپ فلاپ CML و TSPC

	پس‌انداز	سرعت	توان مصرفی	سازگاری	سوئینگ	نویز	مساحت
CML	-	+	-	-	+	+	-
TSPC	+	-	+	+	-	-	+

## ۲-۲-۲ تقسیم‌کننده آنالوگ

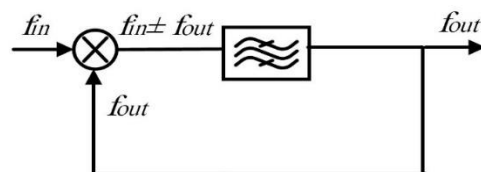
تقسیم‌کننده‌های دیجیتال بازه‌ی عملکرد وسیعی دارند و توان مصرفی این دسته از تقسیم‌کننده‌ها با افزایش فرکانس کاری به شدت افزایش می‌یابد. تقسیم‌کننده‌های فرکانسی که در سنتزکننده‌های فرکانسی وجود دارند یک بلوک با توان مصرفی بالا محسوب می‌شوند. از طرفی بسیاری از سیستم‌های مخابراتی بیسیم باند باریک هستند. از این رو تقسیم‌کننده‌های فرکانسی آنالوگ باند باریک علاوه بر توان مصرفی کم، قابلیت کار در فرکانس‌های بالا را دارا می‌باشند، که انتخاب مناسبی برای استفاده در این گونه سیستم‌ها می‌باشد [۱۶]. پس یک ویژگی مهم که باعث تفاوت بین تقسیم‌کننده‌های فرکانسی آنالوگ نسبت به تقسیم‌کننده‌های دیجیتال می‌شود عملکرد محدوده‌ی فرکانسی باند باریک این دسته از تقسیم‌کننده‌ها می‌باشد. تقسیم‌کننده‌های دیجیتال را می‌توان به صورت ذاتی به عنوان سیستم‌های پایین‌گذر در نظر گرفت در حالی که تقسیم‌کننده‌های آنالوگ می‌تواند طبیعتاً میان‌گذر باشند، و به طور بالقوه در فرکانس‌های بالاتر کار می‌کنند.

عملکرد تقسیم‌کننده‌های فرکانسی آنالوگ متفاوت از نوع دیجیتال و بر پایه‌ی استفاده از خاصیت

غیرخطی ادوات الکترونیکی می‌باشند. در طراحی دقیق تقسیم‌کننده‌های آنالوگ بده و بستان‌هایی بین توان و ماکزیمم فرکانس کاری وجود دارد. تقسیم‌کننده‌های فرکانسی آنالوگ خود شامل تقسیم‌کننده‌های میلر<sup>۱</sup> (رژنراتیو) و تقسیم‌کننده‌های تزریق-قفل هستند.

## ۲-۲-۱-۲-۲ تقسیم‌کننده‌ی فرکانسی میلر (رژنراتیو)

اولین دسته از تقسیم‌کننده‌های آنالوگ، تقسیم‌کننده‌ی رژنراتیو (RFD) یا تقسیم‌کننده‌ی فرکانسی میلر می‌باشند، که اولین بار توسط میلر در سال ۱۹۳۹ ارائه گردید [۱۷]. شکل ۲-۴ عملکرد یک تقسیم‌کننده‌ی میلر را به طور خاص نشان می‌دهد که در حلقه‌ی فیدبک آن یک میکسر واقع شده است و خروجی را با ورودی مخلوط می‌کند و مولفه‌های مجموع و تفاضل یعنی  $f_{in}+f_{out}$  و  $f_{in}-f_{out}$  را تولید می‌کند. با قرار دادن یک فیلتر میان‌گذر، مولفه‌ی مجموع در حلقه فیلتر شده و فقط مولفه‌ی تفاضل باقی می‌ماند که این عمل باعث برقراری رابطه‌ی  $f_{out} = f_{in} - f_{out}$  و یا به عبارت دیگر  $f_{out} = f_{in}/2$  می‌گردد که به معنی عمل تقسیم بر دو می‌باشد. این ساختار تقسیم‌کننده توانایی کار در فرکانس‌های متوسط تا فرکانس‌های بالا را دارا می‌باشد.



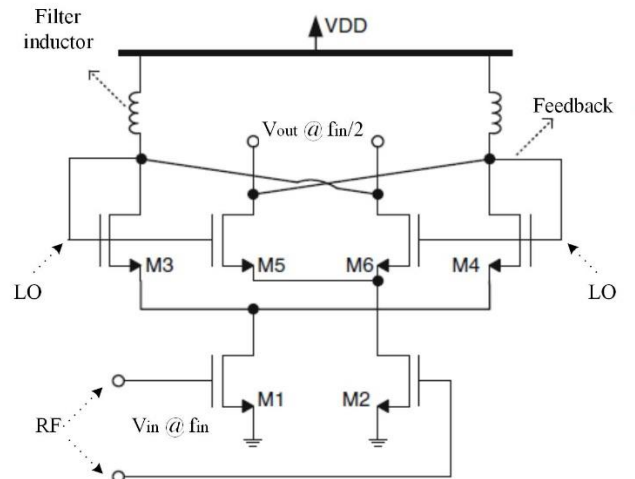
شکل ۲-۴. عملکرد یک تقسیم‌کننده‌ی فرکانسی رژنراتیو با نسبت تقسیم بر دو

<sup>۱</sup> Miller

شکل ۲-۵ یک RFD که با تکنولوژی CMOS پیاده‌سازی شده است را نشان می‌دهد که در آن

میکسر یک سلول گیلبرت استاندارد است و حلقه‌ی فیدبک با اتصال درین‌ها به گیت‌های  $M_3$  و  $M_4$

شکل گرفته است و فیلتر میان‌گذر شامل القاگر و خازن‌های پارازیتیک ترانزیستورها است.



شکل ۲-۵. مدار تقسیم‌کننده‌ی فرکانسی رزونانسی با نسبت تقسیم بر دو

همچنین ورکتورها را می‌توان برای تغییر فرکانس فیلتر میان‌گذر و بهبود محدوده‌ی عملکرد استفاده

کرد. تقسیم‌کننده‌ی رزونانسی به خودی خود به نوسان در نمی‌آید، به عبارت دیگر اگر کلاک ورودی

خاموش گردد، خروجی تقسیم‌کننده صفر خواهد بود. میکسر دارای دو پورت ورودی (RF و LO)

می‌باشد و خروجی در اصل می‌تواند به هر کدام از این دو پورت فیدبک شود که نتیجه آن دو ساختار

متفاوت تقسیم‌کننده‌های رزونانسی می‌باشد. برای مثال در مدار نشان داده شده در شکل ۲-۵، سیگنال

خروجی به پورت LO فیدبک شده است، در حالی که در ساختارهای دیگری، امکان دارد سیگنال

خروجی به پورت RF و سیگنال ورودی به پورت LO اعمال شده باشد.

در سال‌های اخیر تقسیم‌کننده‌های رزوناتیو متعددی گزارش شده است [۱۸، ۱۹]. که حاکی از عملکرد نامناسب این تقسیم‌کننده‌ها در فرکانس‌های بالا، مخصوصاً در محدوده فرکانسی 60GHz، می‌باشد. در این مقسم‌های فرکانس توان ورودی موردنیاز به طور قابل توجهی نسبت به دیگر تقسیم‌کننده‌های فرکانسی بالاتر است به طوری که تلفات سیگنال از پورت RF به پورت LO (یا بالعکس) در فرکانس‌های بالا قابل ملاحظه است. همچنین محدوده‌ی قفل ارائه شده توسط تقسیم‌کننده‌های رزوناتیو نسبت به تقسیم‌کننده‌های دیجیتال بسیار کوچکتر است. قابل ذکر است بازه‌ی قفل این تقسیم‌کننده‌ها به ضرایب هارمونی، Q فیلتر پایین‌گذر، عملکرد میکسر، و میزان دامنه‌ی سیگنال ورودی بستگی دارد. به عنوان نمونه، تقسیم‌کننده رزوناتیو بهبود یافته در فرکانس 60GHz در [۱۸] ارائه شده و تنها محدوده قفل 1.8GHz را دارا می‌باشد.

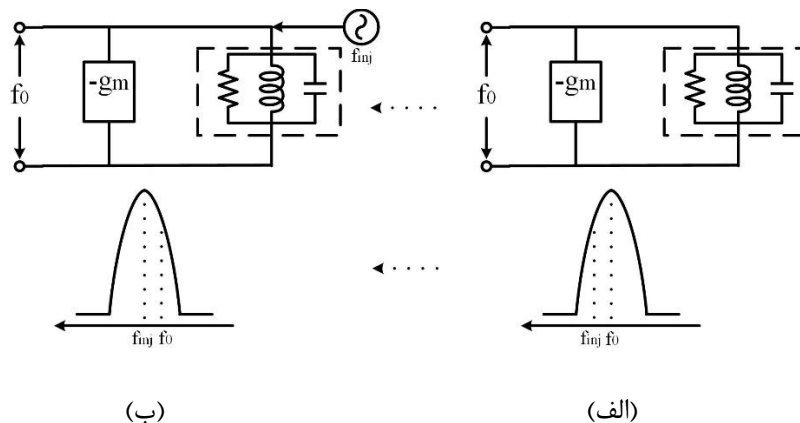
## ۲-۲-۲-۲ تقسیم‌کننده‌های فرکانسی تزریق-قفل

دسته دوم و امیدبخش تقسیم‌کننده‌های آنالوگ که توانایی کار در فرکانس‌های بالا را دارا می‌باشد، تقسیم‌کننده‌ی تزریق-قفل می‌باشد. در قرن ۱۷ دانشمند هلندی کریستین هایگنس<sup>۱</sup> هنگامی که در بستر بیماری بود دریافت که پاندول‌های دو ساعت که نزدیک به هم روی دیوار آویخته شده است هم‌آهنگ با هم حرکت می‌کنند. او مدعی شد که کوپلاژ ارتعاشات مکانیکی از طریق دیوار، ساعت را به

---

<sup>۱</sup> Christiaan Huygens

سمت همزمان شدن می‌برد [۲۰]. از این اصل می‌توان در نوسان‌سازهای الکترونیکی نیز استفاده نمود که معمولاً به روش تزریق-قفل معروف است. امروزه این روش کاربردهای وسیعی در بسیاری از افزاره‌های الکترونیکی از جمله در بسیاری از گیرنده‌های لینک سریال که نیاز به قفل سریع دارند، پیدا کرده است. مبنای کار این دسته از تقسیم‌کننده‌ها، پدیده‌ی تزریق-قفل در نوسان‌سازها می‌باشد که نوسان‌ساز را مجبور به نوسان در فرکانسی متفاوت از فرکانس تشدید تانک می‌کند. براساس پدیده‌ی تزریق-قفل، زمانی که یک سیگنال متناوب به یک نوسان‌ساز تزریق شود و فرکانس نوسان سیگنال تزریق شده نزدیک به فرکانس نوسان اصلی و یا یکی از هارمونی‌های نوسان‌ساز باشد، نوسان‌ساز با اختلاف فاز ثابتی از سیگنال تزریق، قفل می‌شود [۴]. برای فهم بهتر چگونگی پدیده‌ی تزریق-قفل که در شکل ۲-۶ نشان داده شده است، یک نوسان‌ساز با فرکانس تشدید  $f_0$  را در نظر می‌گیریم که یک سیگنال سینوسی خارجی به نوسان‌ساز اعمال شده است. در صورتی که دامنه و فرکانس سیگنال سینوسی به درستی انتخاب شوند، مدار در فرکانس  $f_{inj}$ ، به جای فرکانس رزونانس  $f_0$  شروع به نوسان



شکل ۲-۶. اساس پدیده‌ی تزریق-قفل (الف) نوسان‌ساز با نوسان آزاد (ب) نوسان‌ساز قفل شده

خواهد نمود. بدیهی است که قفل تنها در مجاورت فرکانس  $f_0$  جایی که نوسان ساز به آسانی تحت تاثیر سیگنال تزریق شده قرار می گیرد، اتفاق خواهد افتاد. بنابراین بازه ی قفل ذاتا محدود می باشد.

یک طراحی CMOS ساده از یک ILFD با نسبت تقسیم بر دو در شکل ۲-۷-الف) نشان داده

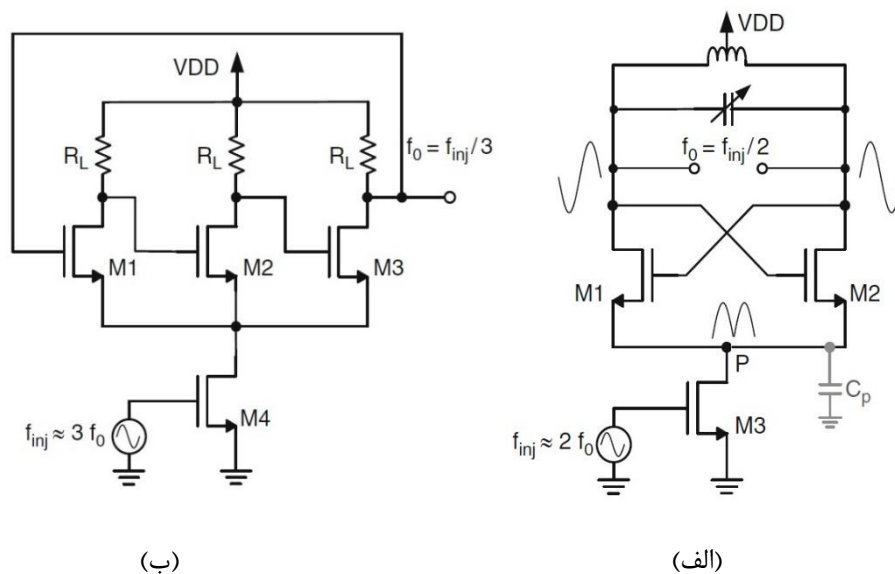
شده است. هسته ی تقسیم کننده یک نوسان ساز اتصال ضربدری NMOS با فرکانس تشدید تانک  $f_0$

است. سیگنالی که در گره P است در هارمونی دوم  $f_0$  واقع شده است از این رو یک گره مناسب برای

سیگنال تزریقی از طریق ترانزیستور دنباله ی  $M_3$  انجام می شود. سیگنال تزریقی با مولفه ی اصلی مخلوط

می شود و دو مولفه ی  $f_{inj} \pm f_{out}$  را تولید می کند که مولفه ی  $f_{out} + f_{inj}$  از طریق مدار تانک فیلتر می گردد و

تنها مولفه ی  $f_{inj} - f_{out}$  که نزدیک به فرکانس تشدید تانک است، باقی می ماند. پس  $f_{inj} - f_{out} = f_{out}$  و به



شکل ۲-۷. تقسیم کننده ی فرکانسی تزریق-قفل (الف) تقسیم کننده مبتنی بر نوسان سازهای LC با نسبت

تقسیم دو (ب) تقسیم کننده مبتنی بر نوسان ساز حلقوی با نسبت تقسیم سه

عبارتی دیگر  $f_{out}=f_{inj}/2$  خواهد بود که بدین معنی است که خروجی به  $f_{inj}/2$  قفل شده و بنابراین عمل تقسیم بردو انجام شده است. به عبارت دیگر، ILFD یک نوسان ساز می باشد که یک هارمونی از فرکانس نوسان به فرکانس اصلی سیگنال تزریقی قفل شده است.

از تکنیک تزریق-قفل همچنین می توان برای پیاده سازی ILFDهایی با نسبت های تقسیم بالاتر استفاده کرد. عمل تقسیم بر سه با استفاده از LC-ILFD با اصلاح مدار شکل ۲-۷-الف) قابل حصول است.

یک راه دیگر که بتوان یک ILFD با نسبت تقسیم سه ساخت تزریق سیگنال به یک نوسان ساز حلقوی سه طبقه است که در شکل ۲-۷-ب) نشان داده شده است [۲۱]. به طور مشابه، نسبت های تقسیم بالاتر مانند چهار، شش، هشت یا حتی دوازده با استفاده از تکنیک تزریق-قفل در نوسان ساز حلقوی امکان پذیر می باشد [۲۲، ۲۳].

ILFDها را می توان به طور کلی به ILFDهای بر پایه ی نوسان سازهای حلقوی و ILFDهای بر پایه ی نوسان سازهای LC دسته بندی کرد. نوسان سازهای حلقوی دارای محدوده ی عملکرد وسیع و ضریب کیفیت پایین می باشند که از این رو برای استفاده در تقسیم کننده های فرکانسی مناسب می باشند ولی به جهت نویزفاز نامناسب کمتر مورد استفاده قرار می گیرند. همچنین ساختار مداری نسبتاً پیچیده ی آن باعث می شود که توان مصرفی این نوع تقسیم کننده افزایش یابد [۲۴، ۲۵]. در مقابل،

نوسان‌سازهای LC به طور ذاتی ضریب کیفیت بالایی دارند که همین امر باعث باریک شدن باند کاری تقسیم‌کننده و بهبود نویزفاز آن می‌شود. تنها عیب این دسته از تقسیم‌کننده باریک بودن محدوده‌ی فرکانسی می‌باشد. با این وجود ساختار مداری نسبتاً ساده و مصرف توان پایین و سرعت بالای تقسیم‌کننده‌های مبتنی بر نوسان‌سازهای LC و مهم‌تر از همه نویزفاز خوب آن، استفاده از این ساختارها را در مدارات فرکانس بالا افزایش داده است.

علیرغم اینکه LC-ILFDها مزایای بسیاری دارند، اما چالش‌هایی در طراحی آن‌ها وجود دارد که باید آن‌ها را مورد توجه قرار داد. اولاً به علت ویژگی گزینندگی فرکانسی مدار تانک، بازه‌ی قفل محدود است و بایستی برای افزایش بازه قفل از تکنیک‌های طراحی مدار استفاده شود. هدف کلی از اعمال این گونه تکنیک‌ها، افزایش بهره‌وری عمل تزریق برای افزایش توان موثر سیگنال تزریقی به مدار تانک می‌باشد. مثلاً در مدار شکل ۲-۷-الف) خازن پارازاتیک موجود در گره P مسیری را برای سیگنال‌های تزریقی فرکانس بالا به زمین ایجاد می‌کند که باعث تلف شدن قابل توجهی از توان سیگنال تزریقی می‌شود. برای مقابله با این مشکل، یک القاگر را می‌توان به گره دنباله اضافه کرد به طوری که با خازن  $C_p$  در تشدید قرار گیرد و با جلوگیری از هدر رفتن توان سیگنال تزریقی منجر به افزایش بازه‌ی قفل شود (اگر چه که مساحت تراشه افزایش می‌یابد) [۲۶]. ایراد دیگری که در برخی از مدارهای ILFD وجود دارد تزریق تک-سر در ورودی است که سبب هدر رفتن ۵۰٪ از توان تزریقی می‌شود. یک ساختار



جایگزین که می‌تواند برای تزریق تفاضلی استفاده نمود "تزریق مستقیم"<sup>۱</sup> یا "تزریق تانک"<sup>۲</sup> نام دارد [۲۷].

برای تولید خروجی‌های ربعی از ILFDها، نیاز به مدارهای اضافی می‌باشد. یک راه حل، تزویج کردن دو ILFD مشابه می‌باشد طوری که خروجی‌ها با یکدیگر 90° اختلاف فاز داشته باشند [۲۸]. از این رو تکنیک‌های دیگری همچون تزویج ترانسفورمری برای رسیدن به این راه‌حل وجود دارد.

انتخاب هر یک از ساختارها، به ملزومات مورد نیاز همچون بازه‌ی قفل، خروجی‌های ربعی، مصرف توان، نویزفاز، پایداری و پیچیدگی طراحی وابسته می‌باشد. در جدول ۲-۲ خلاصه‌ای از معایب و مزایای هر یک از ساختارهای فوق ارائه شده است.

جدول ۲-۲. مقایسه تقسیم‌کننده‌های فرکانسی مختلف

تقسیم‌کننده	فرکانس کاری	بازه‌ی قفل	خروجی‌های متعامد	توان مصرفی	پایداری	سهولت طراحی
دینامیک	--	+	-	+	+	+
استاتیک	-	++	++	-	++	++
رژنراتیو	+	-	-	+	-	-
تزریق-قفل	++	--	+	+	-	-

<sup>۱</sup> Direct Injection

<sup>۲</sup> Tank Injection

## فصل سوم

### *LC-ILFD* و تکنیک‌های تزریق سیگنال

## ۳-۱ مقدمه

نوسان‌سازها جزء جدایی‌ناپذیر بسیاری از سیستم‌های الکترونیکی می‌باشند که از جمله کاربردهای آن می‌توان به تولید پالس ساعت در ریزپردازنده‌ها و سنتز فرکانس حامل در تلفن‌های سلولی اشاره کرد، از این رو نیاز به ساختارهای متفاوتی از نوسان‌سازها با درجه‌های مختلفی از کارایی وجود دارد. تقسیم‌کننده‌های تزریق-قفل بر اساس نوع نوسان‌ساز استفاده شده در هسته‌ی تقسیم‌کننده، به دو دسته‌ی کلی تقسیم می‌شوند. دسته‌ی اول آن‌ها مبتنی بر نوسان‌سازهای حلقوی می‌باشند که از بازه‌ی قفل وسیعی بهره‌مند هستند اما به علت فقدان خاصیت فیلترینگ از نویزفاز مناسبی برخوردار نیستند. دسته‌ی دیگر تقسیم‌کننده‌های تزریق-قفل مبتنی بر نوسان‌سازهای LC می‌باشند که به اختصار LC-ILFD نامیده می‌شوند. این دسته از تقسیم‌کننده‌ها در سیستم‌های مخابراتی پیشرفته به طور فزاینده‌ای مورد توجه قرار گرفته است که از دلایل آن به توانایی کار در فرکانس‌های بالا، نویزفاز پایین و توان مصرفی کم می‌توان اشاره کرد [۲۹].

ابتدا در این فصل به بررسی مختصر انواع نوسان‌سازهای LC که به عنوان هسته‌ی اصلی LC-ILFDها شناخته می‌شود، می‌پردازیم. همچنین در مورد نحوه عملکرد نوسان‌ساز کولپیتس نیز توضیحاتی داده خواهد شد و در ادامه پارامترهای مهم در طراحی LC-ILFD را برشمرده و به بررسی

هر یک از پارامترها می‌پردازیم. و در بخش پایانی به معرفی و بررسی روش‌های مختلف برای تزریق سیگنال در LC-ILFD پرداخته می‌شود و مزایا و معایب هر روش نیز بیان می‌گردد.

## ۳-۲ نوسان‌سازهای LC

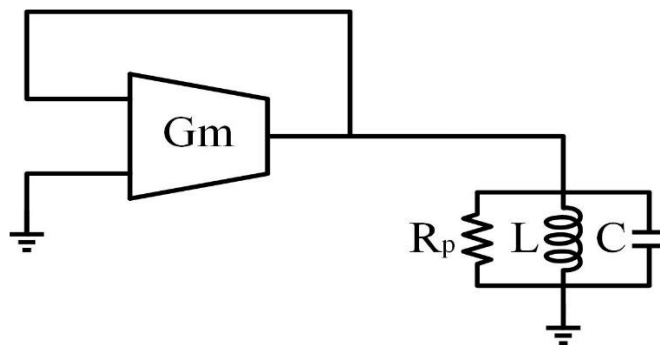
نوسان‌سازهای LC معمولاً با استفاده از یک زوج ترانزیستورهای اتصال-ضربداری که به همراه تانک LC ساخته می‌شوند. با اتصال خروجی‌ها به ورودی‌ها، و با برقراری شرایط نوسان که به "شرط بارک‌هازن"<sup>۱</sup> معروف است، مدار شروع به نوسان می‌کند. همچنین نویز در نوسان‌ساز، حول فرکانس تشدید تانک ایجاد می‌گردد، البته نویز در فرکانس‌های دیگر توسط تانک LC فیلتر می‌گردد. این ویژگی فیلترینگ سبب می‌شود که نوسان‌سازهای LC از نقطه نظر نویزفاز بهتر از دیگر نوسان‌سازها عمل کند. از جمله معایب نوسان‌سازهای LC می‌توان به بازه‌ی تنظیم کوچک آن و همچنین مجتمع‌سازی این دسته از نوسان‌سازها به علت وجود القاگرها که نیاز به فضای بیشتری دارد، اشاره کرد که همین فضای بیشتر باعث افزایش هزینه ساخت نیز می‌گردد. البته این موضوع قابل ذکر است که با پیشرفت تکنولوژی اندازه‌ی القاگرها و فضای مورد نیاز برای ساخت به طور چشمگیری کاهش پیدا کرده است.

یک نوسان‌ساز LC را می‌توان به صورت شکل ۳-۱ مدل نمود. یک تانک LC ایده‌آل و بدون تلف

پس از آنکه شروع به نوسان می‌کند در حالت نوسان باقی می‌ماند. ولی در تانک LC واقعی، بخشی از

---

<sup>۱</sup> Barkhausen



شکل ۳-۱. بلوک دیاگرام ساده یک نوسان ساز LC

انرژی در مقاومت مدار تانک هدر می‌رود که این سبب تضعیف نوسان و از بین رفتن آن (میرا شدن) می‌شود. اگر مدار فعال متصل به مدار تانک یک مقاومت منفی تولید کند، تلفات مدار تانک جبران شده و این امر منجر به پایداری نوسان می‌گردد. در فرکانس تشدید  $\omega_0$ ، ادمیتانس معادل خازن و خودالقا حذف می‌گردد و بهره‌ی حلقه از رابطه‌ی (۳-۱) بدست می‌آید.

$$|Z(j\omega)||H(j\omega)| = g_m R_p = 1 \quad (۳-۱)$$

که در این رابطه  $Z(j\omega)$  امپدانس موازی مدار تانک است.

بر اساس معیار بارک‌هازن نوسان زمانی اتفاق می‌افتد که بهره‌ی حلقه برابر با یک و فاز حلقه برابر صفر و یا ضربی از  $360^\circ$  درجه باشد. این معیار برای نوسان کردن شرط لازم ولی ناکافی است [۲]. در اصل طبق رابطه‌ی (۳-۲)، برای شروع نوسان بایستی بهره‌ی حلقه کمی بزرگتر از یک باشد، یعنی:

$$g_m R_p > 1 \rightarrow g_m > \frac{1}{R_p} \quad (۳-۲)$$

ساختارهای مختلفی برای نوسان‌ساز LC وجود دارد که دو ساختار متداول از نوسان‌سازهای LC

کنترل شونده با ولتاژ در شکل ۲-۳ نشان داده شده است. برتری این ساختارها نسبت به ساختارهای

تک-سر، استفاده از خروجی‌های تفاضلی است که این امر منجر به سوئینگ بالاتر، حذف مولفه‌های مد

مشترک نویز و همچنین کاهش اثرپذیری نسبت به نویز محیط می‌باشد. ساده‌ترین پیاده‌سازی نوسان‌ساز

LC در شکل ۲-۳-الف) نشان داده شده است که شامل یک زوج اتصال-ضربدری NMOS است و برای

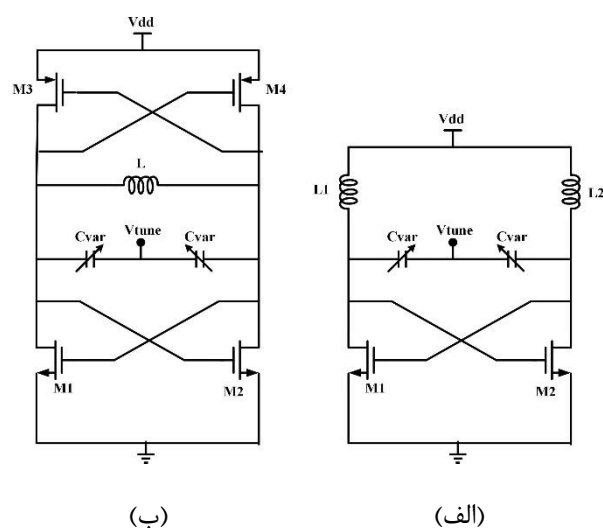
تنظیم بازه‌ی فرکانس از یک زوج خازن متغیر (ورکتور) استفاده شده است. عیب اصلی این ساختار

وابستگی مدار به تغییرات  $V_{DD}$  است که بر اثر تغییرات  $V_{DD}$  جریان بایاس مدار نیز تغییر خواهد کرد

که این بدین معناست نویزی که تابع  $V_{DD}$  است روی جریان نیز ظاهر می‌شود و در نهایت در خروجی

رفتار نویز بدتر می‌گردد. شکل ۲-۳-ب) پیاده‌سازی متداول دیگری را نشان می‌دهد که در مقایسه با

شکل ۲-۳-الف) از نویزفاز بهتری برخوردار است. مزیت اصلی این ساختار افزایش  $g_m$  موثر مدار است



شکل ۲-۳. انواع نوسان‌سازهای LC: الف) نوسان‌ساز ساده ب) نوسان‌ساز LC مکمل

به طوری که در مقایسه با مدار قبلی به ازای یک  $g_m$  ثابت به جریان کمتری نیاز دارد و مزیت دیگر نوسان‌ساز مکمل LC، با توجه به معماری متقارن این ساختار، از زمان صعود<sup>۱</sup> و نزول<sup>۲</sup> بهتری برخوردار می‌باشد.

علاوه بر مولفه‌های نویز که ناشی از منابع تغذیه و زیرلایه می‌باشند، منابع نویز دیگری وجود دارند که ناشی از تلفات در المان‌های پسیو غیرایده‌آل هستند و نویزفاز نوسان‌ساز را بدتر می‌کند. از این رو برای بهتر شدن نویزفاز بایستی از القاگرهایی با ضریب کیفیت بالاتر استفاده کرد.

## ۳-۳ نوسان‌ساز کولپیتسی

در سال‌های اخیر، روش‌های مختلفی برای بهتر شدن عملکرد LC-VCOهای مجتمع استفاده مطرح شده است. نوسان‌سازهای اتصال-ضربداری نسبت به بسیاری از ساختارهای دیگر به جهت ساخت آسان‌تر، شرایط نوسان مطمئن‌تر و داشتن عملکرد تفاضلی ترجیح داده می‌شوند. با این حال نوسان‌سازهای اتصال-ضربداری به نویز تولید شده توسط افزاره‌های فعال بسیار حساس هستند [۳۰]. از سوی دیگر، نوسان‌ساز کولپیتسی، خواص نویزی بهتری دارا می‌باشد و به طور بالقوه نویزفاز پایین‌تری می‌تواند داشته باشد چرا که تابع حساسیت ضربه<sup>۳</sup> (ISF) آن به طور قابل توجهی کاهش می‌یابد.

---

<sup>۱</sup> Rise time

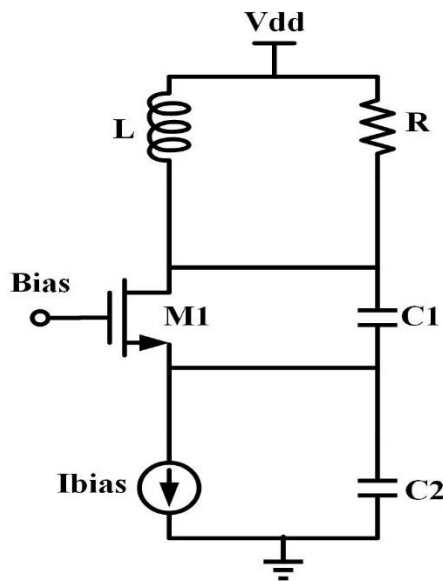
<sup>۲</sup> Fall time

<sup>۳</sup> Impulse sensitivity Function (ISF)

یک نوسان‌ساز کولپیتس تک-سر در شکل ۳-۳ نشان داده شده است با تحلیل مدار می‌توان ثابت

کرد برای شروع نوسان بایستی شرط زیر برقرار باشد [۳۱]:

$$g_m R > 4 \quad (3-3)$$



شکل ۳-۳. ساختار نوسان‌ساز کولپیتس تک-سر [۳۱]

علیرغم این مزایا، امروزه به ندرت از نوسان‌سازهای کولپیتس تک-سر در مدارهای مجتمع، به

علت بهره‌ی بالا برای شروع نوسان مطمئن، استفاده می‌شوند و همان‌طور که قبلاً بیان شد مدارهای

تک-سر به تغییر پارامترهای مداری و منابع نویز مد-مشترک مانند نویز زیرلایه و نویز تغذیه حساسیت

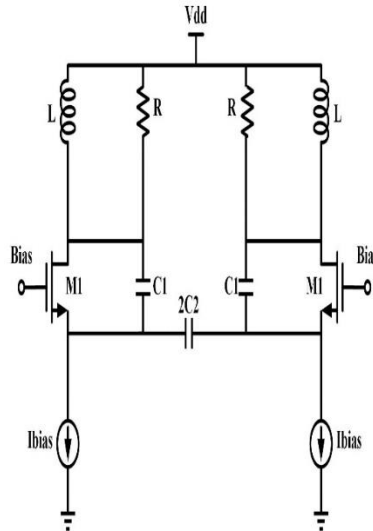
بیشتری دارند. در عوض به علت معایب ساختار تک-سر، از ساختار تفاضلی کولپیتس که با اتصال دو

نوسان‌ساز کولپیتس تک-سر مشابه تشکیل شده است، استفاده می‌شود که سبب می‌شود نویز کمتری

نیز در خروجی نوسان‌ساز ظاهر گردد. همچنین در ساختار تفاضلی کولپیتس، سوئینگ ولتاژ خروجی



دو برابر نوسان ساز کولپیتس به صورت تک-سر می‌باشد. در شکل ۳-۴ ساختار تفاضلی کولپیتس نشان داده شده است.



شکل ۳-۴. ساختار نوسان ساز کولپیتس تفاضلی

### ۳-۴ پارامترهای اصلی در طراحی LC-ILFD

تقسیم‌کننده‌های فرکانسی تزریق-قفل دارای خواص منحصر به فردی می‌باشند. فناوری ساخت در طراحی ILFD از اولین مواردی است که به آن بایستی توجه کرد. فناوری ساخت CMOS به علت توان مصرفی پایین و هزینه کمتر در ساخت و... از محبوبیت بیشتری برخوردار است. از جمله موارد دیگری که بایستی در طراحی تقسیم‌کننده‌های فرکانسی به آن توجه کرد می‌توان به نویزفاز، بازه‌ی قفل، توان مصرفی، فرکانس نوسان و... اشاره کرد. در این بخش به بعضی از پارامترهای اساسی در LC-ILFD ها می‌پردازیم.

### ۳-۴-۱ فرکانس نوسان

فرکانس نوسان در نوسان‌سازهای اتصال-ضربدبری LC توسط مقادیر خودالقا و خازن مدار تانک و خازن‌های پارازاتیک ناشی از عناصر دیگر تعیین می‌گردد. رابطه‌ی (۳-۴) فرکانس نوسان یک نوسان‌ساز LC را بیان می‌کند:

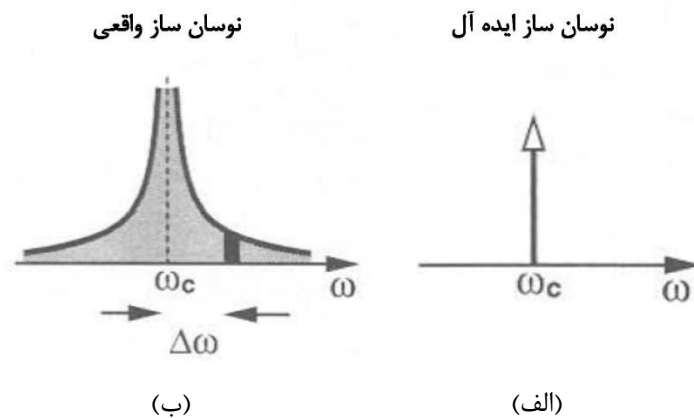
$$f_0 = \frac{1}{2\pi\sqrt{LC}} \quad (۳-۴)$$

که در رابطه فوق، C مجموع خازن‌های نوسان‌ساز و L مقدار القاگر موجود در مدار می‌باشد. بایستی توجه داشت در صورتی که ترانزیستوری برای تزریق سیگنال به مدار تانک اضافه گردد بایستی خازن المان اضافه شده را در محاسبه‌ی فرکانس لحاظ کرد.

### ۳-۴-۲ نویزفاز

منابع نویز به دو دسته کلی تقسیم می‌شوند: نویز محیط و نویز ادوات الکترونیکی؛ که نویزهای ادوات الکترونیکی شامل نویزهای حرارتی، فیلکر و... می‌باشند. نویز المان‌های مختلف و همچنین نویز تغذیه، باعث ایجاد نویز در خروجی نوسان‌ساز می‌گردد. این اثرات در حوزه‌ی زمان با عنوان جیتر و در حوزه‌ی فرکانس با عنوان نویزفاز نام برده می‌شود. یکی از مشخصه‌های مهم در طراحی یک نوسان‌ساز، نویزفاز آن می‌باشد. نویزفاز نوسان‌ساز، کل سیستمی که در آن قرار دارد را تحت تاثیر قرار می‌دهد بدین جهت کاهش آن از اهمیت ویژه‌ای برخوردار است.

در شکل ۳-۵-الف)، طیف فرکانسی برای یک نوسان ساز سینوسی ایده آل که در فرکانس  $\omega_c$  وجود دارد، به شکل ضربه می باشد. اما همان طور که در شکل ۳-۵-ب) ملاحظه می شود همواره برای یک نوسان ساز واقعی، باندی از فرکانس های مزاحم نیز در اطراف فرکانس حامل وجود دارد. معمولا برای تعیین میزان نویز فاز، با استفاده از رابطه ی (۳-۵) نسبت توان نویز در آفست فرکانسی  $\Delta\omega$  از فرکانس مرکزی  $\omega_c$  و در پهنای باند 1 Hz به توان سیگنال حامل محاسبه می شود.



شکل ۳-۵. مقایسه نویز فاز خروجی یک نوسان ساز ایده آل با یک نوسان ساز واقعی [۲]

$$L\{\Delta\omega\} = 10 \log \left[ \frac{p_{sideband}(\omega_0 + \Delta\omega, 1\text{Hz})}{p_{carrier}} \right] \quad (۳-۵)$$

که در رابطه ی فوق  $L\{\Delta\omega\}$  نویز فاز در آفست  $\Delta\omega$ ،  $p_{carrier}$  بیانگر توان سیگنال در فرکانس حامل و  $p_{sideband}$  توان در آفست فرکانسی  $\Delta\omega$  از فرکانس حامل می باشد. با توجه به رابطه ی (۳-۵) نویز فاز با توان سیگنال رابطه عکس دارد. از این رو در یک نوسان ساز افزایش دامنه سیگنال خروجی، منجر به کاهش نویز فاز می گردد و بالعکس.

نویزفاز نوسان‌ساز می‌تواند با استفاده از روش تزریق-قفل کاهش پیدا کند. بر اساس مدل نویزفاز

[۳۰] و مدل ارائه شده برای تقسیم‌کننده فرکانسی روابطی را برای نویزفاز در حالت تزریق می‌توان

استخراج کرد. به علت نبودن مرجعی برای تصحیح فاز اگر عامل برهم زنده‌ای در حالت نوسان آزاد<sup>۱</sup>

(بدون تزریق) به نوسان‌ساز وارد شود، نوسان‌ساز نمی‌تواند فاز قبلی خود را بازیابی کند. اما به علت وجود

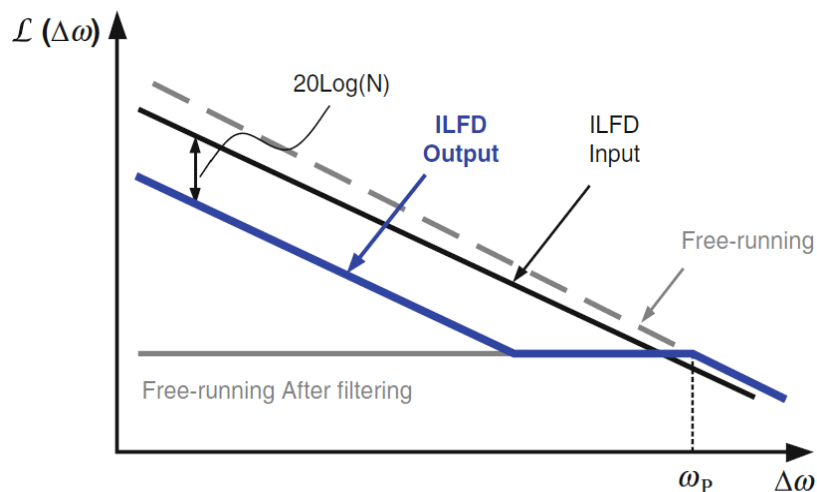
ارتباط و همزمانی بین سیگنال تزریقی و خروجی نوسان‌ساز در حالت تزریق-قفل، امکان بازیابی فاز

وجود دارد.

نویزفاز در خروجی در ILFD شامل دو مولفه می‌باشد. مولفه‌ی اول شامل نویزفاز سیگنال ورودی

و مولفه‌ی دوم مربوط به نویزفاز در حالت آزاد ILFD می‌باشد. شکل ۳-۶ نویزفاز کیفی تقسیم‌کننده

تزریق-قفل را نشان می‌دهد. که در آن  $\Delta\omega$  آفست فرکانسی و  $L\{\Delta\omega\}$  نویزفاز در آفست فرکانسی مورد



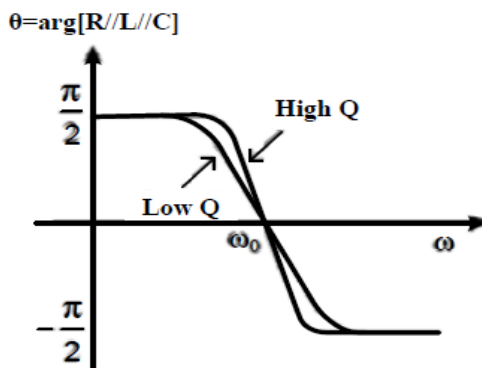
شکل ۳-۶. عملکرد نویزفاز تقسیم‌کننده فرکانسی در حالت تزریق-قفل [۱]

<sup>۱</sup> Free running

نظر می‌باشد. نویزفاز خروجی مجموع مشارکت نویزهای ورودی و حالت آزاد ILFD می‌باشد. برای داشتن پهنای باند زیاد، بازه‌ی قفل وسیع و نویزفاز نسبتاً پایین، بایستی سیگنال تزریق قوی باشد.

### ۳-۴-۳ ضریب کیفیت (Q)

ضریب کیفیت یکی دیگر از پارامترهایی می‌باشد که بایستی در طراحی ILFDها لحاظ کرد، که آن را با  $Q$  نشان می‌دهند. نویزفاز تقسیم‌کننده معمولاً به مدار تانک وابسته می‌باشد و همچنین ضریب کیفیت نقشی تعیین‌کننده‌ای در پهنای باند مدار دارد [۲]، بدین صورت که پهنای باند مدار تانک و بنابراین گستره‌ی تنظیم فرکانس با افزایش ضریب کیفیت، کاهش می‌یابد. از طرفی مدار یکی از پارامترهای اصلی در تعیین عملکرد نویزفاز نوسان‌ساز می‌باشد به طوری که با افزایش ضریب کیفیت، نویزفاز بهبود می‌یابد. بنابراین، همواره یک بده‌بستان بین نویزفاز و گستره‌ی قفل تقسیم‌کننده‌ی فرکانسی تزریق-قفل وجود دارد که در تعیین  $Q$  بایستی به آن توجه کرد. نحوه‌ی وابستگی شیب منحنی فاز یک مدار RLC به ضریب کیفیت در شکل ۳-۷ نشان داده شده است. همان‌طور که مشاهده می‌گردد،



شکل ۳-۷. تغییرات فاز مدار RLC با ضریب کیفیت (Q)

در ضریب کیفیت بالا، شیب منحنی فاز بیشتر است و از این رو یک تغییر کوچک در فرکانس، تغییر فاز بزرگی را در پی دارد که سبب می‌شود در صورتی که شرط نوسان نقض گردد، مدار به سختی به نوسان بازگردد.

با توجه به مدل پیشنهادی در رابطه‌ی نویزفاز (۳-۶) [۳۲]، از جمله راه‌هایی که می‌توان نویزفاز در ILFD را کاهش داد، افزایش ضریب کیفیت و دامنه‌ی سیگنال نوسان می‌باشد.

$$L\{\Delta\omega\} = 10 \log \left[ \frac{2KT}{p_{carrier}} \left( \frac{\omega_0}{2Q\Delta\omega} \right)^2 \right] \quad (۳-۶)$$

که در رابطه‌ی بالا  $L\{\Delta\omega\}$  نویزفاز در آفست  $\Delta\omega$ ،  $K$  ثابت بولتزمن،  $T$  دمای مطلق،  $p_{carrier}$  بیانگر توان سیگنال در فرکانس حامل،  $\Delta\omega$  محدوده‌ی فرکانسی حول  $\omega_0$  فرکانس نوسان آزاد و  $Q$  ضریب کیفیت می‌باشد.

### ۳-۴-۴ توان مصرفی

مانند هر نوسان‌ساز LC، اکثر مصرف توان در ILFD ناشی از تلفات مدار تانک می‌باشد. توان

مصرفی یک نوسان‌ساز تزریق-قفل از رابطه‌ی (۳-۷) به دست می‌آید.

$$P_{loss} = \frac{R_s}{2L^2 \omega_0^2} V_0^2 \quad (۳-۷)$$

که  $R_s$  مقاومت سری القاگر،  $L$  اندوکتانس تانک،  $\omega_0$  فرکانس مرکزی نوسان و  $V_0$  سوئینگ ولتاژ خروجی می‌باشد. بنابراین مصرف توان پایین با استفاده از مقاومت سری کوچک سلف یا اندوکتانس بزرگ بدست می‌آید که در واقع نشانگر تانک با ضریب کیفیت بالا است.

### ۳-۴-۵ بازه‌ی قفل

محدوده‌ی فرکانسی که نوسان‌ساز می‌تواند با سیگنال تزریقی قفل شود، بازه‌ی قفل<sup>۱</sup> نامیده می‌شود. محدودیت بازه‌ی قفل یکی از نگرانی‌های اصلی در طراحی ILFDها می‌باشد که به پارامترهای مداری بسیاری وابسته است. مطالعات گسترده‌ای روی بازه‌ی قفل در نوسان‌سازهای تزریق-قفل انجام شده است. آدلر<sup>۲</sup> [۲۰] اولین بار به توصیف بازه‌ی قفل پرداخت که رابطه‌ی آن عبارت است از:

$$\left| \frac{\Delta\omega}{\omega_0} \right| \leq \frac{1}{2Q} \frac{V_{inj}}{V_0} \quad (۸-۳)$$

که  $\Delta\omega_0$  محدوده‌ی فرکانسی حول  $\omega_0$  فرکانس نوسان آزاد،  $V_{inj}$  دامنه‌ی سیگنال تزریقی،  $V_0$  دامنه خروجی نوسان‌ساز و  $Q$  ضریب کیفیت مدار تانک می‌باشد. در [۳۳]، عملکرد نوسان‌ساز تزریق-قفل با دیدگاه غیرخطی مطرح شده است و بازه‌ی قفل به صورت تقریبی با رابطه‌ی (۹-۳) بیان شده است.

$$\left| \frac{\Delta\omega}{\omega_0} \right| \leq \frac{H_0 \alpha_2 V_{inj}}{2Q} \quad (۹-۳)$$

<sup>۱</sup> Locking range

<sup>۲</sup> Adler

که  $\omega_0$ ،  $\Delta\omega_0$  و  $Q$  و  $V_{inj}$  همانند معادله قبل است،  $H_0$  امپدانس مدار تانک RLC در فرکانس تشدید و  $\alpha_2$  مربوط به خاصیت غیرخطی ILFD می‌باشند. از رابطه‌ی (۳-۹) می‌توان استنباط کرد که برای داشتن بازه‌ی قفل بزرگتر در یک دامنه تزریق معین، نسبت  $\frac{H_0}{Q}$  بایستی بزرگ باشد، از آنجایی که در نوسان‌سازهای LC رابطه‌ی  $\frac{H_0}{Q} = L\omega$  برقرار است برای داشتن بازه‌ی قفل بزرگ در صورت امکان بایستی از القاگرهای بزرگ استفاده کرد. اما نکته‌ی اساسی که باید به آن توجه کرد این است که برای داشتن بازه‌ی قفل ماکزیمم نمی‌توان القاگر مدار تانک را تا هر اندازه‌ی دلخواهی بزرگ کرد زیرا توان مصرفی زمانی کاهش می‌یابد که  $H_0 = QL\omega$  ماکزیمم باشد. از این رو همواره مصالحه‌ای بین بازه‌ی قفل و توان مصرفی در ILFDها وجود دارد.

### ۳-۴-۶ معیار شایستگی (FOM)<sup>۱</sup>

با توجه به پارامترهای مطرح شده که در طراحی یک ILFD اهمیت دارد، معیاری به نام معیار شایستگی تعریف می‌شود که در آن برخی از این بده‌بستان‌ها برهم نرمالیزه شده تا بتوان مقایسه‌ای عادلانه‌تر بین تقسیم‌کننده‌های فرکانسی انجام داد [۳۴، ۳۵] یکی از متداول‌ترین ضرایب شایستگی که در مقالات متعدد مورد استفاده قرار می‌گیرد به صورت زیر تعریف می‌گردد [۳۴، ۱].

$$FOM = \frac{\Delta f_{LR}(GHz)}{P_{diss}(mW)} \quad (۱۰-۳)$$

<sup>۱</sup> Figure of Merit



که در آن  $\Delta f_{LR}$  محدوده‌ی فرکانسی بازه‌ی قفل بر حسب گیگاهرتز و  $P_{diss}$  بر حسب میلی‌وات، توان مصرفی ILFD می‌باشد. یکی دیگر از FOM‌هایی که به جهت مقایسه عملکرد ILFD‌ها مورد استفاده قرار می‌گیرد و پارامترهای بیشتری را لحاظ کرده است در رابطه (۱۱-۳) بیان شده است [۳۶].

$$FOM = \frac{LR(\text{Percent})}{P_{diss}(mW) \times P_{inj}(mW)} \quad (11-3)$$

که در آن LR برابر است با:

$$LR = \frac{\Delta f}{f_{inj0}} = \frac{2(f_{inj(max)} - f_{inj(min)})}{f_{inj(max)} + f_{inj(min)}} \times 100 \quad (12-3)$$

و  $P_{inj}$  توان سیگنال تزریقی،  $P_{diss}$  توان مصرفی کل مدار و  $f_{inj}$  فرکانس سیگنال تزریق شده می‌باشد.

در مقالات معیاری که در آن نویزفاز ILFD در آن لحاظ شده باشد، بیان نشده است و از آنجا

که کار اصلی در این پایان‌نامه بهبود نویزفاز ILFD است لازم است که ضریب شایستگی تعریف گردد

که علاوه بر پارامترهای اساسی تقسیم‌کننده‌ی فرکانسی، نویزفاز نیز در آن مطرح شده باشد از این رو

ضریب شایستگی پیشنهادی به صورت زیر تعریف می‌گردد:

$$FOM = L\{\Delta\omega\} + 10 \log\left(\frac{P_{diss}}{1mW}\right) + 10 \log\left(\frac{P_{inj}}{1mW}\right) - 20 \log\left(\frac{f_{out}}{\Delta f}\right) - 20 \log\left(\frac{LR\%}{10}\right) \quad (13-3)$$

که در آن  $L\{\Delta\omega\}$  نویزفاز ILFD و  $\Delta f$  محدوده‌ی فرکانسی حول  $f_{out}$  فرکانس نوسان تقسیم‌کننده

می‌باشد.

## ۳-۵ تکنیک‌های تزریق سیگنال در LC-ILFD

تقسیم‌کننده‌های تزریق- قفل، به وسیله همزمان کردن یک نوسان‌ساز با سیگنال تزریقی کار می‌کند. با توجه به نسبت فرکانس تزریق به فرکانس نوسان، سه دسته نوسان‌ساز تزریق قفل تعریف می‌گردد: نوسان‌ساز تزریق-قفل هارمونی اول، زیرهارمونی، هارمونی بالا. در یک نوسان‌ساز تزریق-قفل هارمونی اول، فرکانس نوسان همان فرکانس پایه سیگنال تزریقی می‌باشد [۲۰] در صورتی که در یک نوسان‌ساز تزریق-قفل زیرهارمونی، فرکانس تزریق کسری از فرکانس نوسان است و در یک نوسان‌ساز تزریق-قفل هارمونی بالا، فرکانس تزریق، هارمونی از فرکانس نوسان نوسان‌ساز است.

در LC-ILFDها به علت وجود خاصیت فیلترینگ مدار تانک، هارمونی‌های ناخواسته به طور چشمگیری کاهش می‌یابد از این رو نویزفاز مدار بهتر خواهد شد. همچنین LC-ILFDها قابلیت کار در فرکانس‌های بالاتری را نسبت به دیگر تقسیم‌کننده‌های فرکانسی دارند و توان مصرفی آنها نیز نسبت به دیگر تقسیم‌کننده‌های فرکانسی کمتر خواهد بود.

در این بخش به روش‌های متداولی که تا به امروز برای تزریق سیگنال در LC-ILFDها با نسبت‌های تقسیم بردو و تقسیم برسه مورد استفاده قرار گرفته است، می‌پردازیم و مزایا و معایب هر کدام را بیان خواهیم کرد.

### ۳-۵-۱ تکنیک‌های تزریق سیگنال در LC-ILFD ها با نسبت تقسیم دو

در LC-ILFD ها با نسبت تقسیم بردو روش‌های متفاوتی وجود دارد که می‌توان آن‌ها را به دو دسته کلی تزریق مستقیم<sup>۱</sup> (تزریق به تانک<sup>۲</sup>) و تزریق غیر مستقیم<sup>۳</sup> (تزریق به ترانزیستور دنباله<sup>۴</sup>) تقسیم بندی کرد. در ادامه هر کدام از این روش‌ها را جداگانه بررسی خواهیم کرد.

### ۳-۵-۱-۱ تکنیک تزریق غیر مستقیم

شکل ۳-۸ یک ساختار رایج برای تقسیم‌کننده‌ی فرکانسی تزریق-قفل را نشان می‌دهد. در این ساختار سیگنال تزریقی به گیت ترانزیستور  $M_{tail}$  تزریق می‌گردد و این ترانزیستور، سیگنال را به اتصال سورس مشترک ترانزیستورهای  $M_1$  و  $M_2$  انتقال می‌دهد که سیگنال خروجی به گیت‌های  $M_1$  و  $M_2$  فیدبک می‌گردد. اتصال مشترک  $M_1$  و  $M_2$  حتی در نبود سیگنال تزریقی، با دو برابر فرکانس سیگنال خروجی نوسان می‌کند که این گره را جهت عمل تقسیم بر دو، گره‌ای مناسب برای تزریق می‌سازد. ایراد اساسی این ساختار را می‌توان در خازن بزرگ ورودی ( دیده شده از گیت ترانزیستور  $M_{tail}$ ) و بازه‌قفل کوچک دانست. ایراد مذکور در این ساختار، از این واقعیت ناشی می‌شود که ترانزیستور  $M_{tail}$  باید با یک عرض بزرگ جانمایی شود تا جریان مستقیم و ترانسانایی ورودی را تامین کند.

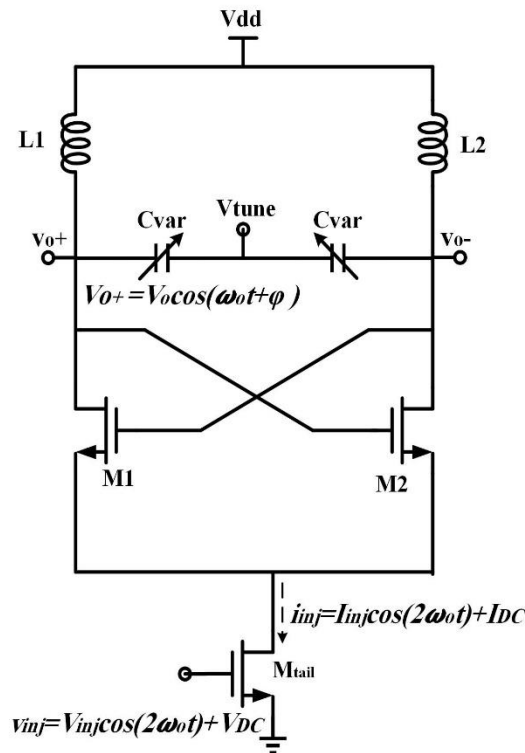
---

<sup>۱</sup> Direct-Injection

<sup>۲</sup> Tank-Injection

<sup>۳</sup> Indirect-Injection

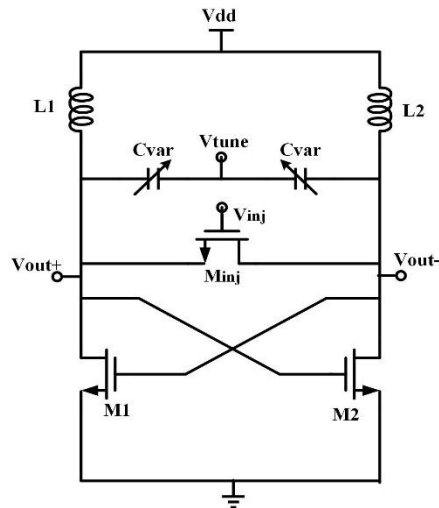
<sup>۴</sup> Tail-Injection



شکل ۳-۸. ساختار یک LC-ILFD نسبت دو با روش تزریق غیرمستقیم [۱]

### ۳-۵-۱-۲ تکنیک تزریق مستقیم

در ILFDهای با نسبت تقسیم بر دو، روش تزریق مستقیم یکی از روش‌های تزریق متداول می‌باشد. شکل ۳-۹ یک ساختار متداول برای تزریق سیگنال به صورت مستقیم به تانک LC را نشان می‌دهد [۳۷]. در این روش سیگنال تزریقی از طریق ترانزیستور افزوده شده  $M_{inj}$  به نوسان‌ساز اعمال می‌شود، که بین دو گره خروجی قرار گرفته است. ترانزیستور  $M_{inj}$  به عنوان یک سوئیچ عمل می‌کند که می‌تواند از نوع NMOS یا PMOS باشد. در شرایط مناسب تزریق، سیگنال خروجی نوسان‌ساز در سیگنال تزریق شده، قفل می‌شود، به صورتی که فرکانس سیگنال ورودی مضرب صحیحی از فرکانس سیگنال خروجی خواهد بود. این ساختار بهبودیافته با تزریق مستقیم به علت تزریق سیگنال از طریق



شکل ۳-۹. ساختار یک LC-ILFD نسبت دو با روش تزریق مستقیم [۳۷]

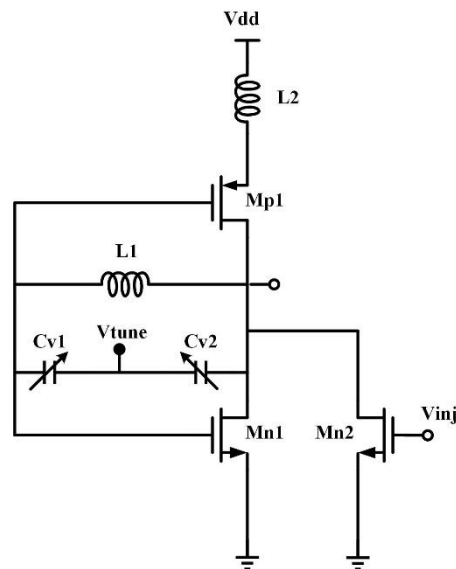
ترانزیستور افزوده شده  $M_{inj}$  کارآمدتر شده و همچنین با نداشتن هیچ‌گونه کارکرد بایاس، اندازه آن کوچکتر از ترانزیستور  $M_{tail}$  در شکل ۳-۸ می‌باشد. از معایب این روش تغییر در مدار تانک به خاطر اضافه شدن عناصر پارازیتیک ترانزیستور  $M_{inj}$  است که می‌تواند بر روی  $Q$ ، نویزفاز و حتی گستره‌ی تنظیم فرکانسی نیز تاثیرگذار باشد.

### ۳-۵-۲ تکنیک‌های تزریق سیگنال در LC-ILFDها با نسبت تقسیم سه

LC-ILFDهای با نسبت تقسیم سه را می‌توان به دو دسته کلی تقسیم کرد: ورودی/خروجی تک-تک و ورودی/خروجی تفاضلی. یک نمونه از تقسیم‌کننده فرکانسی تزریق-قفل با ورودی تک-تک در شکل ۳-۱۰ نشان داده شده است [۳۸]. روش‌های مختلفی برای تزریق سیگنال در LC-ILFDهای با ورودی تفاضلی ارائه شده است که سه روش متداول آن عبارت است از: تزریق سری، تزریق موازی،

تزریق مستقیم. در ادامه به بررسی هر کدام از این روش‌ها پرداخته و ویژگی‌های هر کدام بیان خواهد

شد.



شکل ۳-۱۰. یک ILFD نسبت سه با ورودی/خروجی تک-سر [۳۸]

### ۳-۲-۵-۱ تکنیک تزریق سری

یک ساختار LC-ILFD با ورودی/خروجی تفاضلی در شکل ۳-۱۱ نشان داده شده است. در این

ساختار برای تزریق سیگنال به صورت تفاضلی از تکنیک تزریق سری استفاده شده است [۳۹]، که در

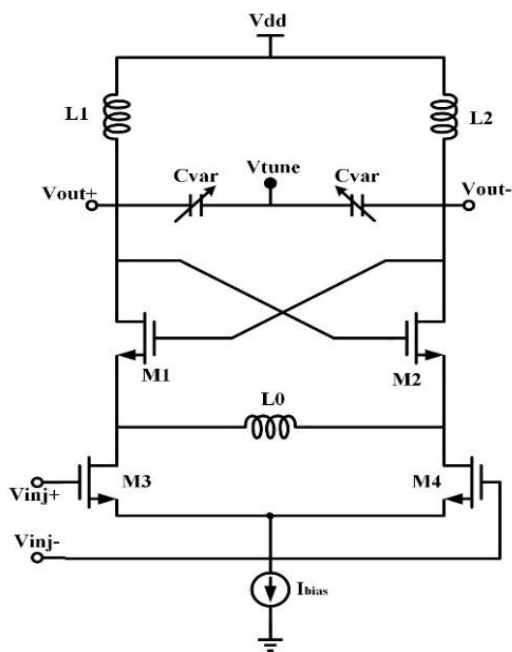
ساختار ارائه شده، ترانزیستورهای تزریق به صورت سری با ترانزیستورهای اتصال-ضربداری قرار گرفته

است. در این روش ترانزیستورهای تزریق نیاز به جریان بایاس اضافی ندارند که این امر سبب کاهش

توان مصرفی در LC-ILFD می‌گردد. از جمله معایب این روش می‌توان به عدم پیاده‌سازی در ولتاژهای

پایین به علت روی هم قرار گرفتن ترانزیستورهای تزریق و ترانزیستورهای سوئیچینگ، کاهش سوئیچینگ

خروجی و بازه‌ی تنظیم فرکانسی کم اشاره کرد.



شکل ۳-۱۱. ساختار یک LC-ILFD نسبت سه با روش تزریق سری [۳۹]

### ۳-۲-۵-۲ تکنیک تزریق موازی

یک تکنیک دیگر برای تزریق سیگنال در LC-ILFDها، تزریق موازی می‌باشد. شکل ۳-۱۲ با

استفاده از تکنیک تزریق موازی پیاده‌سازی شده است [۴۰]، که در این مدار ترانزیستورهای تزریق به

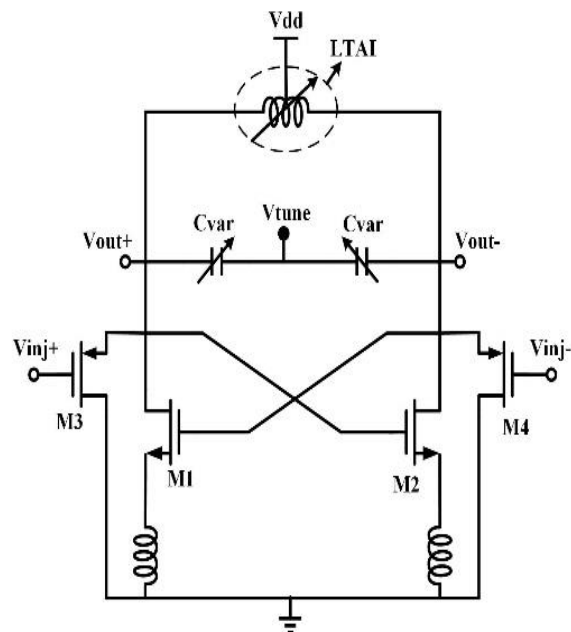
صورت موازی با خروجی قرار گرفته است. در این مدار عمل تقسیم بر سه با تزریق سیگنال به گیت‌های

ترانزیستورهای تزریق انجام می‌شود. ترانزیستورهای تزریق می‌توانند از نوع PMOS یا NMOS باشند و

مزیت استفاده از ترانزیستور PMOS نسبت به ترانزیستور NMOS نویز فلیکرها کمتر می‌باشد. یکی از

معایب این روش آن است که ترانزیستورهای تزریق یک مسیر اضافی برای عبور جریان ایجاد می‌کنند

که این امر سبب افزایش توان مصرفی مدار می‌شود.



شکل ۳-۱۲. ساختار یک LC-ILFD نسبت سه با روش تزریق موازی [۴۰]

برای درک بهتر چگونگی عمل تقسیم بر سه در این مدار بایستی ابتدا حالتی را در نظر گرفت که

سیگنالی به مدار تزریق نشده باشد. خاصیت غیرخطی ترانزیستورهای اتصال-ضربدری ( $M_1, M_2$ ) باعث

به وجود آمدن هارمونی‌های  $\omega_0$  و  $2\omega_0$  می‌گردد. جریان درین ترانزیستور  $M_1$  را می‌توان با استفاده از

بسط تیلور به صورت زیر نوشت:

$$i_{DS} = I_{dc} + g_m v_{gs} + \frac{g_m^1}{2!} v_{gs}^2 + \frac{g_m^2}{3!} v_{gs}^3 + \dots \quad (۱۴-۳)$$



که  $g_m^n$  ترانسانایی مرتبه  $n$ م نسبت به  $v_{gs}$  و  $I_{dc}$  مولفه‌ی جریان dc می‌باشد. حال اگر ولتاژ گیت-

سورس ( $v_{gs}$ ) را با  $V_{GS} \cos(\omega t)$  نشان دهیم، رابطه به صورت زیر بدست می‌آید:

$$i_{DS} = c_0 + c_1 \cos(\omega_0 t) + c_2 \cos(2\omega_0 t) + \dots \quad (15-3)$$

$$c_0 = I_{dc} + \frac{g_m^1}{4} v_{gs}^2 \cdot c_1 = g_m v_{gs} \cdot c_2 = \frac{g_m^1}{4} v_{gs}^2 \quad (16-3)$$

به منظور سادگی از جملات بالاتر، صرف نظر می‌شود و از طرفی ولتاژ درین از حاصلضرب جریان درین

در امپدانس بار حاصل می‌گردد، ولتاژ خروجی را می‌توان به صورت زیر نوشت:

$$V_0^+ = V_0 + V_1 \cos(\omega_0 t) + V_2 \cos(2\omega_0 t) + V_3 \cos(3\omega_0 t) + V_4 \cos(4\omega_0 t) + \dots \quad (17-3)$$

که  $V_i = C_i Z_L$  و  $i=1,2,3,\dots,n$  امپدانس بار می‌باشند.

همچنین ولتاژ درین ترانزیستور  $M_2$  را می‌توان به صورت رابطه‌ی (۱۸-۳) نوشت.

$$V_0^- = V_0 - V_1 \cos(\omega_0 t) + V_2 \cos(2\omega_0 t) - V_3 \cos(3\omega_0 t) + V_4 \cos(4\omega_0 t) + \dots \quad (18-3)$$

در ناحیه خطی برای یک ترانزیستور ماسفت رابطه‌ی جریان برحسب ولتاژ عبارت است از:

$$I_{ds} = \mu C_{ox} \frac{W}{L} \left[ (V_{gs} - V_T) V_{ds} - \frac{V_{ds}^2}{2} \right] (1 + \lambda_t V_{ds}) \quad (19-3)$$

که در رابطه‌ی بالا  $\mu$  قابلیت تحرک،  $C_{ox}$  خازن اکسید،  $\frac{W}{L}$  نسبت طول به عرض ترانزیستور،  $V_T$  ولتاژ

آستانه‌ی ترانزیستور و  $\lambda_t$  ضریب مدولاسیون کانال می‌باشند. در ناحیه‌ی خطی و در  $V_{ds}$  های کوچک،

جریان سیگنال کوچک درین ترانزیستورهای M<sub>3</sub> و M<sub>4</sub> را می‌توان به صورت رابطه‌ی (۲۰-۳) بیان کرد:

$$i_{ds} = \mu C_{ox} \frac{W}{L} [v_{gs} V_{ds}] \quad (20-3)$$

در صورتی که سیگنال تزریق شده،  $V_{RF} \cos(\omega_{RF} t)$  با دامنه‌ی  $V_{RF}$  و فرکانس  $\omega_{RF}$  باشد، با استفاده

از روابط (۱۷-۳) و (۲۰-۳) می‌توان جریان‌های درین ترانزیستورهای تزریق را به صورت روابط زیر نوشت:

$$i_{inj}^+ = \mu C_{ox} \frac{W}{L} V_{RF} \cos(\omega_{RF} t) \times [V_0 + V_1 \cos(\omega_0 t) + V_2 \cos(2\omega_0 t) + V_3 \cos(3\omega_0 t) + V_4 \cos(4\omega_0 t) + \dots] \quad (21-3)$$

$$i_{inj}^- = -\mu C_{ox} \frac{W}{L} V_{RF} \cos(\omega_{RF} t) \times [V_0 - V_1 \cos(\omega_0 t) + V_2 \cos(2\omega_0 t) - V_3 \cos(3\omega_0 t) + V_4 \cos(4\omega_0 t) + \dots] \quad (22-3)$$

از روابط فوق، جریان خروجی خالص ترانزیستورهای تزریق بدست می‌آید که عبارت است از:

$$i_{inj}^+ - i_{inj}^- = 2\mu C_{ox} \frac{W}{L} V_{RF} \cos(\omega_{RF} t) \times [V_0 + V_2 \cos(2\omega_0 t) + V_4 \cos(4\omega_0 t) + \dots] \quad (23-3)$$

از رابطه بالا می‌توان ملاحظه کرد مدار شامل دو مولفه‌ی فرکانسی می‌باشد که مولفه‌ی فرکانس پایین

$\omega_{RF} - 2\omega_0$  در خروجی ظاهر می‌گردد و مولفه‌ی فرکانس بالا  $\omega_{RF} + 2\omega_0$  توسط تانک LC فیلتر

می‌گردد. از این رو رابطه‌ی فرکانس ورودی و خروجی به صورت  $\omega_{RF} - 2\omega_0 = \omega_0$  بدست می‌آید و یا

به عبارت دیگر  $\omega_0 = \frac{\omega_{RF}}{3}$  که به معنای انجام عمل تقسیم بر سه می‌باشد.

تقسیم‌کننده ارائه شده قابلیت تقسیم فرکانسی با نسبت دو را نیز دارا می‌باشد. برای تقسیم با

نسبت دو کافی است به جای تزریق سیگنال تفاضلی، سیگنالی تزریقی تک-سر به گیت‌های

ترانزیستورهای تزریق اعمال گردد. از این رو جریان‌های تزریقی در خروجی‌ها، با استفاده از تزریق

تک-سر به صورت زیر خواهد بود:

$$i_{inj}^+ = \mu C_{ox} \frac{W}{L} V_{RF} \cos(\omega_{RF} t) \times [V_0 + V_1 \cos(\omega_0 t) + V_2 \cos(2\omega_0 t) + V_3 \cos(3\omega_0 t) + V_4 \cos(4\omega_0 t) + \dots] \quad (24-3)$$

$$i_{inj}^- = \mu C_{ox} \frac{W}{L} V_{RF} \cos(\omega_{RF} t) \times [V_0 - V_1 \cos(\omega_0 t) + V_2 \cos(2\omega_0 t) - V_3 \cos(3\omega_0 t) + V_4 \cos(4\omega_0 t) + \dots] \quad (25-3)$$

و در نهایت برای جریان تزریقی تک-سر خواهیم داشت:

$$i_{inj}^+ - i_{inj}^- = 2\mu C_{ox} \frac{W}{L} V_{RF} \cos(\omega_{RF} t) \times [V_1 \cos(\omega_0 t) + V_3 \cos(3\omega_0 t) + \dots] \quad (26-3)$$

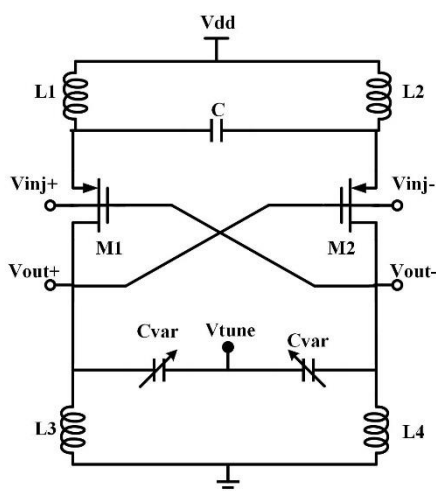
از رابطه‌ی بالا می‌توان دریافت که خروجی حاوی مولفه‌ی فرکانس پایین  $\omega_{RF} - \omega_0$  می‌باشد و مولفه‌ی

فرکانس بالا توسط تانک LC فیلتر می‌گردد. بدین ترتیب  $\omega_{RF} - \omega_0 = \omega_0$  یا  $\frac{\omega_{RF}}{2} = \omega_0$  می‌باشد که

به معنای تحقق یک عمل تقسیم بر دو می‌باشد.

### ۳-۲-۵-۳ تکنیک تزریق از طریق بالک

در تقسیم‌کننده ارائه شده در [۴۱]، سیگنال به زیرلایه (بالک) ترانزیستورهای اتصال-ضربداری تزریق شده است، این تکنیک تزریق که در شکل ۳-۱۳ نشان داده شده است، زیرمجموعه‌ی تزریق موازی تلقی می‌شود. در روش تزریق سری، ترانزیستورهای تزریق به صورت سری با ترانزیستورهای اتصال-ضربداری واقع شده‌اند که این امر سبب محدودیت مینیمم ولتاژ تغذیه مورد نیاز برای عملکرد صحیح مدار می‌گردد. در تکنیک تزریق موازی ترانزیستورهای تزریق، موازی با ترانزیستورهای اتصال-ضربداری می‌باشند که این امر باعث می‌شود مدار توانایی کار در ولتاژهای تغذیه کم را دارا باشد [۴۰]. اما ترانزیستورهای تزریق یک مسیر اضافی برای عبور جریان ایجاد کرده‌اند که باعث افزایش توان مصرفی ILFD می‌شود. در روش ارائه شده در [۴۱]، ترانزیستور اضافی برای تزریق استفاده نمی‌گردد از این رو تزریق از طریق بالک، محدودیتی برای کار در ولتاژهای پایین ایجاد نکرده و همچنین مسیر اضافه

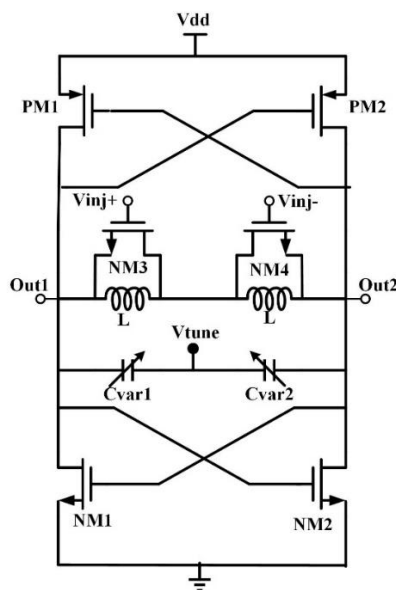


شکل ۳-۱۳. ساختار یک LC-ILFD نسبت سه با روش تزریق به بالک [۴۱]

عبور جریان، آن چه که در تزریق موازی وجود دارد، نیز حذف شده است که سبب می‌گردد توان اضافی بر مدار تحمیل نگردد. قابل ذکر است با وجود مزایای نام برد شده مشکل اساسی این مدار حساسیت بیشتر آن به نویز زیرلایه می‌باشد که بایستی در layout آن تمهیداتی اندیشیده شود.

### ۳-۵-۲-۴ تکنیک تزریق مستقیم

روش دیگری که برای تزریق تفاضلی با نسبت تقسیم بر سه در ILFD وجود دارد، تزریق مستقیم می‌باشد. روش پیشنهاد شده در [۴۲]، که در شکل ۳-۱۴ نشان داده شده است شامل یک تانک LC است که در آن دو ماسفت (برای تزریق) به صورت موازی با القاگرهای مدار تشدید قرار گرفته است. جریان تزریقی در این مدار به صورت تفاضلی است و شامل مولفه‌ی فرکانس بالای  $(\omega_{inj} - 2\omega_0)$  می‌باشد که رابطه‌ی  $\omega_0 = \frac{\omega_{inj}}{3}$  را نتیجه می‌دهد و سبب عمل تقسیم با نسبت سه می‌شود. مولفه‌ی



شکل ۳-۱۴. ساختار یک LC-ILFD نسبت سه با روش تزریق مستقیم [۴۲]

فرکانس بالای دیگر،  $(\omega_{inj} + 2\omega_0)$  می‌باشد که توسط تانک LC فیلتر می‌گردد. یکی از مزایای روش تزریق مستقیم که به آن می‌توان اشاره کرد این است که ترانزیستورهای تزریق و اتصال-ضربداری روی هم قرار نگرفته‌اند که سبب می‌شود محدودیتی برای کاهش ولتاژ تغذیه مدار، همانند آنچه که در تزریق سری وجود دارد، ایجاد نگردد. همچنین ترانزیستورهای تزریق مسیر جریان اضافه‌ای به نوسان‌ساز اضافه نمی‌کنند که خود باعث کاهش توان مصرفی می‌گردد. اما یکی از معایب اصلی این مدار آن است که ترانزیستورهای تزریق، موازی با مدار تانک هستند، که سبب کاهش ضریب کیفیت تانک LC و در نتیجه افزایش توان مصرفی به خاطر افزایش تلفات مدار تانک و همچنین افزایش نویزفاز می‌گردد.



## **فصل چهارم**

**تقسیم‌کننده‌های فرکانسی پیشنهادی مبتنی بر نوسان‌ساز**

**کولپیتس و معیار تزریق-قفل**



## ۴-۱ مقدمه

در فصل قبل، روش‌های مختلفی برای تزریق سیگنال در یک ILFD با نسبت تقسیم دو و سه معرفی شد. برای تزریق تک-سر با نسبت دو، روش‌های تزریق مستقیم و تزریق غیرمستقیم و برای تزریق تفاضلی با نسبت سه، روش‌های تزریق سری، موازی و مستقیم بحث شد و نیز معایب و مزایای هر روش تزریق بیان گردید.

ابتدا در این فصل به معیار قفل‌شدگی در کارهای گذشته می‌پردازیم و معایب آن معیارها را بیان می‌کنیم، سپس برای رفع این مشکل معیار پیشنهادی جدیدی را بیان خواهیم کرد. در ادامه دو روش جدید برای تزریق سیگنال ارائه شده است که یکی قابلیت تقسیم بر دو و دیگری قابلیت تقسیم بر سه را خواهد داشت. هسته مدار پیشنهادی، از نوع کولپیتس می‌باشد که سبب می‌شود مدار در کلاس C نوسان کند. در روش پیشنهادی اول برای حصول نسبت تقسیم سه، سیگنال‌های تفاضلی از طریق بالک ترانزیستورهای اتصال-ضربداری تزریق شده است، در صورتی که سیگنال ورودی به صورت تک-سر تزریق شود این مدار قابلیت تقسیم با نسبت دو را نیز دارا است. در روش پیشنهادی دوم سیگنال ورودی تک-سر از طریق گره‌ی میانی خازن‌های کولپیتس، به مدار تزریق شده است که نسبت تقسیم فرکانسی دو حاصل می‌گردد. آنچه قابل توجه است این است که در هر دو روش ارائه شده از هیچ المان اضافه‌ای

برای تزریق استفاده نشده است. مدارات پیشنهادی با استفاده از نرم افزار ADS و در تکنولوژی

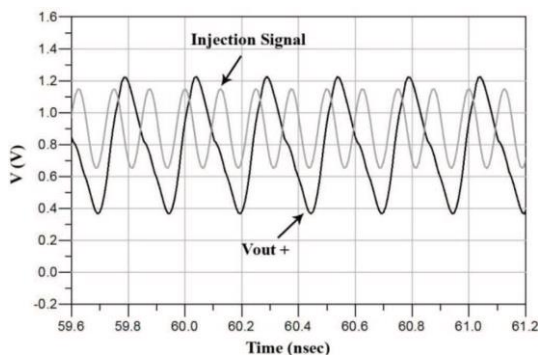
CMOS-RF 0.18 $\mu$ m شبیه سازی شده اند.

## ۴-۲ معیارهایی برای تشخیص قفل شدن ILFD

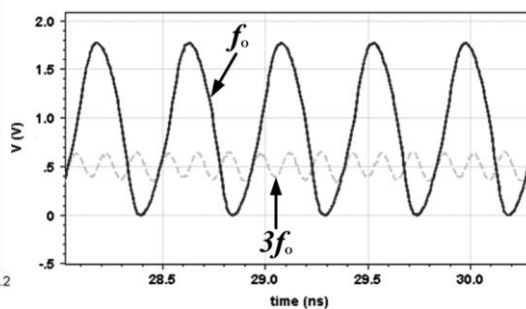
قبل از آن که به توصیف مدار و نتایج شبیه سازی پردازیم، ابتدا لازم است درک کنیم چگونه می توان دریافت که آیا مدار تزریق-قفل به درستی کار می کند و عمل تقسیم، صحیح انجام می شود. در مقالات مختلف ILFD تاکنون به طور صریح به این موضوع پرداخته نشده است که چگونه می توان دریافت مدار مقسم فرکانسی، قفل شده است و به درستی عمل تقسیم را انجام می دهد. در این پایان نامه به این موضوع پرداخته و این مشکل را حل خواهیم کرد. در این بخش ابتدا به دو معیاری که بیشتر مقالات از آن استفاده کرده اند می پردازیم و سپس در نهایت معیار پیشنهادی خود را بیان خواهیم کرد.

### ۴-۲-۱ معیار اول: با استفاده از شکل موج های تزریقی و خروجی مدار

معیار ابتدایی و اولیه برای تشخیص قفل شدگی، با استفاده از شکل موج های تزریقی و خروجی ILFD در تحلیل گذرا می باشد. تعدادی از مقالات [۲۹، ۴۳-۴۵] با استفاده از این روش به تشخیص نسبت تقسیم و قفل شدن مدار می پردازند. در شکل ۴-۱ شکل موج خروجی ILFD در حوزه ی زمان ارائه شده در بعضی از مقالات را مشاهده می کنید.



(ب)



(الف)

شکل ۴-۱. شکل موج خروجی ILFD (الف) با نسبت تقسیم سه [۲۹] (ب) با نسبت تقسیم دو [۴۵] در حوزه‌ی

زمان

در شکل موج زمانی خروجی ILFD، اگر مقسم فرکانسی به درستی قفل شده باشد در تمام بازه‌ی

زمانی یک اختلاف فاز ثابت و نسبت تقسیم ثابتی را نسبت به سیگنال تزریقی ورودی خواهد داشت. اما

نکته‌ای که در شکل موج زمانی وجود دارد آن است که حتی در زمانی که ILFD کاملاً قفل نشده باشد

نیز ممکن است در چند دوره تناوب این اختلاف فاز ثابت دیده شود ولی به دلایل مختلف نظیر نویز، در

بازه‌های زمانی دیگر میزان اختلاف فاز تغییر نموده و در نتیجه تقسیم‌کننده دائماً بین دو حالت قفل و

عدم قفل تغییر وضعیت می‌دهد، که بررسی آن در کل بازه‌ی زمانی کاری بسیار مشکل است. بنابراین

عیب اصلی این روش این است که نمی‌توان بازه‌ی قفل را به درستی تشخیص داد، از این جهت که تا

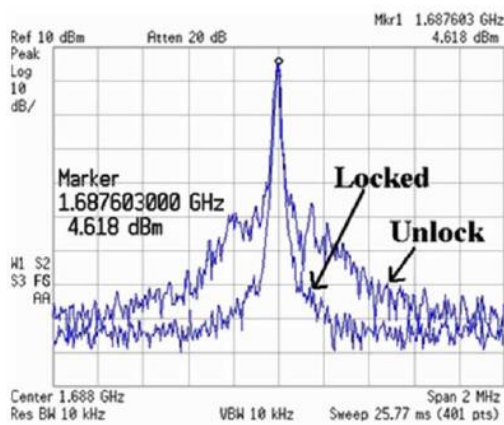
حدودی خارج از محدوده‌ی فرکانسی که مدار قفل نیست، نسبت تقسیم به درستی انجام می‌شود و به

اشتباه بازه‌ی نسبت تقسیم را بازه‌ی قفل در نظر می‌گیرند. از این رو نمی‌توان با استفاده از این روش به

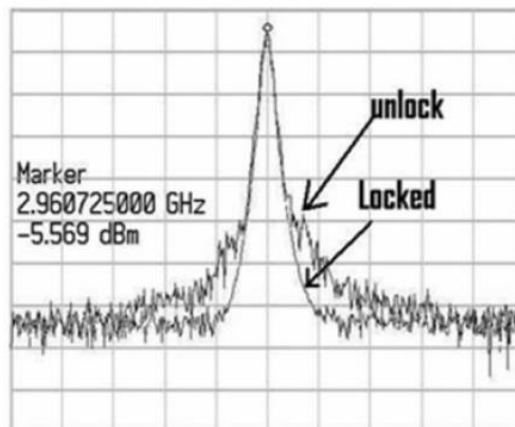
مرز دقیقی از قفل یا عدم قفل ILFD پی برد.

## ۴-۲-۲ معیار دوم: با استفاده از طیف خروجی ILFD

معیار اصلی که بسیاری از مقالات [۲۹، ۳۵، ۳۸] برای تشخیص قفل یا عدم قفل بودن از آن استفاده می‌کنند مشاهده طیف خروجی ILFD می‌باشد. بدین صورت که اگر طیف خروجی مدار در حالت قفل، تمیزتر باشد و از مولفه‌های جعلی<sup>۱</sup> کمتری حول فرکانس مرکزی ILFD برخوردار باشد می‌توان گفت که مدار قفل است و نسبت تقسیم به درستی انجام می‌شود. در شکل ۴-۲ طیف خروجی ILFD دو مقاله متفاوت برای هر دو حالت قفل و غیر قفل نشان داده شده است.



(ب)



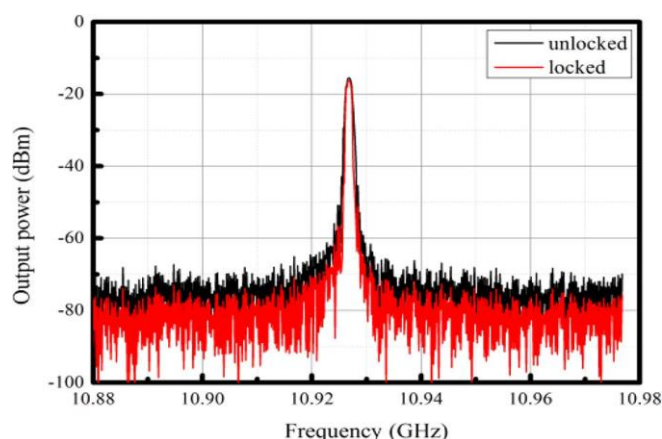
(الف)

شکل ۴-۲. طیف خروجی ILFD (الف) با نسبت تقسیم دو [۳۸] (ب) با نسبت تقسیم دو [۲۹]

همان‌طور که در شکل بالا مشاهده می‌شود خروجی ILFD در حالت قفل نسبت به عدم قفل از طیف فرکانسی تمیزتر با مولفه‌های جعلی بسیار کمتری در اطراف فرکانس قفل برخوردار است و سطح مولفه‌های جعلی آن به شدت کاهش یافته است. اما ایراد اصلی این معیار این است که میزان کاهش

<sup>۱</sup> Spur

مولفه‌های جعلی چقدر باشد تا از قفل شدن مدار و انجام تقسیم فرکانسی توسط آن مطمئن باشیم. در واقع این روش با استفاده از مقایسه تغییرات طیف خروجی در زمان‌های قفل و عدم قفل ILFD و افت مولفه‌های جعلی فرکانسی در حالت قفل نسبت به حالت غیر قفل مدار، پی به قفل بودن مدار می‌برند. که گاهی این تغییرات به حدی کم است که نمی‌توان به درستی آن را تشخیص داد. در شکل ۳-۴ طیف خروجی در [۳۵] نشان داده شده است همان طور که مشاهده می‌شود نمی‌توان تمایزی بین حالت قفل و غیرقفل آن قائل شد.



شکل ۳-۴. طیف خروجی ILFD با نسبت تقسیم دو [۳۵]

## ۳-۲-۴ معیار سوم: معیار پیشنهادی مبتنی بر لیسازر ورودی-خروجی

برای رفع معایب معیارهای عنوان شده، با استفاده از منحنی‌های لیسازر، معیاری جدید برای قفل شدگی در ILFD مطرح می‌کنیم که علاوه بر رفع معایب عنوان شده، دارای مزایای دیگری نیز می‌باشد. در ابتدا توضیحی در مورد منحنی لیسازر داده می‌شود سپس به کاربرد آن در مدار ILFD می‌پردازیم.

## ۴-۲-۳-۱ منحنی لیسائر [۴۶]

منحنی لیسائر که به آن شکل لیسائر یا منحنی باودیچ<sup>۱</sup> نیز گفته می‌شود، گرافی است از یک

سیستم که معادلات پارامتری آن به صورت زیر تعریف می‌شود:

$$x = A \sin(at + \delta) \quad (۱-۴)$$

$$y = B \sin(bt) \quad (۲-۴)$$

که  $a$  و  $b$  فرکانس زاویه‌ای،  $\delta$  اختلاف فاز،  $A$  و  $B$  دامنه‌ی موج و  $x$  و  $y$  محورهای افقی و عمودی در

مختصات کارتزین هستند که روابط بالا حرکت هارمونی مختلط را توصیف می‌کند.

ظاهر منحنی‌های لیسائر به شدت به نسبت فرکانس دو موج یعنی  $\frac{a}{b}$  حساس است و برای نسبت

یک، شکل به صورت یک بیضی است که در مواردی که  $A = B \cdot \delta = \frac{\pi}{2} \text{ radians}$  به شکل دایره خواهد

بود. نسبت‌های دیگر، شکل‌های پیچیده‌تری را به وجود می‌آورند که اگر  $\frac{a}{b}$  مقادیری صحیح باشد، به

صورت یک حلقه بسته خواهد بود. در شکل ۴-۴ می‌توان منحنی‌های مختلف با نسبت‌های مختلف را

مشاهده کرد.

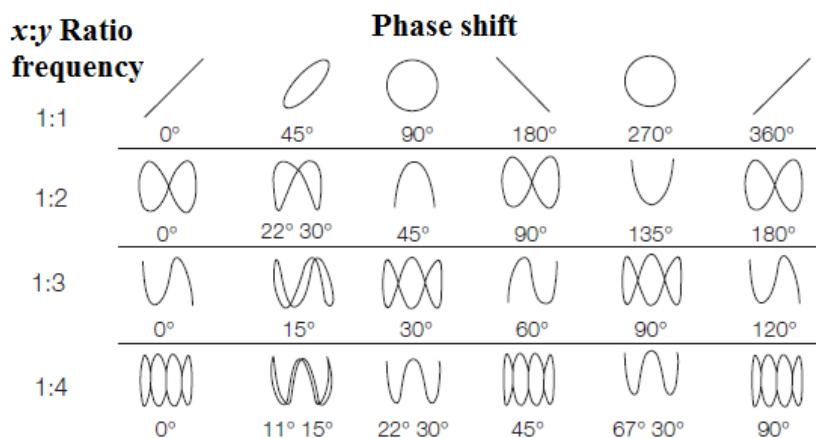
همان‌طور که در شکل ۴-۴ ملاحظه می‌شود آنچه نمای کلی یک منحنی لیسائر را می‌سازد و

بیشترین تاثیر در شکل کلی آن دارد نسبت فرکانس‌های سیگنال و اختلاف فاز آن‌ها می‌باشد. که به

---

<sup>۱</sup> Bowditch

این دو، یعنی نسبت فرکانس‌ها می‌تواند همان نسبت تقسیم در ILFD و اختلاف فاز نیز اختلاف فاز پس از قفل شدن باشد.



شکل ۴-۴. منحنی لیسازر برای زوایا و نسبت‌های a و b های مختلف

## ۴-۲-۳-۲ توصیف معیار پیشنهادی

در روش پیشنهادی که برای درک قفل شدن مدار در نظر گرفته شده است با استفاده از رسم منحنی‌های سیگنال تزریقی نسبت به سیگنال خروجی می‌توان زمانی که ILFD قفل است و همچنین نسبت تقسیم را به درستی فهمید. در واقع در معیار پیشنهادی به جای آن که اختلاف فاز و نسبت تناوب دو سیگنال تزریقی و خروجی ILFD در تمام بازه‌ی زمانی و پریودها، تک به تک اندازه‌گیری شود که عملاً امکان‌پذیر نیست، منحنی لیسازر سیگنال تزریقی بر حسب خروجی را که حاوی اطلاعاتی نظیر نسبت تقسیم و... است در کل بازه‌ی زمانی دلخواه رسم می‌کنیم. آنگاه اگر ILFD قفل شده باشد یک منحنی بسته خواهیم داشت که در تمام پریودهای سیگنال‌های ورودی- خروجی تکرار می‌شود و کاملاً

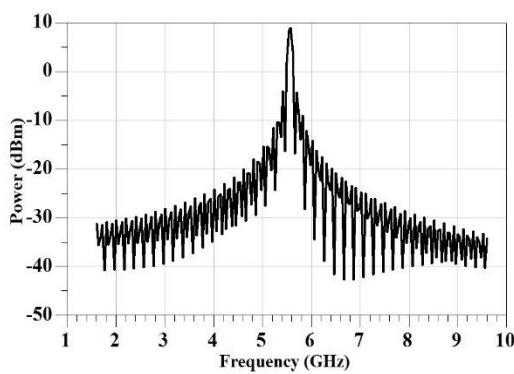
بر هم منطبق هستند. اما اگر ILFD قفل نشده باشد، دائماً نسبت فرکانس ورودی به خروجی و همچنین اختلاف فاز این دو تغییر می‌کند. یعنی در هر پریود از سیگنال‌های ورودی و خروجی، منحنی لیسازری داریم که با پریود بعدی متفاوت است و بنابراین به جای یک منحنی چندین منحنی نامنظم خواهیم داشت یا به عبارت دیگر، منحنی لیسازر دیگر به صورت یک حلقه‌ی بسته واحد نخواهد بود.

حال برای یک ILFD در نظر گرفته شده (ILFD پیشنهادی دوم)، دو معیار بیان شده در مقالات و معیار پیشنهادی را شبیه‌سازی کرده و شکل‌های خروجی هر کدام را رسم می‌کنیم. در این حالت می‌توان مقایسه بهتری بین معیارهای مختلف انجام داد و تفاوت عملکرد هر کدام را بهتر درک کرد. در ادامه برای درک بهتر، شبیه‌سازی را برای سه حالت قفل، غیر قفل و مرز قفل‌شدگی انجام داده و سه معیار قفل‌شدگی را برای هر سه حالت رسم می‌کنیم.

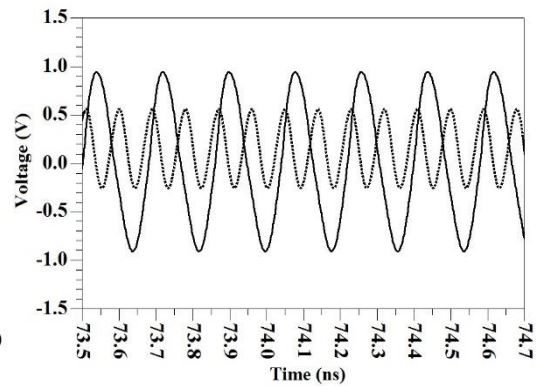
ابتدا شبیه‌سازی‌های مورد نظر را برای حالتی که مدار تقسیم‌کننده کاملاً در حالت قفل است انجام شده است و خروجی‌های مذکور برای هر سه معیار در شکل ۴-۵ نشان داده شده است.

در شکل ۴-۵-الف) همان طور که مشاهده می‌شود در حالت قفل در معیار اول شکل موج خروجی و تزریقی رسم شده است که فرکانس تزریق برابر 11.13 GHz و فرکانس خروجی ILFD برابر 5.564 GHz می‌باشد که نسبت تقسیم بر دو حاصل می‌گردد. در شکل ۴-۵-ب) طیف خروجی ILFD رسم شده است که با استفاده از مولفه‌های جعلی فرکانس حول فرکانس مرکزی ILFD می‌توان اقدام

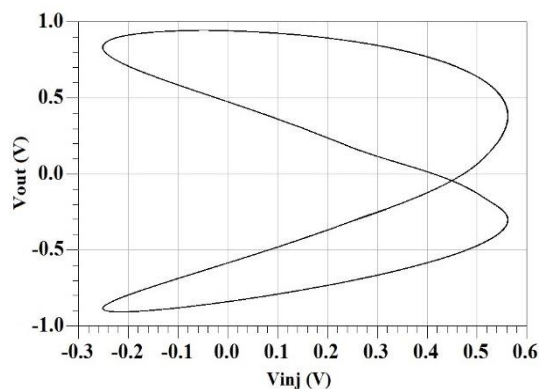




(ب)



(الف)



(ج)

شکل ۴-۵. معیارهای قفل‌شدگی در حالت قفل توسط (الف) شکل موج زمانی خروجی و ورودی (ب) طیف

فرکانس خروجی (ج) و معیار پیشنهادی (منحنی لیسازر)

به تشخیص قفل یا عدم قفل بودن مدار پرداخت. در شکل ۴-۵- (ج) معیار پیشنهادی یعنی منحنی

لیسازر خروجی بر حسب ورودی رسم شده است. همان‌طور که مشاهده می‌شود منحنی شکل ۴-۵- (ج)

به صورت یک حلقه‌ی بسته‌ی واحد است و با گره‌های ایجاد شده در منحنی می‌توان نسبت تقسیم را

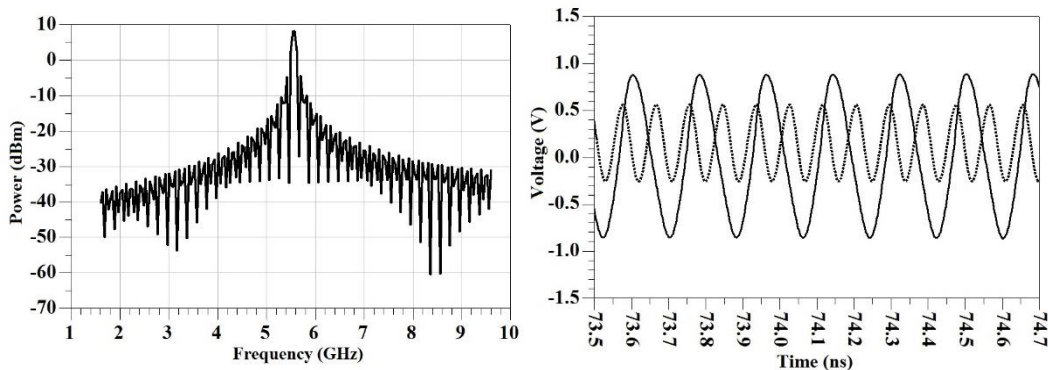
دریافت به طوری که تعداد گره‌ها بعلاوه‌ی یک، نسبت تقسیم حاصل می‌شود. در این شکل یک گره

ایجاد شده است که حاکی از تقسیم با نسبت دو می‌باشد.

در حالت دوم هنگامی که مدار در مرز قفل‌شدگی می‌باشد شبیه‌سازی می‌کنیم. منظور از مرز

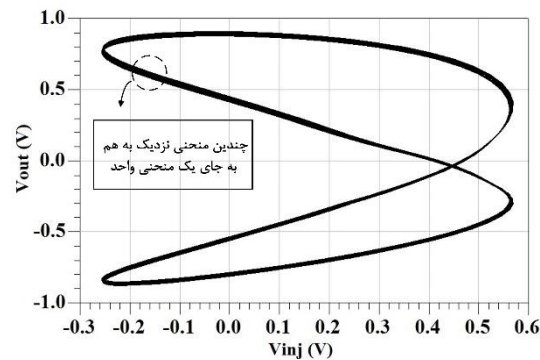
قفل‌شدگی جایی است که در برخی از پرپودها ILFD کاملاً قفل و برخی دیگر از حالت قفل خارج شده

است. در شکل ۴-۶ خروجی‌ها در مرز قفل‌شدگی برای هر سه معیار نشان داده شده است.



(ب)

(الف)



(ج)

شکل ۴-۶. معیارهای قفل‌شدگی در مرز قفل‌شدگی توسط (الف) شکل موج خروجی و ورودی در حوزه‌ی زمان

(ب) طیف فرکانس خروجی (ج) و معیار پیشنهادی (منحنی لیساز)

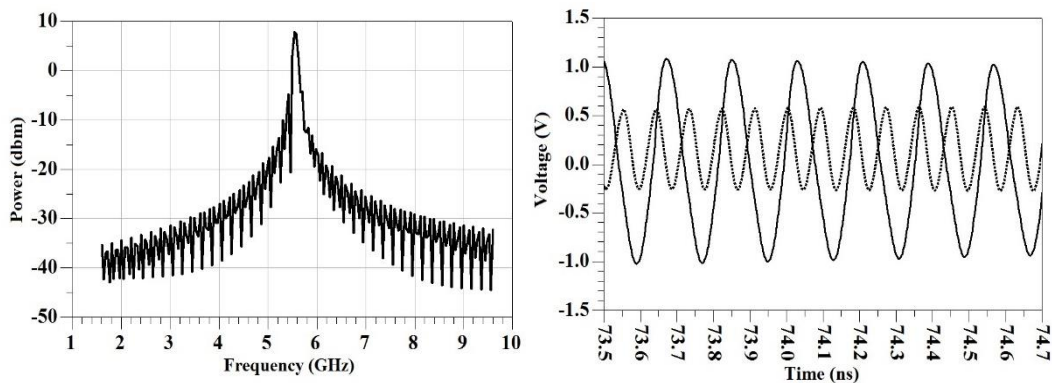
همان‌طور که در شکل ۴-۶(الف) و ۴-۶(ب) مشاهده می‌شود شکل موج خروجی و طیف

خروجی ILFD در ظاهر حاکی از آن است که مدار قفل است و نسبت تقسیم به درستی انجام می‌شود

اما با توجه به معیار پیشنهادی در شکل ۴-۶(ج) می‌توان دید که اختلاف فاز خروجی و ورودی مدار

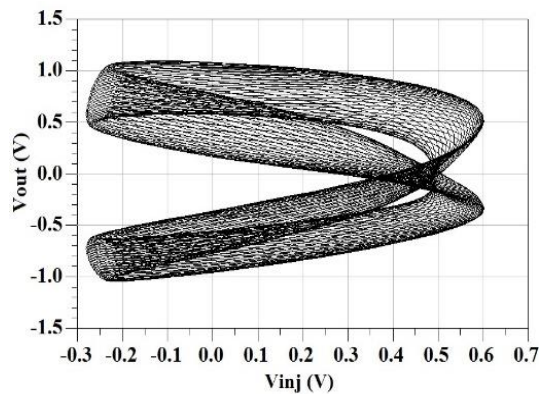
کم و بیش در برخی از پریودها با دیگر پریودها متفاوت است و منحنی لیسازر آن کمی از حالت ایده‌آل منحرف شده است که خود نشان‌دهنده آن است که مدار دیگر قفل نیست در صورتی که با دو معیار قبلی نمی‌توان این مرز را به درستی تشخیص داد.

اکنون مدار را در حالت سوم یعنی هنگامی که مدار قفل نیست و کاملاً از مرز قفل فاصله گرفته است شبیه‌سازی می‌کنیم. در شکل ۴-۷ مجدداً خروجی‌ها برای هر سه معیار نشان داده شده است.



(ب)

(الف)



(ج)

شکل ۴-۷. معیارهای قفل شدگی در حالت عدم قفل توسط (الف) شکل موج خروجی و ورودی در حوزه‌ی زمان (ب) طیف فرکانس خروجی (ج) و معیار پیشنهادی (لیسازر)

در شکل ۴-۷-ب) طیف خروجی ILFD رسم شده است که می‌توان دید حول فرکانس مرکزی تقسیم‌کننده، مولفه‌های جعلی فرکانس افزایش یافته است که حاکی از آن است که دیگر مدار قفل نیست. ایرادی که می‌توان به این معیار گرفت این است که تا کجا بایستی مولفه‌های جعلی فرکانس کاهش یا افزایش یابد تا گفته شود که مدار قفل است یا قفل نیست. همچنین در این معیار بایستی طیف خروجی برای هر دو حالت قفل و غیرقفل را مشاهده کرد تا پی به عملکرد مدار برد بدین صورت که طیف خروجی مدار را در حال قفل مشاهده می‌کنیم و زمانی که مولفه‌های جعلی در حالت غیرقفل نسبت به مولفه‌های جعلی در حالت قفل افزایش یافت می‌گوییم که مدار قفل نیست.

شکل ۴-۷-ج) معیار پیشنهادی را نشان می‌دهد که در آن شکل رسم شده نامنظم است. به عبارتی منحنی لیسازر، منحنی واحد نیست بلکه از ده‌ها منحنی بسته تشکیل شده که هر کدام با دیگری اختلاف فاز دارد و همانطور که قبلاً اشاره شده است در معیار اول قفل بودن مدار را نمی‌توان به درستی تشخیص داد و به اشتباه بازه صحیح نسبت تقسیم را بازه‌ی قفل در نظر می‌گیرند.

بایستی به این نکته اشاره کرد که معیار پیشنهادی، معیاری سخت‌گیرانه‌تر نسبت به دیگر معیارها است از این رو بازه‌ی قفلی که با استفاده از این معیار بدست می‌آید به علت دقت بالا در محاسبه آن کمتر از بازه‌های قفل دیگر معیارها است. قابل ذکر است در این پایان‌نامه بازه‌ی قفل با استفاده از معیار پیشنهادی محاسبه شده است.

به طور خلاصه مزایای معیار پیشنهادی عبارت است از:

۱. این معیار، محکی دقیق و سختگیرانه است به طوری که می‌توان مرز دقیقی از قفل یا

عدم قفل بودن مدار را بیان کرد. در صورتی که مدار قفل باشد شکل معیار پیشنهادی

به صورت یک حلقه بسته واحد می‌باشد و اگر مدار قفل نباشد شکل مشاهده شده شکل

نامنظمی خواهد بود.

۲. در معیار پیشنهادی می‌توان نسبت تقسیم را مشاهده کرد به طوری اگر شکل خروجی

به صورت حلقه‌ی بسته واحد باشد تعداد گره‌های ایجاد شده بعلاوه‌ی یک، نسبت تقسیم

انجام شده در ILFD را نشان می‌دهد. بدین صورت که اگر یک گره ایجاد شده باشد به

منزله تقسیم بر دو و اگر دو گره ایجاد شده باشد به منزله‌ی تقسیم بر سه می‌باشد.

۳. در معیار پیشنهادی می‌توان فاز منحنی خروجی را تعیین کرد در صورتی که در دیگر

معیارها این قابلیت وجود ندارد.

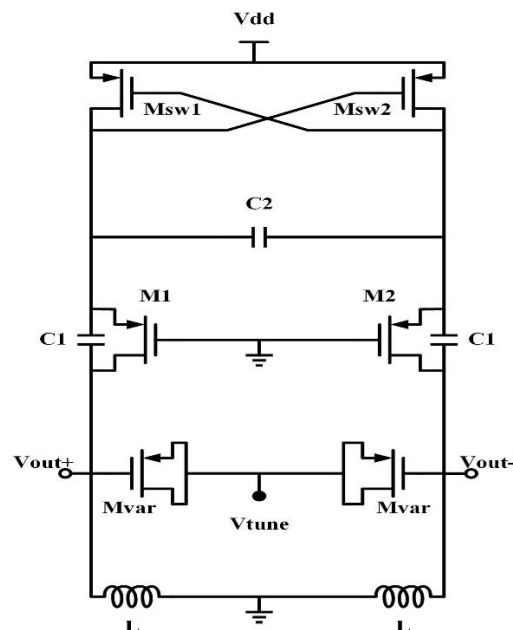
۴. در معیار پیشنهادی همانند طیف خروجی ILFD نیازمند این نیستیم که در حالت قفل

یا غیر قفل شکل خروجی شبیه‌سازی شده را مشاهده کنیم تا پی به عملکرد تقسیم‌کننده

ببریم.

### ۳-۴ تقسیم‌کننده‌های تزریق-قفل پیشنهادی

شکل ۴-۸ نوسان‌ساز هسته‌ی ILFDهای پیشنهادی در این فصل را نشان می‌دهد که از یک زوج ترانزیستور اتصال-ضربدری ( $M_{sw1}, M_{sw2}$ ) تشکیل شده است که مقاومت منفی ناشی از آن به کمک فیدبک مثبت شبکه کولپیتس شامل دو خازن  $C_1$  و  $C_2$  و ترانزیستورهای  $M_1$  و  $M_2$  بدست آمده و با جبران کردن تلفات مدار تانک شرایط شروع نوسان را تسهیل می‌کنند. مدار تانک که شامل دو القاگر ( $L$ ) و دو ورکتور ( $M_{var}$ ) می‌باشد و نوسان‌ساز به صورت تفاضلی است یعنی خروجی‌های آن با هم  $180^\circ$  درجه اختلاف فاز دارند. این نوسان‌ساز کولپیتس یک نوسان‌ساز کلاس C است. ورکتورهای به کار برده شده در این مدار ماسفت نوع P هستند که در حالت وارونگی بایاس شده‌اند و درین و سورس این ماسفت‌ها به یکدیگر متصل شده و بدنه‌ی آنها به بیشترین ولتاژ مدار وصل شده است. مقدار خازن‌های ورکتور و



شکل ۴-۸. ساختار مدار ILFD پیشنهادی [۴۷]

نیز فرکانس نوسان هر یک از نوسان‌سازها، با ولتاژ کنترل  $V_{tune}$  تغییر می‌کند. تمامی ترانزیستورهای به کار رفته در مدار پیشنهادی، PMOS هستند زیرا نویز فیلیکر کمتری در مقایسه با ترانزیستور NMOS دارد.

با توجه به اینکه کولپیتس نوسان‌ساز کلاس C است و از تابع حساسیت ضربه (ISF) بهتری [۳۰] نسبت به نوسان‌سازهای LC اتصال-ضربدری متداول برخوردار است؛ بنابراین با جایگزین کردن نوسان‌ساز کولپیتس با LC-VCOهای متداول می‌توان نویزفاز ILFD را بهبود بخشید که در این پایان‌نامه از این ویژگی استفاده خواهد شد.

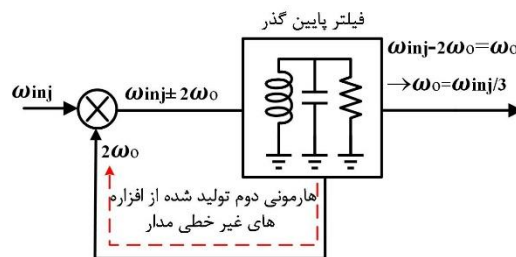
در ILFDهای متداول از ترانزیستورهای اضافی برای تزریق سیگنال به هسته‌ی نوسان‌ساز استفاده می‌شود که سبب افزایش نویزفاز و توان مصرفی تقسیم‌کننده فرکانسی می‌گردد. همچنین استفاده از افزاره‌های اضافی باعث کاهش بازه‌ی قفل در ILFD می‌شود. بنابراین در ادامه سعی شده است تا در مدارهای پیشنهادی از هیچ افزاره‌ی اضافی جهت تزریق به مدار استفاده نشود و به این ترتیب منابع نویز و توان مصرفی مدار کاهش یافته و هیچ المان پارازیتیکی به مدار تانک اضافه نشده است.

### **۱-۳-۴ ILFD پیشنهادی اول با قابلیت تقسیم بر سه: تزریق از طریق بالک**

#### **ترانزیستورهای اتصال-ضربدری**

شکل ۴-۹ بلوک دیاگرام مفهومی یک ILFD با قابلیت تقسیم بر سه را نشان می‌دهد. مدار

ILFD در واقع شامل یک مخلوط کننده و فیلتر پایین گذر می باشد که سیگنال ورودی ( $\omega_{inj}$ ) با هارمونی دوم ( $2\omega_0$ ) از نوسان ساز مخلوط می گردد و مولفه های مجموع و تفاضل ( $\omega_{inj} \pm 2\omega_0$ ) تولید می شود. زمانی که حلقه ی تقسیم کننده در حالت قفل است، تنها مولفه ی فرکانس پایین  $\omega_{inj} - 2\omega_0$  باقی می ماند و مولفه فرکانسی ناخواسته تولید شده  $\omega_{inj} + 2\omega_0$  توسط فیلتر پایین گذر تانک LC حذف می گردد که این امر منجر به برقراری رابطه ی  $\omega_{inj} - 2\omega_0 = \omega_0$  بین فرکانس ورودی و خروجی می گردد و یا به عبارت دیگر  $\omega_0 = \omega_{inj}/3$  می شود که به معنای تحقق عمل تقسیم بر سه می باشد.



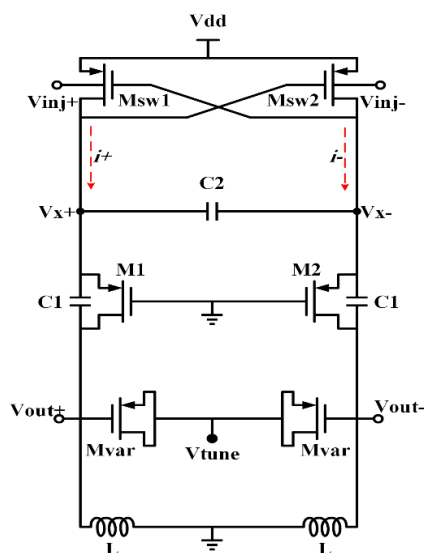
شکل ۴-۹. بلوک دیاگرام ILFD با نسبت تقسیم سه

شکل ۴-۱۰ اولین مدار تقسیم کننده ی فرکانسی تزریق-قفل پیشنهادی را نشان می دهد که تزریق از طریق بالک ترانزیستورهای اتصال-ضربداری ( $M_{sw1}, M_{sw2}$ ) انجام شده است. طبق پدیده ی تزریق-قفل در صورتی که سیگنال تزریقی به یک نوسان ساز دارای فرکانسی نزدیک به هارمونی اصلی یا یکی از هارمونی های نوسان ساز باشد، نوسان ساز به سیگنال تزریقی قفل خواهد شد. در مدار ارائه شده از زیرلایه ترانزیستورها به عنوان گیت دوم استفاده می شود و به این طریق عناصر اضافی برای تزریق



حذف شده است و عملکرد نویزفاز بهتر بهبود خواهد یافت. همچنین حذف عناصر تزریق می‌تواند سبب

کاهش مساحت ساخت، توان مصرفی و عناصر پارازیتیک گردد.



شکل ۴-۱۰. ساختار مدار ILFD پیشنهادی با نسبت تقسیم سه

در این بخش ابتدا به تحلیل نحوه‌ی انجام تقسیم فرکانسی در تقسیم‌کننده‌ی پیشنهادی

می‌پردازیم سپس نتایج شبیه‌سازی ارائه خواهد شد.

### ۴-۳-۱-۱ تحلیل نظری تقسیم‌کننده‌ی پیشنهادی

برای فهم بیشتر که چگونه ILFD پیشنهادی در شکل ۴-۱۰ به صورت یک تقسیم‌کننده با نسبت

تقسیم بر سه عمل می‌کند، بایستی ابتدا حالتی را در نظر گرفت که سیگنالی به مدار تزریق نشده باشد.

در این حالت ولتاژ گیت-سورس ( $v_{gs}$ ) ترانزیستور  $M_{sw1}$  شامل مولفه‌های فرکانسی  $\omega_0$  و  $2\omega_0$  می‌باشد.

جریان درین ترانزیستور  $M_{sw1}$  را می‌توان با استفاده از بسط تیلور به صورت زیر نوشت:

$$i_{ds} = I_{dc} + g_m v_{gs} + \frac{g_m^1}{2!} v_{gs}^2 + \frac{g_m^2}{3!} v_{gs}^3 + \dots \quad (3-4)$$

که  $g_m^n$  ترانسانایی مرتبه  $n$ م نسبت به  $v_{gs}$  و  $I_{dc}$  مولفه‌ی dc جریان می‌باشد. این معادله نشان می‌دهد که خروجی VCO می‌تواند شامل هارمونی‌های بسیاری باشد که مولفه‌های فرکانسی مرتبه بالاتر آن توسط تانک فیلتر می‌گردد.

در ILFD پیشنهادی با توجه مدار کولپیتس و نقش دو خازن  $C_1$  و  $C_2$  به عنوان شبکه‌ی فیدبک و تقسیم ولتاژ صورت گرفته در آن، خروجی‌های  $V_{out}^{\pm}$  ضریبی از  $V_x^{\pm}$  می‌باشد که می‌توان نوشت:

$$V_{out}^+ = \alpha V_x^+ \quad (4-4)$$

$$V_{out}^- = \alpha V_x^- \quad (5-4)$$

در نوسان‌ساز کولپیتس که در شکل ۴-۱۰ نشان داده شده است می‌توان فرض کرد:

$$v_x^+ = -v_x^- = V_x \cos(\omega_0 t) \quad (6-4)$$

و

$$v_{inj}^+ = -v_{inj}^- = V_{inj} \cos(\omega_{inj} t) \quad (7-4)$$

با توجه به اینکه در ILFD پیشنهادی، سیگنال‌های تزریقی به بالک ترانزیستورهای  $M_{sw1}$  و

$M_{sw2}$  اعمال می‌شود می‌توان فرض کرد که درین، سورس و بالک ترانزیستورهای تزریق به

ترتیب به عنوان کلکتور، امیتر و بیس ترانزیستورهای BJT ذاتی از نوع PNP می‌باشند.

بنابراین ولتاژ کلکتور-امیتر ( $v_{ce}$ ) و بیس-امیتر ( $v_{be}$ ) ترانزیستورهای BJT به ترتیب

$$v_{inj} = v_{bs} = V_{inj} \cos(\omega_{inj}t) \text{ و } v_x = v_{ds} = V_x \cos(\omega_0t) \text{ می‌باشند.}$$

جریان کلکتور ترانزیستورهای BJT را می‌توان با استفاده از بسط تیلور به صورت زیر نوشت [۴۱]:

$$i_c = K_1 v_{be} v_{ce} + K_2 v_{be} v_{ce}^2 + \dots \quad (۸-۴)$$

که با جایگذاری  $v_{inj}$  و  $v_x$  داریم:

$$i^\pm = K_1 v_{inj}^\pm v_x^\pm + K_2 v_{inj}^\pm v_x^2 + \dots \quad (۹-۴)$$

در معادله فوق تنها جمله‌های مورد نظر نشان داده شده است. جمله‌ی اول رابطه‌ی (۹-۴) زمانی که

تزریق به صورت تک-سر باشد در جریان کل مدار تانک ظاهر می‌شود و جمله‌ی دوم زمانی که تزریق

به صورت تفاضلی انجام شده باشد ظاهر می‌گردد. مثلاً در مدار ارائه شده در شکل ۴-۱۰، با جایگزین

کردن روابط (۶-۴) و (۷-۴) در (۹-۴) خواهیم داشت:

$$i^+ = K_1 (V_{inj}) \cos(\omega_{inj}t) (V_x) \cos(\omega_0t) + K_2 (V_{inj}) \cos(\omega_{inj}t) (V_x^2) \cos^2(\omega_0t) \quad (۱۰-۴)$$

$$i^- = K_1(-V_{inj}) \cos(\omega_{inj}t) (-V_x) \cos(\omega_0t) +$$

$$K_2(-V_{inj}) \cos(\omega_{inj}t) (V_x^2) \cos^2(\omega_0t) \quad (11-4)$$

که کل جریان تفاضلی وارد شده به تانک LC با استفاده از جمع آثار برابر است با:

$$i_{total.tank} = i^+ - i^- = K_2 V_{inj} V_x^2 [\cos(\omega_{inj} - 2\omega_0)t + \cos(\omega_{inj} + 2\omega_0)t] + \dots \quad (12-4)$$

از رابطه بالا می‌توان ملاحظه کرد که جریان کل مدار تانک شامل مدار شامل دو مولفه‌ی فرکانسی

$\omega_{inj} + 2\omega_0$  و  $\omega_{inj} - 2\omega_0$  می‌باشد که مولفه‌ی فرکانس پایین  $\omega_{inj} - 2\omega_0$  در خروجی ظاهر می‌-

گردد و مولفه‌ی فرکانس بالای  $\omega_{inj} + 2\omega_0$  توسط تانک LC فیلتر می‌گردد. از این رو رابطه‌ی فرکانس

ورودی و خروجی در مدار پیشنهادی به صورت  $\omega_{inj} - 2\omega_0 = \omega_0$  خواهد بود و می‌توان از آن به

$$\omega_0 = \frac{\omega_{inj}}{3}$$

دست یافت که به معنای انجام عمل تقسیم بر سه می‌باشد.

## ۴-۳-۱-۲ نتایج شبیه‌سازی

مدار شکل ۴-۱۰ با پارامترهای داده شده در جدول ۴-۱ در تکنولوژی TSMC 0.18μm CMOS

طراحی و در نرم‌افزار ADS شبیه‌سازی شده است. از طرفی چون القاگرهای ساخته شده بر روی تراشه‌ها

معمولا ضریب کیفیت کوچکی دارند، از این رو برای اینکه نتایج شبیه‌سازی واقعی‌تر باشد تلفات هر

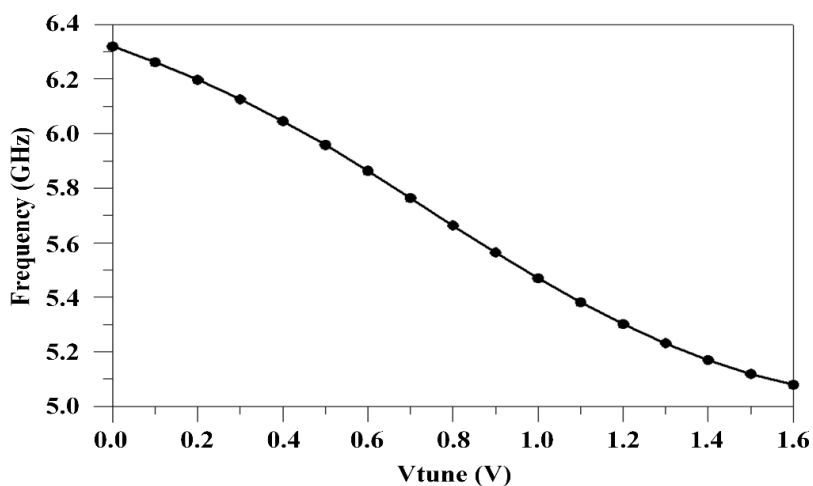
القاگر با یک مقاومت سری  $r_L$  با آن مدل شده است که مقدار این مقاومت، یک اهم به ازای هر یک

نانوهانری در نظر گرفته شده است [۴۷]. همچنین برای سیگنال تزریقی به ILFD از یک منبع سیگنال سینوسی که توان خروجی قابل تنظیمی دارد استفاده شده است.

جدول ۴-۱. مقادیر پارامترهای تقسیم‌کننده‌ی پیشنهادی

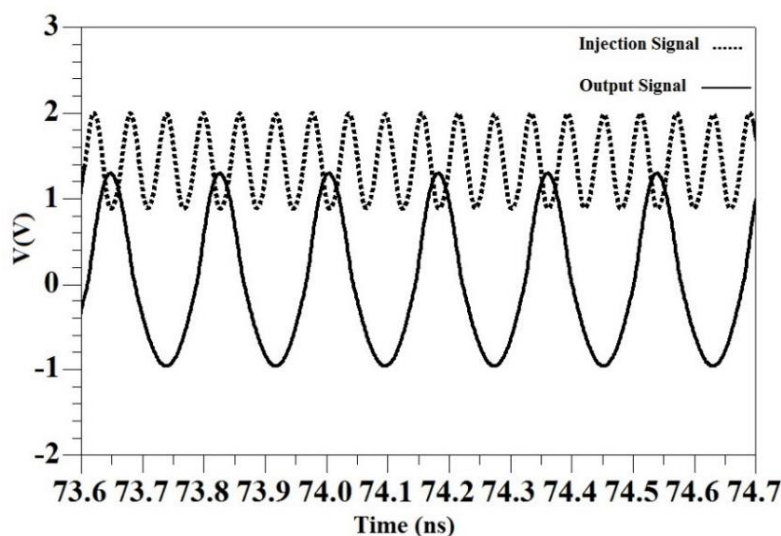
پارامترها	مقادیر	پارامترها	مقادیر
$(W/L)_{Msw1-2}$	40 $\mu\text{m}/0.18\mu\text{m}$	$C_1$	0.5 pF
$(W/L)_{M1-2}$	26 $\mu\text{m}/0.18\mu\text{m}$	$C_2$	0.15 pF
$(W/L)_{Mvar}$	360 $\mu\text{m}/0.18\mu\text{m}$	$V_{dd}$	1.6 volt
L	1 nH	$V_{tune}$	0.85 volt
$r_L$	1 $\Omega$		

منحنی تغییرات فرکانس برحسب تغییرات ولتاژ کنترل برای ILFD در حالت نوسان آزاد در شکل ۴-۱۱ نشان داده شده است که در آن تغییرات ولتاژ کنترل از 0 تا 1.6 V سبب تغییرات فرکانس از 5.08 GHz تا 6.33GHz می‌گردد. منظور از نوسان آزاد زمانی است که هیچ سیگنالی به تقسیم‌کننده تزریق نشده باشد.



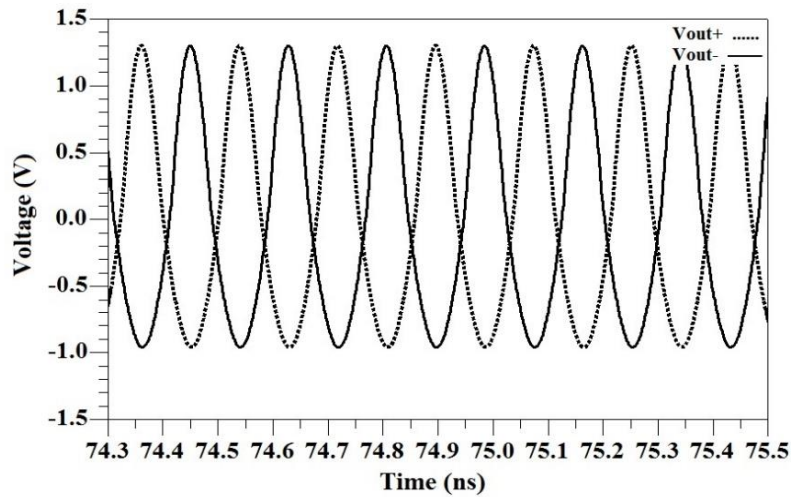
شکل ۴-۱۱. تغییرات فرکانس نوسان بر حسب ولتاژ کنترل برای تقسیم‌کننده‌ی پیشنهادی

شکل موج‌های حاصل از شبیه‌سازی خروجی تقسیم‌کننده‌ی پیشنهادی و سیگنال تزریقی به ازای ولتاژ تغذیه  $V_{tune}=0.85\text{ V}$ ،  $1.6\text{ V}$  و ولتاژ تزریق  $(V_{inj})=1.4\text{ V}$  در شکل ۴-۱۲ نشان داده شده است. همان‌طور که مشاهده می‌گردد فرکانس نوسان ILFD یک سوم فرکانس نوسان سیگنال تزریقی می‌باشد. اما همان‌طور که در بخش دو توضیح داده شده است بر اساس شکل موج خروجی نمی‌توان به طور دقیق به عملکرد درست مدار پی برد و می‌بایست دیگرام لیسازر آن را رسم کرد. جریان و توان مصرفی مدار پیشنهادی با ولتاژ تغذیه  $1.6\text{ V}$  به ترتیب برابر  $1.68\text{ mA}$  و  $2.69\text{ mW}$  می‌باشد.



شکل ۴-۱۲. شکل موج شبیه‌سازی شده خروجی ILFD پیشنهادی برای  $V_{dd}=1.6\text{ V}$ ،  $V_{inj}=1.4\text{ V}$  و  $V_{tune}=0.85\text{ V}$

همچنین در شکل ۴-۱۳ شکل موج‌های خروجی‌های ILFD پیشنهادی به طور همزمان نشان داده شده است که حاکی از تفاضلی بودن ساختار و اختلاف فاز  $180^\circ$  بین خروجی‌ها است.



شکل ۴-۱۳. شکل موج‌های خروجی ILFD پیشنهادی برای  $V_{tune}=0.85\text{ V}$  و  $V_{inj}=1.4\text{ V}$ ،  $V_{dd}=1.6\text{ V}$

در شکل ۴-۱۴ معیار قفل‌شدگی پیشنهادی یعنی منحنی لیسازر ورودی و خروجی قبل و بعد از

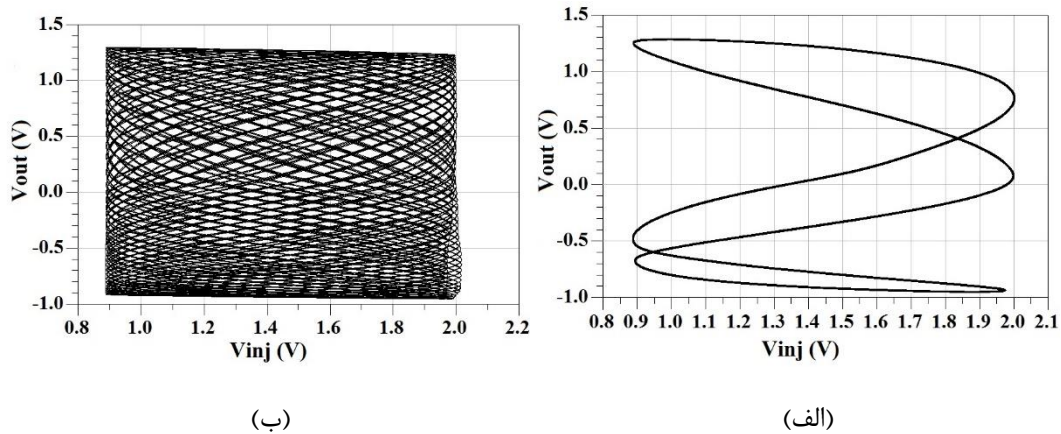
قفل نشان داده شده است. در شکل ۴-۱۴ (الف) زمانی که ILFD قفل است به صورت یک حلقه بسته

می‌باشد و می‌توان با استفاده از گره‌های ایجاد شده نسبت تقسیم را تعیین کرد. در اینجا تعداد گره‌ها

دو می‌باشد که به منزله‌ی تقسیم با نسبت سه می‌باشد و بدین معناست که تقسیم به درستی انجام شده

است. اما زمانی که مدار قفل نکند و تقسیم به درستی انجام نشود خروجی به صورت شکل ۴-۱۴ (ب)

می‌شود که نشان‌دهنده عدم انجام درست عمل تقسیم است.

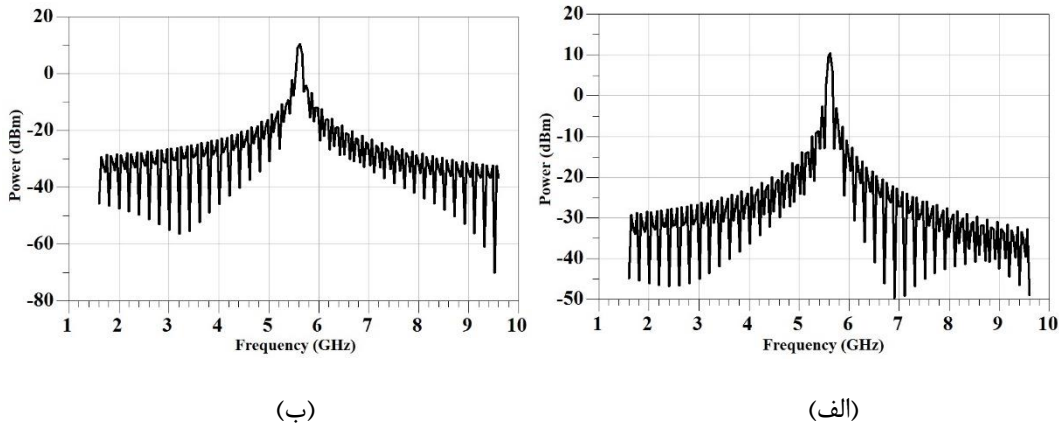


شکل ۴-۱۴. رسم معیار قفل‌شدگی (الف) در حالت قفل (ب) در حالت عدم قفل

در شکل ۴-۱۵ طیف خروجی ILFD پیشنهادی قبل و بعد از قفل نشان داده شده است، که طیف

خروجی در حالت قفل تیزتر و از مولفه‌های جعلی کوچکتری برخوردار است ولی همان طور که قبلا بیان

شده است این معیار را نمی‌توان معیار مناسبی برای قفل یا عدم قفل‌شدگی ILFDها لحاظ کرد.

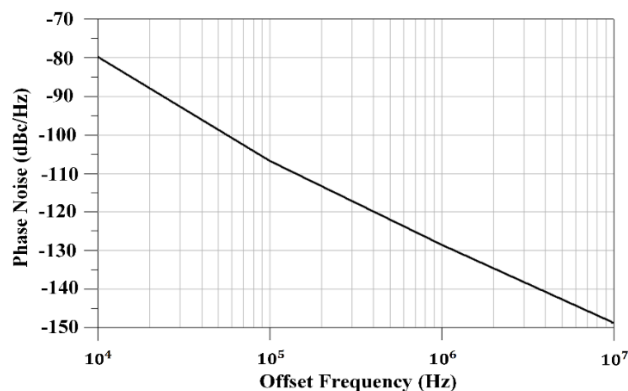


شکل ۴-۱۵. طیف خروجی تقسیم‌کننده (الف) در حالت قفل (ب) در حالت عدم قفل

در شکل ۴-۱۶ نویزفاز شبیه‌سازی ILFD پیشنهادی رسم شده است. نویزفاز تقسیم‌کننده‌ی

فرکانسی تزریق-قفل در آفست فرکانسی 1 MHz از فرکانس مرکزی 5.6 GHz برابر  $-128.63 \text{ dBc/Hz}$

می‌باشد.



شکل ۴-۱۶. نویزفاز ILFD پیشنهادی با نسبت تقسیم سه (  $V_{inj}=1.4V$ ,  $V_{tune}=0.85V$ ,  $V_{dd}=1.6V$  )

$$(P_{inj}=0\text{dBm})$$



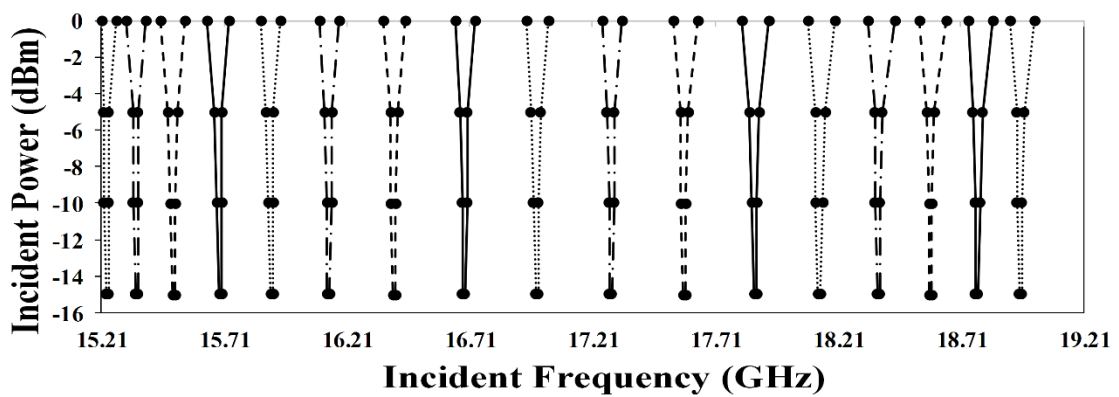
عملکرد فرکانسی و بازه‌ی قفل ILFD در توان‌های تزریقی مختلف در شکل ۴-۱۷ نشان داده

شده است. رابطه‌ی بین حساسیت ورودی و عملکرد فرکانسی تقسیم‌کننده زمانی که ولتاژ کنترل از 0

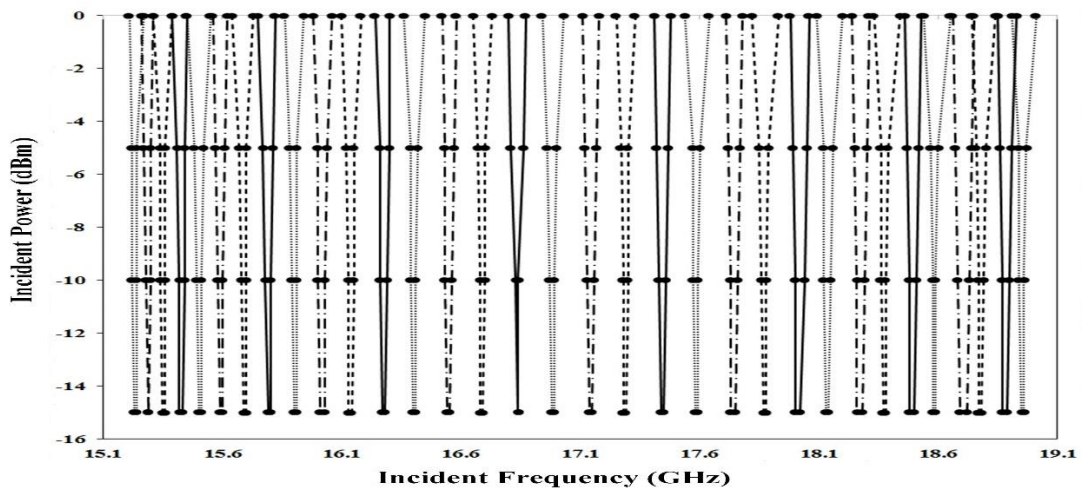
تا 1.6 V با پله‌های 0.1 V و 0.05 V تغییر می‌کند، بدست می‌آید. با توجه به شکل ۴-۱۷ برای ILFD

پیشنهادی در توان تزریقی 0 dBm محدوده‌ی قفل از 15.21 GHz تا 18.99 GHz می‌باشد که معادل

گستره‌ی قفلی برابر با 3.78 GHz یا به عبارتی ۲۲/۱۱٪ می‌باشد.



(الف)



(ب)

شکل ۴-۱۷. حساسیت ورودی شبیه‌سازی شده برای تقسیم‌کننده پیشنهادی.  $V_{inj}=1.4\text{ V}$ ,  $V_{dd}=1.6\text{ V}$ . از راست به

چپ،  $V_{tune}=1.6\sim 0\text{ V}$ . (الف) با پله‌های 0.1 V و (ب) با پله‌های 0.05 V

جدول ۲-۴ ویژگی مهم دیگری را برای تقسیم‌کننده پیشنهادی نشان می‌دهد که در آن بازه‌ی

قفل در شرایط مختلف، شامل گوشه‌های ساخت و دماهای مختلف شبیه‌سازی شده است. همانطور که

در جدول مشاهده می‌شود بازه‌ی قفل برای گوشه SS در دمای  $-40^{\circ}\text{C}$  برابر  $3.98\text{GHz}$  می‌باشد که

بیشترین بازه‌ی قفل در شرایط مختلف می‌باشد. همچنین جدول ۲-۴ این موضوع را تایید می‌کند که

تغییرات فرایند ساخت و دما تاثیری بر عملکرد بازه‌ی قفل مدار پیشنهادی ندارد.

جدول ۲-۴. بازه‌ی قفل در گوشه‌های ساخت و دماهای مختلف

دما	$-40^{\circ}\text{C}$	$+25^{\circ}\text{C}$	$+85^{\circ}\text{C}$
گوشه	$f_L \rightarrow f_H$	$f_L \rightarrow f_H$	$f_L \rightarrow f_H$
SS	15.29 → 19.27	15.27 → 19.22	15.26 → 19.20
FF	15.16 → 18.82	15.17 → 18.76	15.17 → 18.73
TT	15.22 → 19.05	15.21 → 18.99	15.21 → 18.97

خلاصه‌ی عملکرد ILFD پیشنهادی و مقایسه آن با مقالات منتشر شده گذشته در جدول ۳-۴

نشان داده شده است. در این جدول از معیارهای شایستگی که در فصل گذشته مطرح شد، برای

مقایسه‌ی بهتر بین ILFDها استفاده شده است. همان‌طور که مشاهده می‌شود مدار پیشنهادی از بازه‌ی

قفل گسترده، توان مصرفی پایین، نویزفاز مناسب و ضریب شایستگی بهتری برخوردار است.

جدول ۳-۴. خلاصه‌ی عملکرد و مقایسه بین ILFDهای مختلف در حالت تقسیم برسه

ILFD	Tech (μm)	Pin (dBm)	V <sub>DD</sub> (V)	P <sub>diss</sub> (mW)	Frequency range (GHz)	Locking rang (GHz)	Phase noise (dBc/Hz) @ 1 MHz offset	FOM*	FOM**	FOM***
[41]	0.35	10	1.8	15.15	2.33-2.78	1.5 (19%)	-128.2	0.1	0.41	-127.4
[42]	0.35	0	2	8	3.18-3.31	0.62 (6%)	-134.7	0.08	0.8	-149.6
[48]	0.18	0	1.8	5.4	7.97-8.94	4.8 (17%)	-	0.89	3.19	-
[49]	0.18	0	1.8	10.7	3.67-4.50	3.3 (24%)	-	0.31	2.59	-
[50]	0.18	0	1.8	4.97	4.84-5.64	2.08 (19%)	-	0.42	3.91	-
<b>This work</b>	<b>0.18</b>	<b>0</b>	<b>1.6</b>	<b>2.69</b>	<b>5.08-6.33</b>	<b>3.78 (22%)</b>	<b>-128.6</b>	<b>1.41</b>	<b>8.22</b>	<b>-144.3</b>

$$FOM^* = \frac{\Delta f_{LR}(GHz)}{P_{diss}(mW)}, FOM^{**} = \frac{LR(Percent)}{P_{diss}(mW) \times P_{inj}(mW)}, FOM^{***} = L\{\Delta\omega\} + 10 \log\left(\frac{P_{diss}}{1mW}\right) + 10 \log\left(\frac{P_{inj}}{1mW}\right) - 20 \log\left(\frac{f_{out}}{\Delta f}\right) - 20 \log\left(\frac{LR\%}{10}\right)$$

### ۳-۲-۴ پیشنهادی دوم با قابلیت تقسیم بر دو: تزریق از طریق گره‌ی میانی

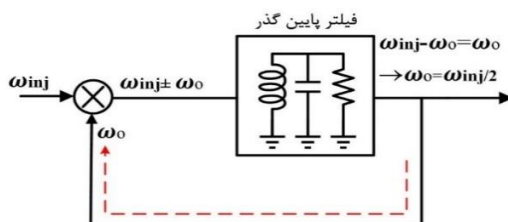
#### خازن‌های کولپتیس

روند عملکرد ILFD بر پایه‌ی پدیده‌ی تزریق-قفل می‌باشد. براساس تئوری تزریق-قفل، زمانی

که یک سیگنال متناوب خارجی ( $\omega_{inj}$ ) نزدیک به فرکانس نوسان آزاد نوسان‌ساز ( $\omega_0$ ) و یا یکی از

هارمونی‌های آن ( $2\omega_0, 3\omega_0, \dots$ ) به نوسان‌ساز تزریق شود، نوسان‌ساز می‌تواند در فرکانس تزریقی ( $\omega_{inj}$ )

قفل شود. شکل ۳-۴-۱۸ بلوک دیاگرام مفهومی یک ILFD با قابلیت تقسیم بر دو را نشان می‌دهد.

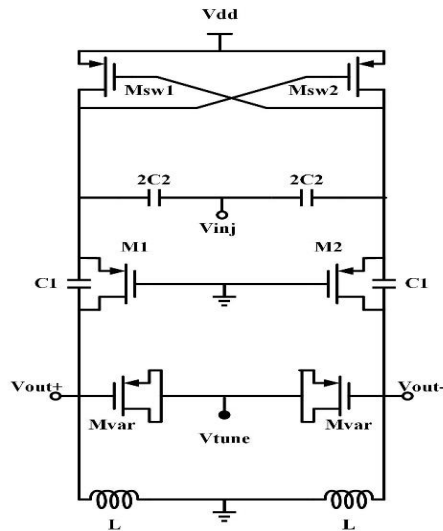


شکل ۳-۴-۱۸. بلوک دیاگرام ILFD با نسبت تقسیم دو

همچنان این مدار ILFD نیز شامل یک مخلوط‌کننده و فیلتر پایین‌گذر می‌باشد که سیگنال ورودی  $(\omega_{inj})$  با هارمونی اول  $(\omega_0)$  تولید شده از نوسان‌ساز مخلوط می‌گردد و مولفه‌های مجموع و تفاضل  $(\omega_{inj} \pm \omega_0)$  تولید می‌شود. زمانی که حلقه‌ی تقسیم‌کننده در حالت قفل است، تنها مولفه‌ی فرکانس پایین  $\omega_{inj} - \omega_0$  باقی می‌ماند و مولفه فرکانسی ناخواسته تولید شده  $\omega_{inj} + \omega_0$  توسط فیلتر پایین‌گذر حذف می‌گردد که این امر منجر به برقراری رابطه‌ی  $\omega_{inj} - \omega_0 = \omega_0$  و یا به عبارت دیگر  $\omega_0 = \omega_{inj}/2$  می‌شود که به معنای تحقق عمل تقسیم بر دو می‌باشد.

علاوه بر روش‌هایی که در فصل قبل بیان شد، در تقسیم‌کننده‌های فرکانسی با قابلیت تقسیم بر دو می‌توان سیگنال ورودی را به یک گره مد مشترک که حاوی هارمونی‌های مرتبه‌ی دوم است نیز تزریق نمود. اگرچه به ظاهر پیدا کردن گره‌ی مد مشترک در نوسان‌ساز شکل ۴-۸ غیرممکن است، اما اگر خازن  $C_2$  را به دو خازن سری  $2C_2$  تبدیل کنیم آن‌گاه گره‌ی میانی آن‌ها یک گره‌ی مد مشترک خواهد بود. شکل ۴-۱۹ دومین مدار تقسیم‌کننده‌ی فرکانسی تزریق-قفل پیشنهادی را نشان می‌دهد. در این مدار برای اینکه بتوانیم تزریق را از طریق خازن  $C_2$  انجام دهیم، خازن  $C_2$  را به دو خازن سری با مقدار  $2C_2$  تبدیل کرده و تزریق را به صورت تک-سر به گره میانی این خازن‌ها انجام داده‌ایم. در این مدار با توجه به اینکه تزریق به صورت تک-سر و به گره‌ی مد مشترک انجام شده است، عمل تقسیم با

نسبت دو انجام می‌شود. در مدار ارائه شده عناصر فعال اضافی برای تزریق استفاده نشده است از این رو عملکرد نویزفاز بهتر می‌گردد.

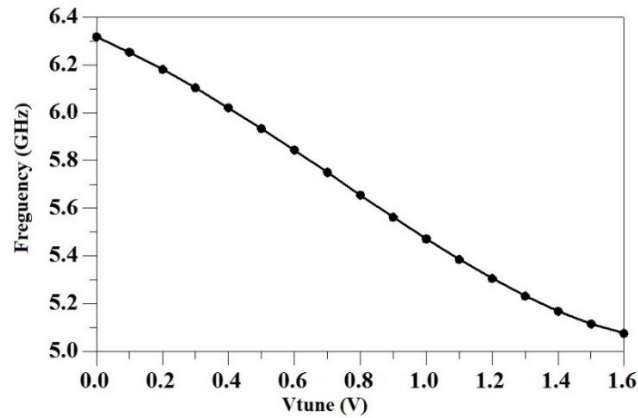


شکل ۴-۱۹. ساختار مدار ILFD پیشنهادی با نسبت تقسیم دو

## ۴-۳-۲-۱ نتایج شبیه‌سازی

مدار شکل ۴-۱۹ با همان پارامترهای داده شده در جدول ۴-۱ شبیه‌سازی شده است. برای سیگنال تزریقی به ILFD از یک منبع سیگنال سینوسی به صورت تک-سر که توان خروجی قابل تنظیمی دارد استفاده شده است. در ادامه نتایج شبیه‌سازی را گزارش خواهیم کرد.

منحنی تغییرات فرکانس برحسب تغییرات ولتاژ کنترل برای ILFD در حالت نوسان آزاد در شکل ۴-۲۰ نشان داده شده است، در آن تغییرات ولتاژ کنترل از 0 تا 1.6 V است که سبب تغییرات فرکانس از 5.08 GHz تا 6.33GHz می‌گردد.



شکل ۴-۲۰. تغییرات فرکانس نوسان بر حسب ولتاژ کنترل برای تقسیم‌کننده‌ی پیشنهادی

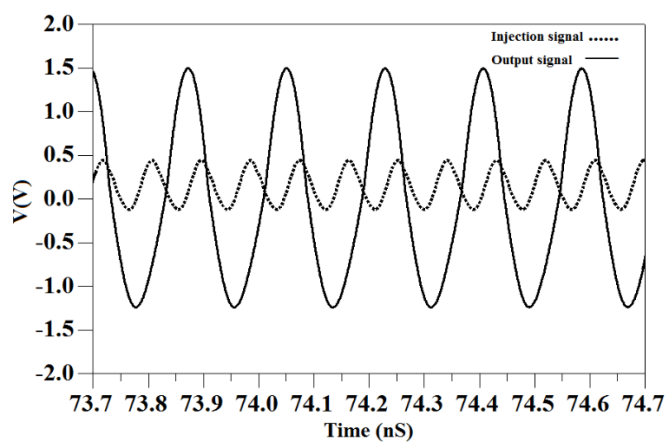
شکل‌های خروجی تقسیم‌کننده‌ی پیشنهادی و سیگنال تزریقی در شکل ۴-۲۱ نشان داده

شده است که به ازای ولتاژ تغذیه 1.6 V، ولتاژ تنظیم 0.85 V و ولتاژ تزریق با دامنه 0.15 V شبیه‌سازی

شده است. همان طور که مشاهده می‌گردد فرکانس نوسان ILFD یک دوم فرکانس نوسان سیگنال

تزریقی است. جریان و توان مصرفی مدار پیشنهادی با ولتاژ تغذیه 1.6 V به ترتیب برابر 1.56 mA و

2.49mW است.

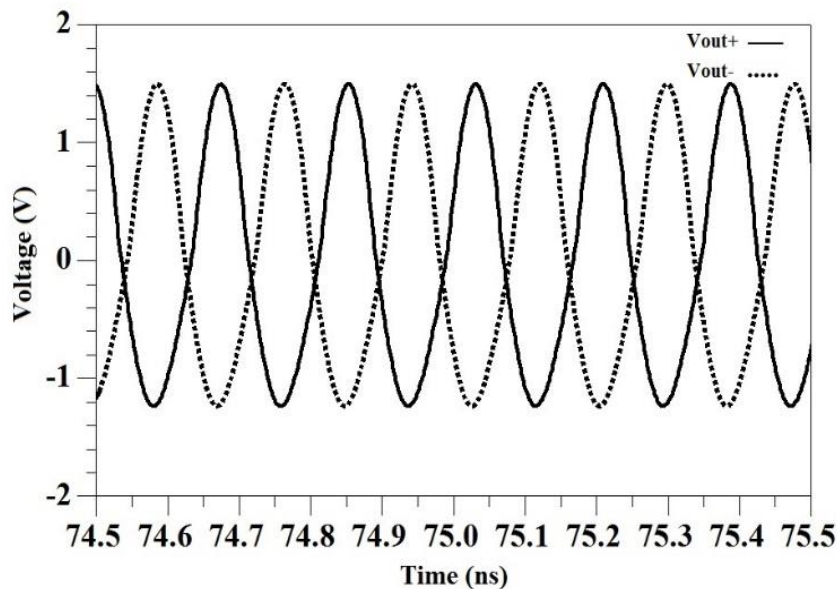


شکل ۴-۲۱. شکل موج شبیه‌سازی شده خروجی ILFD پیشنهادی برای  $V_{inj}=1.4\text{ V}$ ،  $V_{dd}=1.6\text{ V}$  و  $V_{tune}=$

0.85 V

همچنین در شکل ۲۲-۴ شکل موج‌های خروجی‌های ILFD پیشنهادی به طور همزمان نشان

داده شده است.



شکل ۲۲-۴. شکل موج‌های خروجی ILFD پیشنهادی برای  $V_{tune}=0.85\text{ V}$  و  $V_{inj}=0.15\text{ V}$ ,  $V_{dd}=1.6\text{ V}$

در شکل ۲۳-۴ معیار قفل‌شدگی پیشنهادی قبل و بعد از قفل نشان داده شده است، در شکل

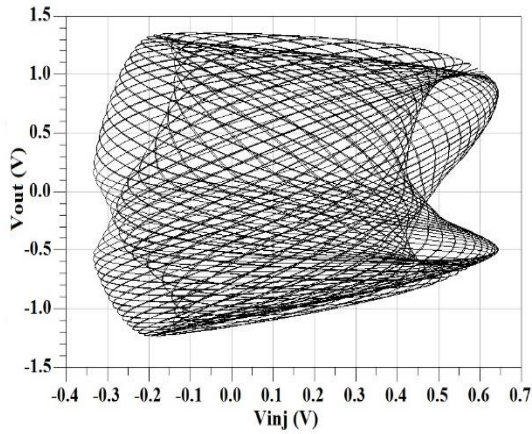
۲۳-۴-الف) زمانی که ILFD قفل است، منحنی لیسازر به صورت یک حلقه بسته واحد است و می‌توان

با استفاده از حلقه‌های ایجاد شده نسبت تقسیم را دریافت، که در اینجا تعداد حلقه‌ها دو می‌باشد و

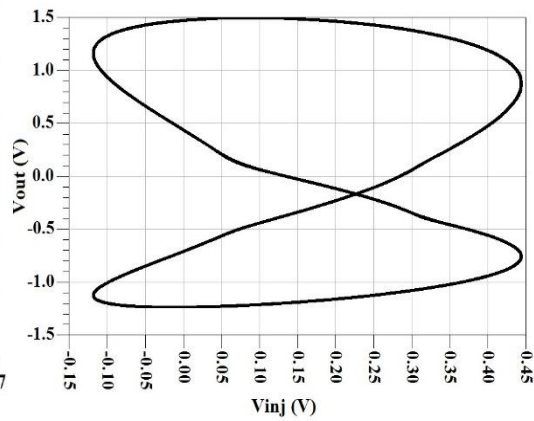
بدین معناست که تقسیم به درستی انجام شده است. اما زمانی که مدار قفل نکند و تقسیم به درستی

انجام نشود خروجی به صورت شکل ۲۳-۴-ب) می‌شود که نشان‌دهنده عدم انجام درست عمل تقسیم

می‌باشد.



(ب)



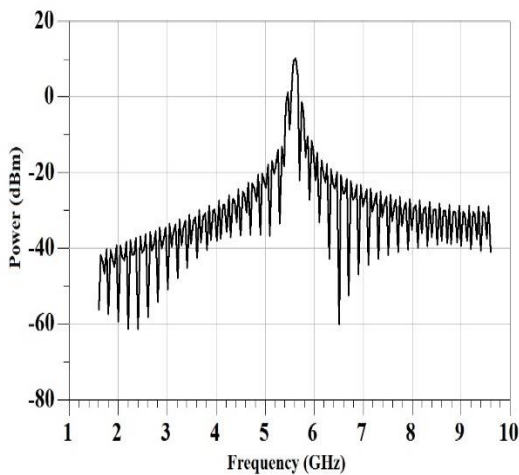
(الف)

شکل ۴-۲۳. رسم معیار قفل شدگی (الف) در حالت قفل (ب) در حالت عدم قفل

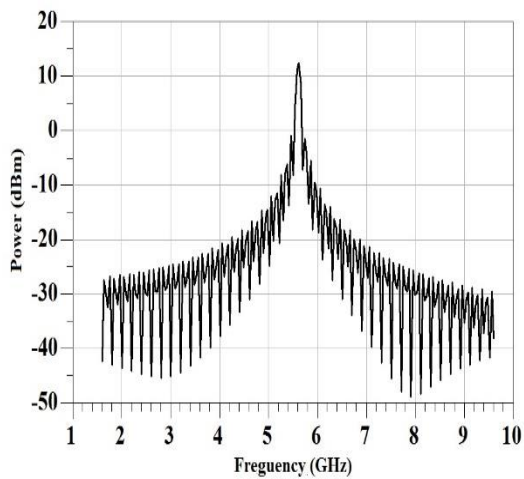
در شکل ۴-۲۴ طیف خروجی ILFD پیشنهادی قبل و بعد از قفل نشان داده شده است، که

طیف خروجی در حالت قفل تیزتر و مولفه‌های جعلی در اطراف فرکانس مرکزی تقسیم‌کننده کمتر

است.



(ب)



(الف)

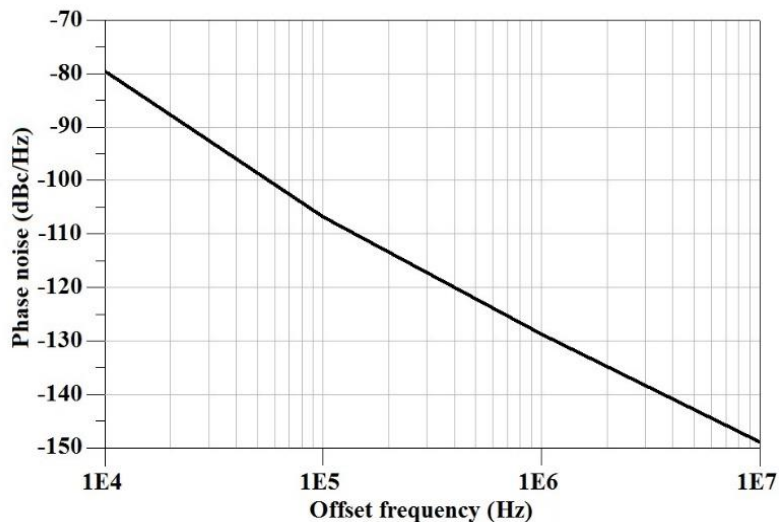
شکل ۴-۲۴. طیف خروجی تقسیم‌کننده (الف) در حالت قفل (ب) در حالت عدم قفل



در شکل ۴-۲۵ نویزفاز شبیه‌سازی ILFD پیشنهادی رسم شده است. نویزفاز تقسیم‌کننده‌ی

فرکانسی تزریق-قفل در آفست فرکانسی 1 MHz از فرکانس مرکزی 5.61 GHz برابر  $-128.69 \text{ dBc/Hz}$

می‌باشد.



شکل ۴-۲۵. نویزفاز ILFD پیشنهادی با نسبت تقسیم دو ( $V_{inj}=0.15V$ ,  $V_{tune}=0.85V$ ,  $V_{dd}=1.6V$ )

( $P_{inj}=0\text{dBm}$ )

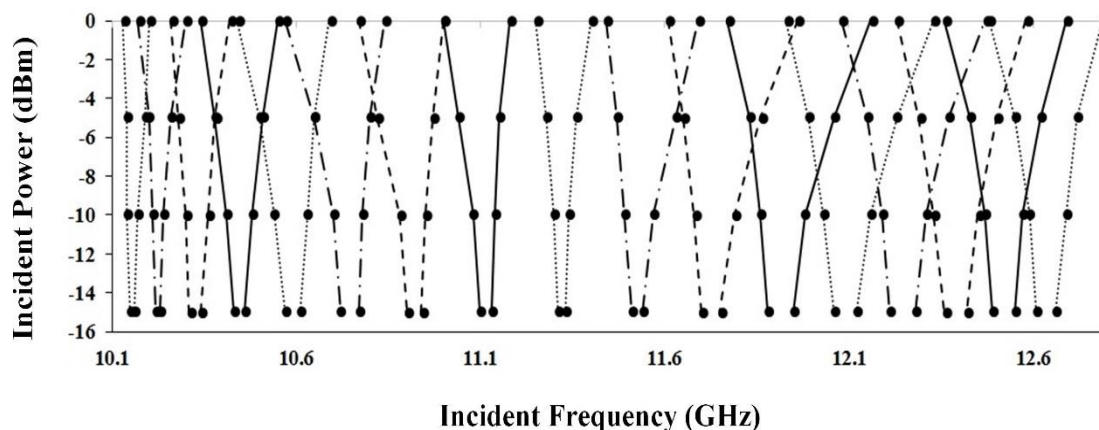
عملکرد فرکانسی و بازه‌ی قفل ILFD در توان‌های تزریقی مختلف در شکل ۴-۲۶ نشان داده

شده است. رابطه‌ی بین حساسیت ورودی و عملکرد فرکانسی تقسیم‌کننده زمانی که ولتاژ کنترل از 0

تا 1.6 V با پله‌های 0.1 V تغییر می‌کند، بدست می‌آید. با توجه به شکل برای ILFD پیشنهادی در

توان تزریقی 0 dBm محدوده‌ی قفل از 10.13 GHz تا 12.79 GHz می‌باشد که گستره‌ی قفلی برابر با

2.66 GHz یا به عبارتی ۲۳/۲۱٪ است.



شکل ۴-۲۶. حساسیت ورودی اندازه‌گیری شده برای تقسیم‌کننده پیشنهادی.  $V_{inj}=0.15\text{ V}$ ,  $V_{dd}=1.6\text{ V}$ . از راست به

چپ،  $V_{tune}=1.6\sim 0\text{ V}$  با پله‌های  $0.1\text{ V}$

جدول ۴-۲ ویژگی مهم دیگری را برای تقسیم‌کننده پیشنهادی نشان می‌دهد که در آن بازه‌ی

قفل در شرایط مختلف، شامل گوشه‌های ساخت و دماهای مختلف شبیه‌سازی شده است. همانطور که

در جدول مشاهده می‌شود بازه‌ی قفل برای گوشه SS در دمای  $-40^\circ\text{C}$  برابر  $2.82\text{ GHz}$  می‌باشد که

بیشترین بازه‌ی قفل در شرایط مختلف می‌باشد. همچنین جدول ۴-۴ این موضوع را تایید می‌کند که

تغییرات فرایند ساخت و دما تاثیری بر عملکرد بازه‌ی قفل مدار پیشنهادی ندارد.

جدول ۴-۴. بازه‌ی قفل در گوشه‌های ساخت و دماهای مختلف

دما	$-40^\circ\text{C}$	$+25^\circ\text{C}$	$+85^\circ\text{C}$
گوشه	$f_l \rightarrow f_H$	$f_l \rightarrow f_H$	$f_l \rightarrow f_H$
SS	10.16 → 12.98	10.17 → 12.94	10.16 → 12.93
FF	10.10 → 12.68	10.11 → 12.64	10.11 → 12.62
TT	10.13 → 12.83	10.13 → 12.79	10.13 → 12.77

خلاصه‌ی عملکرد و مقایسه بین مقالات منتشر شده گذشته با ILFD پیشنهادی در جدول

۴-۵ نشان داده شده است. همچنین از معیارهای شایستگی که در فصل گذشته مطرح شده برای

مقایسه‌ی بهتر بین ILFDها استفاده شده است. همان‌طور که مشاهده می‌شود مدار پیشنهادی از بازه‌ی

قفل گسترده، توان مصرفی پایین و نویزفاز مناسب برخوردار است.

جدول ۴-۵. خلاصه‌ی عملکرد و مقایسه بین ILFDهای مختلف در حالت تقسیم بر دو

ILFD	Tech (μm)	Pin (dBm)	V <sub>DD</sub> (V)	P <sub>diss</sub> (mW)	Frequency range (GHz)	Locking rang (GHz)	Phase noise (dB c/Hz) @ 1 MHz offset	FOM*	FOM**	FOM***
[35]	0.18	0	1.2	1.73	8.25-9.29	2.4 (11%)	-138.3	1.38	6.39	-
[51]	0.18	8	1.8	6.6	3.5-5.5	4.85 (56%)	-137.9	0.73	3.38	-144.6
[45]	0.13	0	1.5	2.55	3.65-4.7	1.8 (21%)	-121.5	0.71	8.45	-135.4
[52]	0.18	0	1.6	7.14	3.05-3.52	2.9 (42%)	-125	0.41	6.02	-145.5
<b>This work</b>	<b>0.18</b>	<b>0</b>	<b>1.6</b>	<b>2.49</b>	<b>5.08-6.33</b>	<b>2.66 (23%)</b>	<b>-128.69</b>	<b>1.07</b>	<b>9.32</b>	<b>-145.1</b>

$$FOM^* = \frac{\Delta f_{LR}(\text{GHz})}{P_{diss}(\text{mW})}, FOM^{**} = \frac{LR(\text{Percent})}{P_{diss}(\text{mW}) \times P_{inj}(\text{mW})}, FOM^{***} = L\{\Delta\omega\} + 10 \log\left(\frac{P_{diss}}{1\text{mW}}\right) + 10 \log\left(\frac{P_{inj}}{1\text{mW}}\right) - 20 \log\left(\frac{f_{out}}{\Delta f}\right) - 20 \log\left(\frac{LR\%}{10}\right)$$

## فصل پنجم

### نتیجه گیری و پیشنهادات

## ۵-۱ نتیجه گیری

در این پایان نامه ابتدا مروری بر انواع تقسیم کننده های فرکانس بالا که شامل دو دسته ی آنالوگ و دیجیتال می شود، شده است و مزایا و معایب هر کدام بیان گردید. پس از آن پارامترهای مهم در طراحی LC-ILFDها بیان شد و انواع روش هایی که برای تزریق سیگنال در یک تقسیم کننده فرکانسی تزریق-قفل مبتنی بر LC با نسبت تقسیم دو و سه استفاده شده است، مورد بررسی قرار گرفت. در ادامه معیار پیشنهادی مبتنی بر منحنی لیسازر برای تشخیص قفل شدگی تقسیم کننده فرکانسی ارائه شده است که علاوه بر رفع معایب روش های پیشین برای تشخیص قفل شدگی، دارای مزایایی همچون تشخیص نسبت تقسیم، اختلاف فاز و... است. سپس دو روش جدید برای تزریق سیگنال ارائه شده است که یکی قابلیت تقسیم بر دو و دیگری قابلیت تقسیم بر سه را دارا می باشد. هسته ی مدار پیشنهادی، از نوع کولپیتس است که سبب می شود مدار در کلاس C نوسان کند. در روش پیشنهادی اول برای داشتن نسبت تقسیم سه، سیگنال های تفاضلی از طریق بالک ترانزیستورهای اتصال-ضربدری تزریق شده است. که مدار پیشنهادی در توان تزریقی 0 dBm دارای بازه ی قفل 3.78 GHz (۲۲/۱۱٪) و نویزفاز برابر با -128.63 dBc/Hz در آفست فرکانسی 1 MHz از فرکانس مرکزی 5.61 GHz می باشد.

در روش پیشنهادی دوم برای داشتن نسبت تقسیم دو، سیگنال ورودی تک-سراز طریق گره ی میانی خازن های کولپیتس به مدار تزریق شده است. مدار پیشنهادی دارای بازه ی قفل 2.66 GHz یا به

عبارتی  $23/21\%$  است. همچنین نویزفاز آن در آفست فرکانسی 1 MHz از فرکانس مرکزی 5.61 GHz برابر با  $-128.69 \text{ dBc/Hz}$  می باشد.

قابل ذکر است که در روش های پیشنهادی برای تزریق سیگنال از هیچ المان اضافه ای برای تزریق استفاده نشده است. از این رو منابع نویز و مصرف توان در مدار تا حد زیادی کاهش یافته است.

## ۵-۲ پیشنهادهایی برای ادامه ی کار

در ادامه پیشنهادهایی برای ادامه کار به شرح زیر ارائه می گردد:

۱- گره های مناسب دیگری در مدار پیشنهادی برای تزریق وجود دارد که می تواند جهت تزریق

با قابلیت تقسیم بر دو و سه استفاده گردد.

۲- می توان اندازه های المان های مدار را بهینه کرد تا قابلیت کار در ولتاژهای پایین را نیز دارا

باشد.

۳- از عوامل موثر در افزایش بازه ی قفل، طراحی صحیح القاگرها در مدار تانک می باشد که با

طراحی بهینه ی القاگرهای مدار تانک می توان بازه ی قفل تقسیم کننده را بهبود بخشید.



- [1] H. Luong, and J. Yin, *Transformer-based design techniques for oscillators and frequency dividers*, Springer, 2015.
- [2] B. Razavi, *RF microelectronics*, 2nd ed. Prentice Hall, 1998.
- [3] M. P. Kennedy, H. Mo, and X. Dong, "Experimental characterization of Arnold tongues in injection-locked CMOS LC frequency dividers with tail and direct injection," *20th European Conference on Circuit Theory and Design (ECCTD)*, Linkoping, pp. 484-487, 2011.
- [4] B. Razavi, "A study of injection locking and pulling in oscillators," in *IEEE Journal of Solid-State Circuits*, vol. 39, no. 9, pp. 1415-1424, Sept. 2004.
- [5] H. M. Cheema, R. Mahmoudi, M. A. T. Sanduleanu, and A. van Roermund, "A Ka Band, Static, MCML Frequency Divider, in Standard 90nm-CMOS LP for 60 GHz Applications," *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, Honolulu, HI, pp. 541-544, 2007.
- [6] Y. Mo, E. Skafidas, R. Evans, and I. Mareels, "50 GHz static frequency divider in 130 nm CMOS", *Electronics Letters*, vol. 44, no. 4, pp. 285, 2008.
- [7] T. c. Lee, H. c. Lee, K. j. Hsiao, Y. c. Huang, and G. j. Chen, "A 40-GHz Distributed-Load Static Frequency Divider," *IEEE Asian Solid-State Circuits Conference*, Hsinchu, pp. 205-208, 2005.
- [8] Y. Masakazu, and H. Yamada. "An MOS current mode logic (MCML) circuit for low-power sub-GHz processors." *IEICE Transactions on Electronics* 75.10 pp.1181-1187,1992.
- [9] C. Cao, and K. O, "A power efficient 26-GHz 32:1 static frequency divider in 130-nm bulk CMOS", *IEEE Microwave and Wireless Components Letters*, vol. 15, no. 11, pp. 721-723, 2005.
- [10] C. Kromer, G. von Buren, G. Sialm, T. Morf, F. Ellinger, and H. Jackel, "A 40-GHz static frequency divider with quadrature outputs in 80-nm CMOS", *IEEE Microwave and Wireless Components Letters*, vol. 16, no. 10, pp. 564-566, 2006.



- [11] J. Wong, V. Cheung, and H. Luong, "A 1-v 2.5-mw 5.2-ghz frequency divider in a 0.35- $\mu\text{m}$  cmos process", *IEEE Journal of Solid-State Circuits*, vol. 38, no. 10, pp. 1643-1648, 2003.
- [12] X. P. Yu, M. A. Do, J. G. Ma, K. S. Yeo, R. Wu, and G. Q. Yan, "1 V 10 GHz CMOS frequency divider with low power consumption," in *Electronics Letters*, vol. 40, no. 8, pp. 467-469, 2004.
- [13] S. Pellerano, S. Levantino, C. Samori, and A. Lacaíta, "A 13.5-mW 5-GHz Frequency Synthesizer With Dynamic-Logic Frequency Divider", *IEEE Journal of Solid-State Circuits*, vol. 39, no. 2, pp. 378-383, 2004.
- [14] J. Rabaey, A. Chandrakasan, and B. Nikolić, *Digital integrated circuits*, 1st ed. Upper Saddle River, N.J.: Pearson Education, 2003.
- [15] B. A. Floyd, L. Shi, Y. Taur, I. Lagnado, and K. K. O, "SOI and bulk CMOS frequency dividers operating above 15 GHz," in *Electronics Letters*, vol. 37, no. 10, pp. 617-618, 2001.
- [16] H. Rategh, and T. Lee, "Superharmonic injection-locked frequency dividers", *IEEE Journal of Solid-State Circuits*, vol. 34, no. 6, pp. 813-821, 1999.
- [17] R. Miller, "Fractional-Frequency Generators Utilizing Regenerative Modulation", *Proceedings of the IRE*, vol. 27, no. 7, pp. 446-457, 1939.
- [18] T. N. Luo, S. Y. Bai, and Y. J. E. Chen, "A 60-GHz 0.13- $\mu\text{m}$  CMOS Divide-by-Three Frequency Divider," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 11, pp. 2409-2415, Nov. 2008.
- [19] U. Singh, and M. Green, "High-frequency CML clock dividers in 0.13- $\mu\text{m}$  CMOS operating up to 38 GHz", *IEEE Journal of Solid-State Circuits*, vol. 40, no. 8, pp. 1658-1661, 2005.
- [20] R. Adler, "A study of locking phenomena in oscillators", *Proceedings of the IEEE*, vol. 61, no. 10, pp. 1380-1385, 1973.
- [21] W. Z. Chen, and C.L. Kuo, "18 GHz and 7 GHz superharmonic injection-locked dividers in 0.25  $\mu\text{m}$  CMOS technology," *Proceedings of the 28th European Solid-State Circuits Conference*, Florence, Italy, pp. 89-92, 2002.
- [22] J. C. Chien, and L. H. Lu, "Analysis and Design of Wideband Injection-Locked Ring Oscillators With Multiple-Input Injection," in *IEEE Journal of Solid-State Circuits*, vol. 42, no. 9, pp. 1906-1915, Sept. 2007.

- [23] S. Cheng, H. Tong, J. Silva-Martinez, and A. I. Karsilayan, "A Fully Differential Low-Power Divide-by-8 Injection-Locked Frequency Divider Up to 18 GHz," in *IEEE Journal of Solid-State Circuits*, vol. 42, no. 3, pp. 583-591, March 2007.
- [24] Y.-H. Chuang, S.-H. Lee, R.-H. Yen, S.-L. Jang, J.-F. Lee, and M.-H. Juang, "A wide locking range and low voltage CMOS direct injection-locked frequency divider," *IEEE Microwave and Wireless Components Letters*, vol. 16, pp. 299-301, 2006.
- [25] S. Seo, H. Seo, S. Jeon, and J. Rieh, "A 20-30 GHz divide-by-3 ring-oscillator-based injection locked frequency divider with a wide locking range", *Microwave and Optical Technology Letters*, vol. 53, no. 4, pp. 839-841, 2011.
- [26] H. Wu, and A. Hajimiri, "A 19GHz 0.5mW 0.35 $\mu$ m CMOS frequency divider with shuntpeakinglocking-range enhancement," presented at the IEEE ISSCC Dig. Tech. Papers, 2001.
- [27] M. Tiebout, "A CMOS direct injection-locked oscillator topology as high-frequency low-power frequency divider," in *IEEE Journal of Solid-State Circuits*, vol. 39, no. 7, pp. 1170-1174, July 2004.
- [28] S. Jang, C. Liu, and J. Huang, "A Wide Locking Range Injection Locked Frequency Divider with Quadrature Outputs", *IEICE Transactions on Electronics*, vol. 91, no. 3, pp. 373-377, 2008.
- [29] S. L. Jang, C. F. Lee, and W. H. Yeh, "A Divide-by-3 Injection Locked Frequency Divider With Single-Ended Input," in *IEEE Microwave and Wireless Components Letters*, vol. 18, no. 2, pp. 142-144, Feb. 2008.
- [30] A. Hajimiri, and T. H. Lee, "A general theory of phase noise in electrical oscillators," in *IEEE Journal of Solid-State Circuits*, vol. 33, no. 2, pp. 179-194, Feb 1998.
- [31] B. Razavi, *Design of analog CMOS integrated circuits*, 1st ed. Boston, MA: McGraw-Hill, 2001.
- [32] D. Leeson, "A simple model of feedback oscillator noise spectrum", *Proceedings of the IEEE*, vol. 54, no. 2, pp. 329-330, 1966.
- [33] S. Verma, H. Rategh and T. Lee, "A unified model for injection-locked frequency dividers", *IEEE Journal of Solid-State Circuits*, vol. 38, no. 6, pp. 1015-1027, 2003.

- [34] S. Jang, X. Hang, and W. Liu, "Review: capacitive cross-coupled injection-locked frequency dividers", *Analog Integrated Circuits and Signal Processing*, vol. 88, no. 1, pp. 97-104, 2016.
- [35] K. Chien, J. Chen, and H. Chiou, "Designs of K-Band Divide-by-2 and Divide-by-3 Injection-Locked Frequency Divider With Darlington Topology", *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, no. 9, pp. 2877-2888, 2015.
- [36] R. Dehghani, "CMOS injection-locked frequency divider with division factor of three," in *IET Circuits, Devices & Systems*, vol. 10, no. 1, pp. 68-77, 1 2016.
- [37] K. Yamamoto, and M. Fujishima, "55GHz CMOS frequency divider with 3.2GHz locking range," in *Proceeding of the 30th European ESSCIRC*, pp. 135-138, 2004.
- [38] S. Jang, W. Hsung Yeh, C. Lee, and M. Juang, "A low power CMOS divide-by-3 LC-tank injection locked frequency divider", *Microwave and Optical Technology Letters*, vol. 50, no. 1, pp. 259-263, 2007.
- [39] H. Wu, and L. Zhang, "A 16-to-18GHz 0.18- $\mu$ m Epi-CMOS Divide-by-3 Injection-Locked Frequency Divider," *IEEE International Solid State Circuits Conference - Digest of Technical Papers*, San Francisco, CA, pp. 2482-2491, 2006.
- [40] S.-L. Jang, C.-W. Tai, and C.-F. Lee, "Divide-by-3 injection-locked frequency divider implemented with active inductor," *Microw. Opt. Technol. Lett.*, vol. 50, pp. 1682-1685, 2008.
- [41] S. L. Jang, C. Y. Lin, and C. F. Lee, "A Low Voltage 0.35  $\mu$ m CMOS Frequency Divider With the Body Injection Technique," in *IEEE Microwave and Wireless Components Letters*, vol. 18, no. 7, pp. 470-472, 2008.
- [42] S.-L. Jang, C.-J. Huang, and C.-C. Liu, "A 0.35 $\mu$ m CMOS divide-by-3 LC injection-locked frequency divider," presented at the VLSI Design, Automation and Test. VLSI-DAT '09. International Symposium, 2009.
- [43] S. L. Jang, S. H. Huang, C. F. Lee, and M. H. Juang, "LC-Tank Colpitts Injection-Locked Frequency Divider With Record Locking Range," in *IEEE Microwave and Wireless Components Letters*, vol. 18, no. 8, pp. 560-562, 2008.

- [44] S. Asadian, M. J. Hemmati, and S. Naseh, "A low power 9GHz divide-by-3 injection locked frequency divider in 0.18 $\mu$ m CMOS with 15% locking range," *18th IEEE International Conference on Electronics, Circuits, and Systems*, Beirut, pp. 611-614, 2011.
- [45] S. N. Nejad, M. J. Hemmati, and A. Hakimi, "A new differential colpitts divide-by-2 injection locked frequency divider," *24th Iranian Conference on Electrical Engineering (ICEE)*, Shiraz, pp. 950-953, 2016.
- [46] H. AL-KHAZALI, "Geometrical and Graphical Representations Analysis of Lissajous Figures in Rotor Dynamic System", *IOSR Journal of Engineering*, vol. 02, no. 05, pp. 971-978, 2012.
- [47] E. Ebrahimi, and S. Naseh, "A Colpitts CMOS Quadrature VCO Using Direct Connection of Substrates for Coupling," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 21, no. 3, pp. 571-574, March 2013.
- [48] C.-W. Chang, J.-F. Huang, S.-L. Jang, Y.-H. Liao, and M.-H. Juang. "CMOS Direct-Injection Divide-by-3 Injection-Locked Frequency Dividers." *In The Second International Conference on Smart IT Applications*, vol. 1, pp. 118-120, 2010.
- [49] S. Jang, and C. Lin, "Wide-locking range class-C injection-locked frequency divider", *Electronics Letters*, vol. 50, no. 23, pp. 1710-1712, 2014.
- [50] S. Jang, C. Lee, and J. Luo, "A CMOS LC injection-locked frequency divider with the division ratio of 2 and 3", *Microwave and Optical Technology Letters*, vol. 51, no. 5, pp. 1263-1267, 2009.
- [51] Y. Jiangwei, L. Ning, Z. Renliang, L. Wei, and R. Junyan, "Low-power wide-locking-range injection-locked frequency divider for OFDM UWB systems", *Journal of Semiconductors*, vol. 30, no. 5, pp. 055003, 2009.
- [52] S. Jang, Y. Wu, C. Lee, and M. Juang, "A Clapp LC-tank injection locked frequency divider", *Microwave and Optical Technology Letters*, vol. 49, no. 11, pp. 2625-2628, 2007.





## Abstract

In recent years, wireless communications have played a key role in everyday lives of people. Today, demand for electronic devices dramatically increases at a low cost, low power consumption, high operating frequency etc.

Frequency synthesizer is one of the essential parts in transmitter and receiver systems. Frequency synthesizers have the ability to produce signals in the desired frequency range and are composed of parts such as frequency divider and mixer. In fact, one of the basic building blocks in frequency synthesizers is frequency divider that it divides input signal frequency to a desired division factor. Frequency dividers are categorized into two groups: digital and analog. Conventional digital dividers are not suitable for division at high frequencies, because firstly they have a high power consumption, and secondly their performance at high frequencies are degraded. Therefore, analog dividers are used in high frequencies, which LC oscillator-based injection locked frequency divider (ILFD) is one of the important analog dividers. LC-ILFDs have two advantages of relatively lower power consumption and higher operating frequency. Usually these dividers have the ability for frequency division on even and odd integer ratio.

So far, several methods have been proposed for division with ratios of two and three of which can refer to direct injection and indirect injection methods for dividing by two and series injection, parallel injection and direct injection methods for dividing by three.

In this thesis, two new frequency dividers are proposed through applying class-C oscillators like Colpitts, which have better phase noise. In the proposed methods, no additional elements for the injection have been used and in return, substrate and intermediate node of capacitors are used for injection. Thus the sources of noise and power consumption of the circuit is largely reduced.

Also, due to the lack of precise benchmark for the diagnosis of the divider locking, this thesis provides a new benchmark based on eye diagrams to better identify the locking of ILFD.

In the first proposed circuit, injection has been done through the substrate that power consumption is equal to 2.69 mW at the supply voltage of 1.6 V. Also at power injection of 0 dBm, locking range of 3.78 GHz (22.11%) is achieved and phase noise of ILFD at 1-MHz frequency offset from 5.61 GHz is equal to -128.63 dBc/Hz. In the second proposed circuit, injection has been done via Colpitts capacitors which its power consumption is 2.49mW, locking range is between 5.7 GHz-10.56 GHz (23.21%) and phase noise divider at 1-MHz frequency offset from 5.61 GHz is equal to -128.69 dBc/Hz. Notably, all the proposed circuits have been simulated using ADS in TSMC 0.18 $\mu$ m RF-CMOS technology.

**Keywords:** Frequency synthesizer, Digital and Analog dividers, Injection-Locked Frequency Divider, Locking Injection.







**Shahrood University of Technology**

**Faculty of Electrical Engineering and Robotic**

**M.Sc. Thesis in Electronic Integrated Circuits Engineering**

**Design and Simulation of Low-Phase Noise ILFD Using  
Class C Oscillators**

**By: Habib Najafi**

Supervisor:  
**Dr. Emad Ebrahimi**

February 2017