

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ



دانشکده مهندسی برق و رباتیک

پایان نامه کارشناسی ارشد مهندسی الکترونیک قدرت و ماشین های الکتریکی

طراحی یکسوکننده سه فاز شش سوئیچه کاهنده در نرم افزار **Simplorer**، شبیه سازی و ساخت

نگارنده: علی نیک بهار

استاد راهنما:

دکتر علی دستفان

استاد مشاور:

مهندس جواد برسلانی

بهمن ۱۳۹۵

دانشگاه صنعتی شاهرود

پایان نامه کارشناسی ارشد مهندسی الکترونیک قدرت و ماشین‌های الکتریکی

پایان نامه کارشناسی ارشد آقای علی نیک بهار

تحت عنوان: طراحی یکسوکننده سه فاز شش سوئیچه کاهنده در
نرم‌افزار Simplorer، شبیه‌سازی و ساخت

در تاریخ توسط کمیته تخصصی زیر جهت اخذ مدرک کارشناسی ارشد
ارزیابی و با درجه مورد پذیرش قرار گرفت.

امضاء	امضاء	امضاء	استاد راهنما
	نام و نام خانوادگی :		نام و نام خانوادگی :

امضاء	امضاء	امضاء	استاد داور
	نام و نام خانوادگی :		نام و نام خانوادگی :
			نام و نام خانوادگی :
			نام و نام خانوادگی :
			نام و نام خانوادگی :

تقدیم به:

پدر و مادر عزیز و خواهران مهربانم که در تمامی مراحل زندگی، پشتیبان

همیشگی ام هستند.

تشکر و قدردانی

وظیفه خود می‌دانم سپاسگزار تمام آنهایی باشم که در این دوره ارزشمند، بودنشان و امیدشان راهگشای من بود؛ پدر و مادر عزیزم که همانند تمام روزهای گذشته با صبر و حوصله در کنارم بودند. همچنین از استاد عزیز و گرانقدرم جناب آقای دکتر دستفان که با تلاش‌های بی‌شائبه خود مرا در انجام این پایان‌نامه یاری نمودند و به هنگام نیاز برای حل مشکلات اینجانب از هیچ کمکی دریغ نوزیدند. برای ایشان آرزوی سلامتی، موفقیت و سربلندی را دارم. همچنین کمال قدردانی را از جناب آقای مهندس برسلانی به عمل می‌آورم که در انجام این پروژه از راهنمایی هایشان به عنوان استاد مشاور بهره برده‌ام. از کلیه دوستان عزیزم مخصوصاً مهندسین محترم مرتضی بازقندی، امیررضا نوری و سعید بابویی که در طول انجام پایان‌نامه به اینجانب کمک نمودند، تشکر می‌نمایم.

همچنین تشکر و قدردانی می‌نمایم از جناب آقای دکتر حسن‌نیا و جناب آقای دکتر اشرف که برای داوری این پایان‌نامه قبول زحمت نمودند و وقت گرانبه‌ای خود را در اختیار اینجانب قرار دادند.

تعهد نامه

- اینجانبعلی نیک بهار..... دانشجوی دوره کارشناسی ارشد رشتهبرق / قدرت..... دانشکدهبرق و رباتیک..... دانشگاه صنعتی شاهرود نویسنده پایان نامه طراحی یکسوکننده سه فاز شش سوئیچه کاهنده در نرم افزار **Simplorer**، شبیه سازی و ساخت.... تحت راهنمایی...دکتر علی دستفان...متعهد می شوم .
- ♦ تحقیقات در این پایان نامه توسط اینجانب انجام شده است و از صحت و اصالت برخوردار است .
 - ♦ در استفاده از نتایج پژوهش محققان دیگر به مرجع مورد استفاده استناد شده است .
 - ♦ مطالب مندرج در پایان نامه تاکنون توسط خود یا فرد دیگری برای دریافت هیچ نوع مدرک یا امتیازی در هیچ جا ارائه نشده است .
 - ♦ کلیه حقوق معنوی این اثر متعلق به دانشگاه صنعتی شاهرود می باشد و مقالات مستخرج با نام « دانشگاه صنعتی شاهرود» و یا « Shahrood University of Technology » به چاپ خواهد رسید .
 - ♦ حقوق معنوی تمام افرادی که در به دست آمدن نتایج اصلی پایان نامه تأثیرگذار بوده اند در مقالات مستخرج از پایان نامه رعایت می گردد.
 - ♦ در کلیه مراحل انجام این پایان نامه، در مواردی که از موجود زنده (یا بافتهای آنها) استفاده شده است ضوابط و اصول اخلاقی رعایت شده است .
 - ♦ در کلیه مراحل انجام این پایان نامه، در مواردی که به حوزه اطلاعات شخصی افراد دسترسی یافته یا استفاده شده است اصل رازداری، ضوابط و اصول اخلاق انسانی رعایت شده است .

تاریخ

امضای دانشجو

مالکیت نتایج و حق نشر

- ♦ کلیه حقوق معنوی این اثر و محصولات آن (مقالات مستخرج، کتاب، برنامه رایانه ای، نرم افزار ها و تجهیزات ساخته شده است) متعلق به دانشگاه صنعتی شاهرود می باشد. این مطلب باید به نحو مقتضی در تولیدات علمی مربوطه ذکر شود .
- ♦ استفاده از اطلاعات و نتایج موجود در پایان نامه بدون ذکر مرجع مجاز نمی باشد.

چکیده

این پایان نامه به معرفی، مدل سازی، کنترل و طراحی یکسوکننده سه فاز شش سوئیچه کاهنده می پردازد و یک روش جدید جهت طراحی فیلتر ورودی و خروجی مبدل ارائه می دهد. روش پیشنهادی طراحی فیلتر مبتنی بر معادلات ریاضی توصیف کننده مدار برای انواع مدولاسیون سینوسی، برداری و SHE ارائه شده است. طراحی بهینه فیلتر ورودی (مقادیر سلف، خازن و میرایی فعال) بر اساس ماکزیمم نمودن ضریب توان و حداقل نمودن THD جریان ورودی انجام گردیده است. با توجه به تعارض میان ضریب توان و THD جریان ورودی، مقادیر سلف و خازن فیلتر ورودی مجهول در روابط ریاضی، با استفاده از الگوریتم هوشمند چندهدفه تعیین شده است. همچنین طراحی سلف خروجی به نحوی صورت گرفته که عملکرد مبدل در حالت پیوسته تضمین شده و ریپل جریان خروجی، حداقل گردد. جهت کنترل مبدل، معادلات حالت مبدل به دستگاه dq0 انتقال یافته و مدل سمت AC و DC مبدل از یکدیگر مجزا می شوند. بر مبنای این مدل، می توان به طور مستقل کنترل سمت AC و DC را انجام داد، به نحوی که روش کنترلی فیدبک حالت برای کنترل ولتاژ DC خروجی و میرایی فعال برای سمت AC به کار گرفته شده است. به منظور تست روش پیشنهادی طراحی در شرایط کار عملی، یک نمونه آزمایشگاهی یکسوکننده سه فاز شش سوئیچه کاهنده به همراه کلیه ملزومات آن شامل فیلتر، بردهای مدار فرمان، بردهای واسط الکترونیکی، واحد پردازنده، سنسورها و غیره طراحی و ساخته شده و روش پیشنهادی طراحی فیلتر نیز بر روی آن پیاده سازی شده است. نتایج حاصل از ساخت نمونه یکسوکننده و مقایسه آن با شبیه سازی های صورت گرفته، صحت و کارایی روش پیشنهادی را اثبات می نماید.

واژه های کلیدی: یکسوکننده سه فاز شش سوئیچه کاهنده، تصحیح کننده ضریب توان، یکسوکننده منبع جریانی، کنترل فیدبک حالت، میرایی فعال، طراحی فیلتر، بهینه سازی هوشمند چندهدفه.

فهرست مطالب

فصل ۱: مقدمه	۱
۱-۱- تعریف موضوع	۲
۲-۱- هدف پژوهش	۳
۳-۱- مروری بر فصول پایان نامه	۴
فصل ۲: مروری بر یکسوکننده‌های سه فاز	۷
۱-۲- مقدمه فصل	۸
۲-۲- ساختارهای مختلف یکسوکننده سه فاز	۸
۱-۲-۲- ساختارهای غیرفعال	۹
۲-۱-۲-۲- یکسوکننده تک پل	۱۰
۳-۱-۲-۲- سیستم‌های یکسوکننده چندپالسه	۱۰
۲-۲-۲- ساختارهای هیبرید	۱۱
۱-۲-۲-۲- سیستم‌های بر مبنای سلف الکترونیکی	۱۲
۲-۲-۲-۲- سیستم‌های ترکیبی از پل دیود و مبداهای DC به DC	۱۳
۳-۲-۲-۲- سیستم‌های تزریق کننده هارمونیک سوم جریان	۱۴
۳-۲-۲-۲- ساختارهای فعال تصحیح کننده ضریب توان	۱۴
۱-۳-۲-۲- سیستم‌های مازولار	۱۵
۲-۳-۲-۲- ساختارهای یکسوکننده و تصحیح کننده ضریب توان تک مرحله‌ای	۱۶
۳-۲- انتخاب مبدل یکسوکننده کاهنده ایده آل	۱۹
۲-۳-۲- مدولاسیون یکسوساز سه فاز شش سوئیچ کاهنده PFC	۲۰
۴-۲- مروری بر روش‌های رایج کنترل یکسوساز	۲۴
۱-۴-۲- کنترل مبدل در دستگاه abc با استفاده از تئوری PQ	۲۴
۲-۴-۲- کنترل پیشبین	۲۶
۳-۴-۲- کنترل مبدل در دستگاه dq0 با استفاده از فیدبک حالت	۲۷
۵-۲- خلاصه فصل	۲۸
فصل ۳: روش پیشنهادی طراحی یکسوکننده سه فاز کاهنده شش سوئیچ PFC	۲۹
۱-۳- مقدمه فصل	۳۰
۲-۳- اهمیت طراحی فیلتر در یکسوکننده	۳۰
۳-۳- ساختار سیستم و ایجاد جریان PWM در مبدل	۳۳
۲-۳-۳- محاسبه هارمونیک‌های جریان PWM در مدولاسیون سینوسی	۳۵
۳-۳-۳- محاسبه هارمونیک‌های جریان PWM در مدولاسیون برداری	۳۸
۴-۳-۳- محاسبه هارمونیک‌های جریان PWM در روش SHE	۴۰
۴-۳- طراحی فیلتر ورودی	۴۱
۱-۴-۳- روش تخمین ریپل جریان ورودی جهت طراحی فیلتر ورودی	۴۲
۲-۴-۳- روش پیشنهادی برای طراحی فیلتر ورودی	۴۵
۱-۲-۴-۳- طراحی بهینه میرایی تابع تبدیل فیلتر ورودی	۴۵
۲-۲-۴-۳- طراحی بهینه مقادیر سلف و خازن فیلتر ورودی با استفاده از روش‌های بهینه‌سازی چندهدفه	۴۸

۵۳ ۵-۳- طراحی سخت افزار
۵۴ ۱-۵-۳- انتخاب پردازنده
۵۷ ۲-۵-۳- طراحی مدار اسنابر غیرفعال RCD
۵۸ ۳-۵-۳- مدار سنسور ولتاژ
۶۱ ۴-۵-۳- طراحی مدار فرمان
۶۲ ۵-۵-۳- زمان مرده کلیدهای قدرت
۶۳ ۶-۳- خلاصه فصل
۶۵ فصل ۴: طراحی کنترل کننده
۶۶ ۱-۴- مقدمه
۶۶ ۲-۴- مدلسازی و طراحی کنترل کننده یکسوکننده
۶۷ ۱-۲-۴- مدل سازی مبدل و محاسبه تابع تبدیل آن
۶۹ ۲-۲-۴- مدل سمت AC
۷۱ ۳-۲-۴- مدل سمت DC
۷۲ ۴-۲-۴- طراحی کنترل کننده
۷۲ ۱-۴-۲-۴- طراحی کنترل کننده سمت AC
۷۵ ۲-۴-۲-۴- طراحی کنترل کننده سمت DC
۷۷ ۵-۲-۴- بلوک دیاگرام کنترل مبدل
۷۸ ۳-۴- خلاصه فصل
۷۹ فصل ۵: نتایج شبیه سازی و ساخت نمونه آزمایشگاهی
۸۰ ۱-۵- مقدمه فصل
۸۰ ۲-۵- شبیه سازی سیستم
۸۱ ۲-۱-۲-۵- شبیه سازی روش پیشنهادی طراحی فیلتر ورودی و خروجی
۸۹ ۳-۱-۲-۵- مدل سازی کلید و طراحی اسنابر در نرم افزار Simplorer
۹۱ ۴-۱-۲-۵- شبیه سازی کنترل کننده و سیستم حلقه بسته
۹۸ ۳-۵- نتایج حاصل از ساخت نمونه آزمایشگاهی یکسوکننده
۹۸ ۱-۱-۳-۵- پیاده سازی سخت افزار و برنامه مبدل
۱۰۳ ۲-۱-۳-۵- نتایج حاصل از ساخت
۱۰۹ ۴-۵- خلاصه فصل
۱۱۰ فصل ۶: نتیجه گیری و پیشنهادها
۱۱۱ ۱-۶- نتیجه گیری
۱۱۵ ۲-۶- پیشنهادها
۱۱۶ مراجع

فهرست اشکال

- شکل (۱-۲) دسته‌بندی یکسوسازهای سه‌فاز تک‌جهته..... ۹
- شکل (۲-۲) یکسوکننده پل دیودی با سلف در ورودی و فیلتر خازنی در خروجی ۱۰
- شکل (۳-۲) شکل موج ولتاژ و جریان یکسوکننده پل دیودی با سلف در ورودی و فیلتر خازنی در خروجی ۱۰
- شکل (۴-۲) یکسوکننده ۱۲ پالسه ۱۱
- شکل (۵-۲) جریان ورودی یکسوکننده ۱۲ پالسه ۱۱
- شکل (۶-۲) یکسوکننده دیودی سه‌فاز با سلف الکترونیکی در خروجی ۱۲
- شکل (۷-۲) جریان ورودی یکسوکننده دیودی سه‌فاز با سلف الکترونیکی در خروجی ۱۳
- شکل (۸-۲) پل نیمه کنترل‌شونده کاهنده ۱۳
- شکل (۹-۲) شکل موج جریان ورودی پل نیمه کنترل‌شونده کاهنده ۱۴
- شکل (۱۰-۲) یکسوکننده سه‌فاز هیبرید تزریق‌کننده هارمونیک سوم (Swiss Rectifier) ۱۴
- شکل (۱۱-۲) ساختار یکسوساز سه‌فاز تصحیح‌کننده ضریب توان مازولار با اتصال ستاره ۱۵
- شکل (۱۲-۲) یکسوکننده سه‌فاز کاهنده شش سوئیچ تصحیح‌کننده ضریب توان با اتصال ستاره در ورودی ۱۷
- شکل (۱۳-۲) یکسوکننده سه‌فاز کاهنده شش سوئیچ تصحیح‌کننده ضریب توان با اتصال مثلث در ورودی ۱۸
- شکل (۱۴-۲) ساختار یکسوکننده سه‌فاز کاهنده تصحیح‌کننده ضریب توان با سه کلید کنترل‌شونده ۱۸
- شکل (۱۵-۲) شکل موج ولتاژهای شبکه و جریان‌های مرجع ورودی مبدل ۲۱
- شکل (۱۶-۲) بلوک دیاگرام کنترل مبدل در دستگاه abc ۲۵
- شکل (۱۷-۲) دیاگرام کنترل پیشین یکسوکننده شش سوئیچ کاهنده ۲۶
- شکل (۱۸-۲) کنترل مبدل در دستگاه dq0 با استفاده از فیدبک حالت ۲۸
- شکل (۱-۳) مدار یکسوکننده منبع‌جریانی همراه با فیلتر ورودی و سلف خروجی ۳۱
- شکل (۲-۳) شکل موج PWM، i_{wa} و i_d در یک سیکل کلیدزنی ۳۴
- شکل (۳-۳) CSR در حالت بسته بودن دو کلید در یک ساق ۳۴
- شکل (۴-۳) جریان i_{wa} در یک سیکل کلیدزنی ۳۶
- شکل (۵-۳) مدولاسیون برداری برای ایجاد i_{aw} ۳۹
- شکل (۶-۳) توالی کلیدزنی در الف ($0 < v \leq \pi/6$ ب) ($\pi/6 < v \leq \pi/3$ ج) ($0 < v \leq \pi/6$) ۴۰
- شکل (۷-۳) مدولاسیون SHE ارائه شده در [۳۸] ۴۱
- شکل (۸-۳) فلوجارت طراحی فیلتر ورودی با استفاده از روش تخمین ریپل جریان ورودی ۴۴
- شکل (۹-۳) مدار معادل بر فاز CSR در مؤلفه هارمونیک ۴۶
- شکل (۱۰-۳) دیاگرام بود تابع تبدیل (۲۹-۳) ۴۶
- شکل (۱۱-۳) طراحی میرایی فعال. (مدار معادل و بلوک دیاگرام) ۴۷
- شکل (۱۲-۳) دیاگرام بود تابع تبدیل فیلتر همراه میرایی فعال بهینه پیشنهادی ۴۸
- شکل (۱۳-۳) مدار معادل بر فاز CSR در مؤلفه اصلی ۵۱

- شکل (۳-۱۴) فلوجارت طراحی فیلتر ورودی و خروجی با استفاده از روش پیشنهادی ۵۲
- شکل (۳-۱۵) نمایی از برد FPGA که جهت کنترل دیجیتال و تولید پالس های PWM به کار گرفته شده است ۵۴
- شکل (۳-۱۶) نمایی از طراحی شماتیک حلقه باز برنامه PWM در نرم افزار ISE Design Suite ۵۵
- شکل (۳-۱۷) نمایش دوبار به روز رسانی سیگنال در هر سیکل کلیدزنی ۵۶
- شکل (۳-۱۸) دیاگرام عملکرد زمانی ADC128S102 ۵۷
- شکل (۳-۱۹) مدار اسنابر غیر فعال RCD ۵۸
- شکل (۳-۲۰) نحوه اتصالات مدار سنسور ولتاژ ۵۹
- شکل (۳-۲۱) نمایی از برد کالیبراسیون خروجی سنسور ولتاژ ۶۰
- شکل (۳-۲۲) نمایی از برد مدار فرمان طراحی شده ۶۲
- شکل (۳-۲۳) نمایی از اپتوکوپلر TLP250 ۶۲
- شکل (۴-۱) مدار مبدل یکسو کننده سه فاز منبع جریانی ۶۷
- شکل (۴-۲) مدار معادل abc مبدل ۶۹
- شکل (۴-۳) مدار معادل محور d یکسو کننده ۷۰
- شکل (۴-۴) مدار معادل سمت DC مبدل ۷۲
- شکل (۴-۵) میرایی غیر فعال ۷۴
- شکل (۴-۶) میرایی فعال ۷۴
- شکل (۴-۷) بلوک دیاگرام کنترل کننده سمت AC ۷۴
- شکل (۴-۸) پاسخ مربوط به تابع تبدیل Gac_1 به ازای RH های مختلف ۷۵
- شکل (۴-۹) پاسخ پله مربوط به تابع تبدیل Gac_2 به ازای RH های مختلف ۷۵
- شکل (۴-۱۰) بلوک دیاگرام سمت DC مبدل ۷۶
- شکل (۴-۱۱) پاسخ پله مربوط به تابع تبدیل Gdc_1 ۷۷
- شکل (۴-۱۲) پاسخ پله مربوط به تابع تبدیل Gdc_2 ۷۷
- شکل (۴-۱۳) بلوک دیاگرام کنترل مبدل ۷۸
- شکل (۵-۱) مدار قدرت شبیه سازی شده در نرم افزار متلب ۸۱
- شکل (۵-۲) جریان PWM ورودی CSR (i_{wa}) ۸۲
- شکل (۵-۳) جریان خروجی CSR. الف) اندازه جریان. ب) ریپل جریان ۸۳
- شکل (۵-۴) نتایج شبیه سازی فیلتر طراحی شده با استفاده از روش تخمین ریپل جریان ورودی. الف) ولتاژ و جریان شبکه به همراه میرایی غیر فعال. ب) ولتاژ خازن به همراه میرایی غیر فعال. ج) ولتاژ و جریان شبکه بدون میرایی ۸۴
- شکل (۵-۵) نتایج شبیه سازی فیلتر طراحی شده با استفاده از روش پیشنهادی. الف) ولتاژ و جریان شبکه به همراه میرایی فعال. ب) ولتاژ و جریان شبکه بدون میرایی فعال ۸۷
- شکل (۵-۶) مقایسه نتایج حاصل از طراحی فیلتر ورودی الف) توابع هدف. ب) مقادیر فیلتر طراحی شده ۸۸
- شکل (۵-۷) ولتاژ کلکتور-امیتر کلید قدرت IRG4PH50UD در طراحی اسنابر، بالا بدون اسنابر و پایین با اسنابر ۹۱
- شکل (۵-۸) تغییر در ولتاژ شبکه با افزودن مقاومت ۵ اهم سری در لحظه ۱ ثانیه و حذف آن در ۱,۲۵ ثانیه ۹۲

- شکل (۹-۵) جریان ورودی به‌ازای تغییر در ولتاژ شبکه ۹۳
- شکل (۱۰-۵) جریان و ولتاژ ورودی به‌ازای افت در ولتاژ شبکه ۹۳
- شکل (۱۱-۵) سیگنال خروجی کنترل‌کننده (اندیس مدولاسیون) به‌ازای تغییر در ولتاژ شبکه ۹۴
- شکل (۱۲-۵) ولتاژ خروجی به‌ازای تغییر در ولتاژ شبکه ۹۴
- شکل (۱۳-۵) جریان ورودی به‌ازای تغییر در جریان خروجی ۹۵
- شکل (۱۴-۵) سیگنال خروجی کنترل‌کننده (اندیس مدولاسیون) به‌ازای تغییر در جریان خروجی ۹۵
- شکل (۱۵-۵) ولتاژ خروجی به‌ازای تغییر در جریان خروجی ۹۶
- شکل (۱۶-۵) جریان و ولتاژ ورودی به‌ازای تغییر در جریان خروجی ۹۶
- شکل (۱۷-۵) ولتاژ خروجی به‌ازای تغییر مرجع ولتاژ ۹۷
- شکل (۱۸-۵) جریان ورودی به‌ازای تغییر مرجع ولتاژ ۹۷
- شکل (۱۹-۵) سیگنال خروجی کنترل‌کننده (اندیس مدولاسیون) به‌ازای تغییر مرجع ولتاژ خروجی ۹۸
- شکل (۲۰-۵) بلوک دیاگرام ارتباط سخت‌افزار ساخته‌شده برای یکسو‌کننده سه‌فاز شش‌سوئیچ ۹۹
- شکل (۲۱-۵) شماتیک مدار قدرت برای یکسو‌کننده سه‌فاز شش‌سوئیچ ساخته‌شده ۹۹
- شکل (۲۲-۵) نمایی از دستگاه ساخته‌شده در آزمایشگاه ۱۰۰
- شکل (۲۳-۵) ساختار سیستم خنک‌کننده و قرارگیری مقاومتهای اسنابر بر روی هیت‌سینک جهت خنک‌کنندگی بهتر ۱۰۱
- شکل (۲۴-۵) ولتاژ یکی از فازها و مینیمم بودن آن، به همراه پالس PWM کلیدهای متصل به همان فاز ۱۰۵
- شکل (۲۵-۵) فرمان PWM سه کلید بالایی و بررسی روشن نبودن همزمان آنها برای زمان مرده و PWM ۱۰۵
- شکل (۲۶-۵) فرمان PWM سه کلید پایینی و بررسی روشن نبودن همزمان آنها برای زمان مرده و PWM ۱۰۶
- شکل (۲۷-۵) ولتاژ یکی از فازها به همراه جریان PWM فیلتر نشده همان فاز و پالس‌های مربوط به کلیدهای همان فاز ۱۰۶
- شکل (۲۸-۵) شکل موج ولتاژ دو سر کلید با اسنابر ۱۰۷
- شکل (۲۹-۵) جریان PWM، جریان ورودی فیلتر شده و شکل موج ولتاژ ورودی ۱۰۷
- شکل (۳۰-۵) هارمونیکهای جریان ورودی و THD آن ۱۰۸
- شکل (۳۱-۵) اختلاف فاز ولتاژ و جریان ورودی ۱۰۸
- شکل (۳۲-۵) جریان ورودی، جریان خروجی و شکل موج ولتاژ ورودی ۱۰۹

فهرست جداول

جدول (۱-۲) مقایسه یکسوکننده‌های سه‌فاز.....	۲۰
جدول (۱-۳) مدولاسیون برداری ارائه شده در مرجع [۳۷].....	۴۰
جدول (۱-۴) پارامترهای یکسوکننده سه‌فاز کاهنده تصحیح‌کننده ضریب توان.....	۷۳
جدول (۱-۵) پارامترهای الگوریتم NSGA_II.....	۸۵
جدول (۲-۵) مقادیر فیلترهای طراحی شده بهینه و توابع هدفشان، با استفاده از NSGA_II.....	۸۶
جدول (۳-۵) مشخصه IGBT استفاده شده در مدار قدرت.....	۹۰
جدول (۴-۵) اختلاف فاز ولتاژ و جریان شبکه و THD جریان ورودی به‌ازای تغییر مرجع ولتاژ خروجی.....	۹۸

فصل ١: مقدمه

۱-۱- تعریف موضوع

در سال های اخیر، استفاده از یکسوکننده ها به علت گسترش استفاده از تجهیزات الکترونیکی و مخابراتی افزایش یافته است. با گسترش این بارهای غیرخطی در شبکه قدرت، شرکت های برق با تعیین استانداردهایی سعی در محدود کردن استفاده از این بارها را دارند. از جمله مواردی که باید توسط مبدل های الکترونیک قدرتی که به صورت متصل به شبکه کار می نمایند، رعایت شود می توان به ضریب توان بالا و THD پایین جریان کشیده شده از شبکه (بسته به ولتاژ نقطه اتصال) اشاره نمود.

مبدل های کلیدزنی^۱ فرکانس بالای زیادی در دهه های اخیر جهت بهبود عملکرد یکسوکننده ها مورد استفاده قرار گرفته است. یکسوکننده ها در یک دسته بندی کلی به سه دسته فعال^۲، هیبرید^۳ و غیرفعال^۴ تقسیم می شوند. یکسوکننده غیرفعال، با استفاده از فیلترهای سلفی و خازنی و یا اتصال خاص ترانسفورماتور سه فاز در ورودیشان، اعوجاج جریان ورودی را کاهش می دهند. بنابراین، در مواردی که حجم، وزن و کنترل ولتاژ خروجی مبدل حائز اهمیت است، قابل استفاده نمی باشند. یکسوکننده هیبرید نیز با فرآیند کلیدزنی و همچنین استفاده از المان های غیرفعال همچون ترانس جریان ورودی را بهبود داده و خروجی را کنترل می نمایند. این نوع مبدل ها نیز هرچند دارای خروجی قابل کنترل هستند اما باز هم به دلیل استفاده از المان های پسیو حجیم و سنگین آنچنان گسترش نیافته اند. یکسوکننده های فعال، علاوه بر کنترل ولتاژ و یا جریان خروجی، جریان ورودی را نیز با THD مناسب و هم فاز با ولتاژ شبکه تصحیح می کنند. با توجه به این ویژگی ها (قابل کنترل بودن خروجی و تصحیح کنندگی ضریب توان) در این مبدل ها از ترانس استفاده نمی گردد.

¹ Switching convrter

² Active

³ Hybrid

⁴ Passive

ساختارهای مختلفی از یکسوکننده سه فاز کاهنده تصحیح کننده ضریب توان، معرفی شده اند که هر یک از آنها دارای مزایا و معایبی می باشند. یکی از این ساختارها، یکسوکننده سه فاز کاهنده تصحیح کننده ضریب توان شش سوئیچه با اتصال ستاره می باشد که در آن از شش RB-IGBT¹ استفاده می گردد. در صورتی که از این مبدل، جهت تغذیه در ولتاژهای پایین تر از پیک ولتاژ شبکه استفاده شود، نیازی به استفاده از ترانس در ورودی آنها نمی باشد. این یک مزیت بسیار مهم برای این مبدلها نسبت به یکسوکننده های منبع ولتاژی می باشد که سبب کاهش حجم، هزینه و وزن مبدل می گردد. در این پایان نامه قصد داریم به طور کامل تمام مراحل طراحی شامل مدل سازی، طراحی کنترل کننده، مدولاسیون، طراحی فیلتر و طراحی سخت افزار (مدار فرمان²، مدار اسنابر³، پردازنده مناسب، چینش المان های قدرت و غیره) را ارزیابی کرده و پیشنهاداتی در طراحی ارائه نمائیم. همچنین در این پایان نامه به منظور بررسی دقیق تر و عملی رفتار یکسوکننده سه فاز کاهنده تصحیح کننده ضریب توان، یک دستگاه نمونه آزمایشگاهی ساخته شده که در آن کلیه ملزومات مورد نیاز نظیر فیلتر، بردهای واسط، بردهای مدار فرمان، واحد پردازنده و غیره در نظر گرفته شده تا مباحث تئوری مورد بحث را در آن پیاده سازی کرده و مورد آزمایش قرار گیرد.

۱-۲- هدف پژوهش

هدف از این پژوهش، بررسی و شناخت دقیق رفتار یکسوکننده سه فاز کاهنده تصحیح کننده ضریب توان، به عنوان یک منبع تغذیه DC ایده آل متصل به شبکه می باشد. در قدم اول تحلیل، مدل سازی و کنترل آن در فضای تئوری بیان می شود. در گام بعد، درستی تئوری های بیان شده و روش پیشنهادی

¹ Reverse Block Insulated Gate Bipolar Transistor

² Driver

³ Snubber

طراحی فیلتر با استفاده از شبیه سازی مورد ارزیابی قرار می گیرد و سعی می شود حتی الامکان نکات عملی در شبیه سازی در نظر گرفته شود. در نهایت با استفاده از طراحی های تئوری انجام شده و بر مبنای شبیه سازی های صورت گرفته، یک دستگاه یکسوکننده سه فاز کاهنده تصحیح کننده ضریب توان طراحی و ساخته شده است به نحوی که بتوان مباحث تئوری و روش پیشنهادی طراحی فیلتر را بر روی آن پیاده سازی نمود.

۱-۳- مروری بر فصول پایان نامه

فصل دوم این پایان نامه به معرفی یکسوکننده های سه فاز می پردازد. در بخش اول، ابتدا در یک دسته بندی کلی یکسوکننده های سه فاز به سه گروه غیرفعال، فعال و هیبرید تقسیم می گردند. سپس هر یک از این گروه ها به طور کامل معرفی شده و مزایا و معایب هر کدام بیان می گردد. در بخش دوم با توجه به ویژگی های مورد نظر، ساختار مطلوب از میان این یکسوکننده ها انتخاب می گردد. در بخش سوم نیز، روش های رایج کنترل مبدل مطلوب مورد بررسی قرار گرفته و با توجه به مزایا و معایب هر یک از این روش ها، روش کنترلی مناسب انتخاب می گردد.

در فصل سوم یکسوکننده سه فاز تصحیح کننده ضریب توان شش سوئیچه به عنوان یک ساختار پایه مورد بررسی قرار گرفته می شود. اصول طراحی این مبدل، شامل طراحی فیلتر ورودی و خروجی، طراحی بخش الکترونیک، طراحی بخش قدرت و طراحی کنترل کننده می باشد. در زیربخش طراحی فیلتر، روشی جدید مبتنی بر معادلات ریاضی توصیف کننده مدار، جهت طراحی بهینه فیلتر ورودی، برای انواع مدولاسیون سینوسی، برداری و حذف هارمونیک انتخابی ارائه شده است. طراحی بهینه فیلتر ورودی (شامل مقادیر سلف، خازن و میرایی^۱ فعال) بر اساس حداکثر نمودن ضریب توان و حداقل نمودن THD جریان ورودی انجام شده است. با توجه به اینکه، میان ضریب توان و THD جریان ورودی تعارض

¹ Damping

وجود دارد، جهت تعیین مقادیر سلف و خازن فیلتر ورودی به کمک روابط ریاضی، از الگوریتم هوشمند چندهدفه استفاده می گردد. همچنین طراحی سلف خروجی به نحوی صورت گرفته که عملکرد مبدل در حالت پیوسته تضمین شده و ریپل جریان خروجی، حداقل گردد. در زیربخش طراحی مدار اسنابر، مدار اسنابر غیرفعال ولتاژ شامل خازن، مقاومت و دیود به عنوان ساختار مطلوب بیان شده و نکاتی در مورد طراحی پارامترهای آن بیان می گردد. زیر بخش های مربوط به طراحی سخت افزار این پایان نامه شامل انتخاب پردازنده مناسب، طراحی مدار اسنابر، مدار سنسور ولتاژ، طراحی مدار فرمان کلید و محاسبه زمان مرده¹ برای کلیدهای قدرت می باشد.

در فصل چهارم، ابتدا معادلات حالت مدار در دستگاه abc نوشته شده و سپس با انتقال معادلات حالت مرتبه ۸ غیرخطی مبدل به دستگاه dq0، این معادلات به صورت دو مجموعه معادله حالت مجزای خطی برای بخش AC و بخش DC مبدل بیان می گردند. به عبارت دیگر، در دستگاه dq0 تابع تبدیل سیستم از روی معادلات خطی تعیین و سپس کنترل کننده مطلوب طراحی می گردد.

در فصل پنجم این پایان نامه نیز به منظور ارزیابی عملکرد روش پیشنهادی طراحی و نتایج حاصل از شبیه سازی سیستم حلقه بسته و همچنین طراحی اسنابر، یک یکسوکونده سه فاز تصحیح کننده ضریب توان کاهنده شش سوئیچه شبیه سازی و ساخته شده است. در این فصل، به معرفی نمونه شبیه سازی شده و ساخته شده پرداخته خواهد شد و نتایج حاصل از عملکرد این دو ارائه می گردد. در قسمت اول از بخش دوم این فصل، شبیه سازی روش پیشنهادی طراحی بهینه فیلتر مبدل ارائه می گردد. با توجه به اینکه جهت تعیین مقادیر سلف و خازن فیلتر ورودی به واسطه روابط ریاضی حاصل شده از مدار، از MOEA استفاده شده است، همگی پاسخ های بهینه این طراحی با سایر روش ها مورد مقایسه قرار می گیرند. در قسمت دوم از بخش دوم نیز به دلیل عدم توانایی نرم افزار متلب در مدل سازی دقیق یک

¹ Dead time

کلید قدرت بر اساس دیتاشیت^۱، مدل سازی کلید قدرت و در نهایت طراحی اسنابر در نرم افزار Ansys Simplorer انجام می شود. در قسمت آخر این بخش نیز سیستم حلقه بسته در شرایط مختلف بارگذاری، ورود اغتشاش به سیستم و تغییر مرجع ولتاژ خروجی، شبیه سازی شده و نتایج حاصل از آن مورد ارزیابی قرار می گیرد. در بخش چهارم این فصل، نتایج حاصل از ساخت نمونه آزمایشگاهی، نحوه پیاده سازی سخت افزار و روش پیشنهادی طراحی فیلتر در دستگاه نمونه بیان می گردد. همچنین نتایج حاصل از ساخت به همراه تحلیل آن ها به صورت عکس های خروجی اسکوپ ارائه می گردد به نحوی که فیلتر طراحی شده برای این مبدل، مورد ارزیابی قرار گرفته خواهد شد.

فصل ششم شامل نتیجه گیری، جمع بندی کلیه مطالب ارائه شده و بیان پیشنهادها برای کارهای آینده در این حوزه است. در بخش اول آن، مروری مختصر بر کل پایان نامه انجام شده و نتایج حاصل از این پروژه به صورت خلاصه بیان می شود. همچنین در بخش دوم از این فصل، پیشنهادها برای کارهای بعدی ارائه می گردد.

¹ Datasheet

فصل ۲: مروری بر یکسوکننده‌های سه‌فاز

۲-۱- مقدمه فصل

باتوجه به اینکه هدف یافتن یک نوع یکسوکننده کاهنده ایده‌آل به‌عنوان منبع تغذیه DC در بین یکسوکننده‌های موجود می‌باشد، در این فصل ابتدا مروری بر یکسوکننده‌های تک‌جهته خواهد شد. این ساختارها به‌طور کلی به سه دسته غیرفعال، هیبرید و فعال تقسیم می‌گردند. در این فصل، به مقایسه ساختارهای موجود پرداخته و از بین این ساختارها یک مبدل ایده‌آل مناسب (با توجه به مزایا و معایب هر یک از مبدل‌ها) انتخاب خواهد شد و نحوه مدولاسیون مبدل منتخب بیان می‌گردد. در بخش آخر نیز روش‌های رایج کنترل مبدل منتخب مورد بررسی قرار گرفته و یک روش مطلوب برای کنترل مبدل انتخاب گردیده است.

۲-۲- ساختارهای مختلف یکسوکننده سه‌فاز

شکل (۲-۱) دسته‌بندی کلی یکسوکننده‌های سه‌فاز تک‌جهته را نشان می‌دهد. این مبدل‌ها در سه دسته کلی غیرفعال، هیبرید و فعال گنجانده می‌شوند. دسته غیرفعال خود به دو دسته یکسوکننده تک‌پل^۱ و سیستم‌های یکسوکننده چندپالسه تقسیم می‌شوند. دسته هیبرید نیز در سه گروه سیستم‌های برمبنای سلف الکترونیکی، سیستم‌های متشکل از پل دیود همراه با مبدل‌های DC به DC و همچنین سیستم‌های تزریق کننده هارمونیک سوم جای می‌گیرند. گروه یکسوکننده‌های فعال تصحیح‌کننده ضریب توان نیز خود به دو دسته مبدل‌های ماژولار^۲ و سیستم‌های یکسوکننده تصحیح‌کننده ضریب توان تک مرحله‌ای تقسیم می‌گردد. در ادامه هر یک از مبدل‌ها مورد بررسی و مقایسه قرار می‌گیرند.

¹ Single bridge rectifier

² Modular systems

۱-۲-۲- ساختارهای غیرفعال

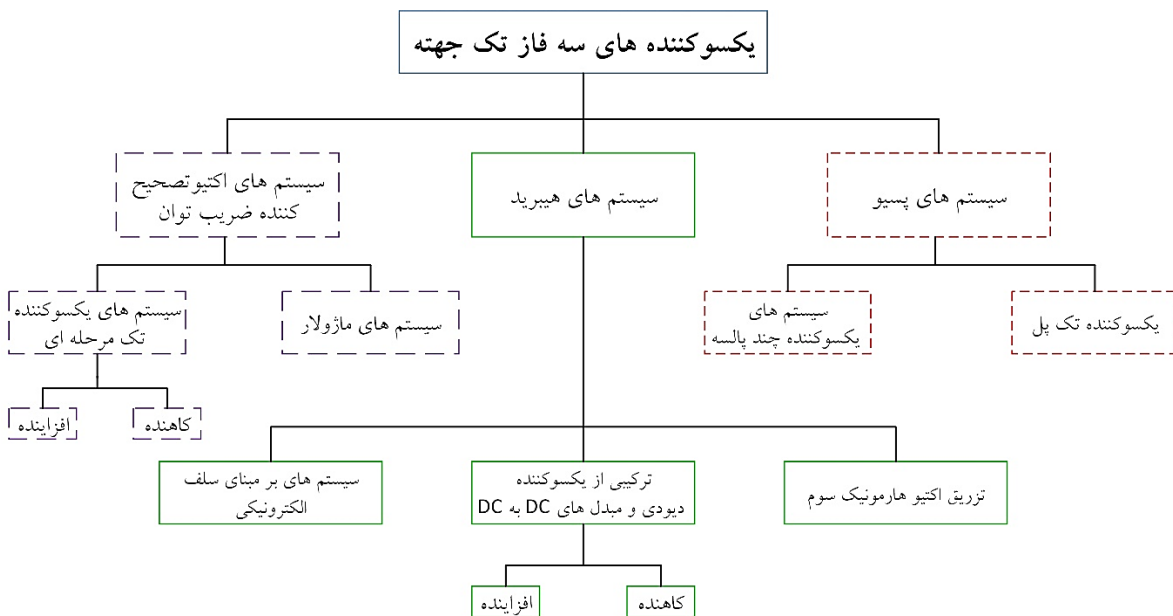
دسته اول یکسوکننده‌های تک‌جهته، یکسوکننده‌های غیرفعال می‌باشند. این سیستم‌ها دارای مشخصات و ویژگی‌های زیر هستند:

- ✓ شامل پل دیودی یا تریستوری تمام یا نیمه‌کنترل‌شونده می‌باشند.
- ✓ از خازن فرکانس پایین در خروجی برای صاف کردن ریپل ولتاژ خروجی استفاده می‌شود.
- ✓ تنها المان‌های فرکانس پایین غیرفعال، برای ایجاد شکل موج مناسب جریان به کار گرفته شده است.

✓ هیچ کنترلی بر روی ولتاژ خروجی وجود ندارد.

یکسوکننده‌های غیرفعال خود به دو دسته یکسوکننده تک‌پل و سیستم‌های یکسوکننده چندپالسه تقسیم می‌شوند. در ادامه نمونه‌ای از این سیستم‌ها جهت بررسی عملکرد، معایب و مزایا ارائه شده

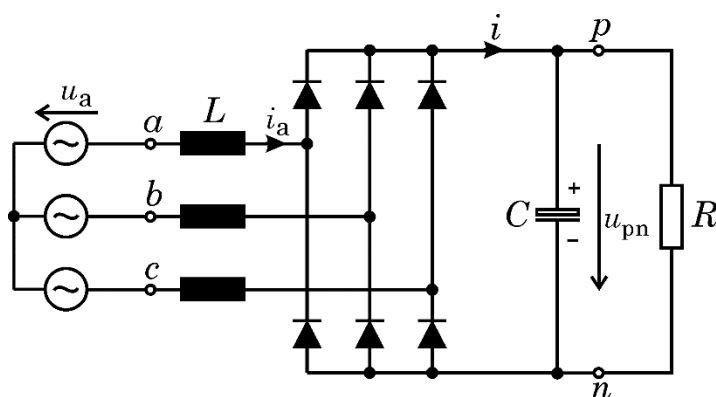
است [۱].



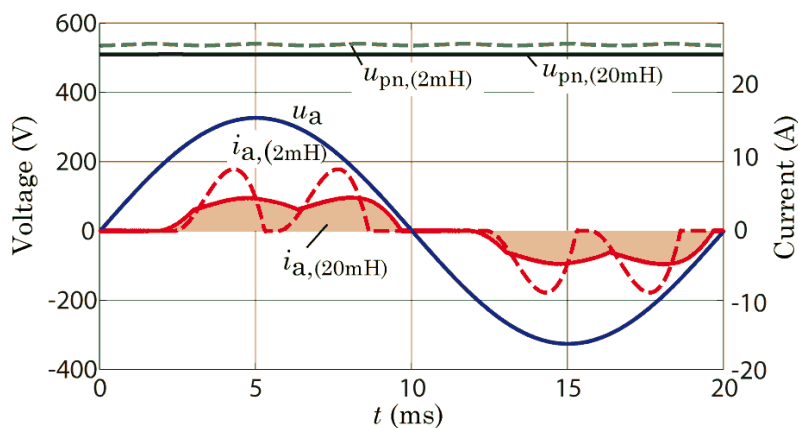
شکل (۱-۲) دسته‌بندی یکسوسازهای سه‌فاز تک‌جهته [۲]

۲-۱-۲-۲- یکسوکندنده تک‌پل

این دسته از مبدل‌ها شامل یک پل دیودی یا تریستوری و سلف و خازن در ورودی یا خروجی می‌باشند. شکل (۲-۲) نمونه‌ای از این مبدل‌ها را نشان می‌دهد. همان‌گونه که ذکر شد، در این مبدل‌ها هیچ کنترلی بر روی ولتاژ خروجی وجود نداشته و جریان ورودی که در شکل (۳-۲) نشان داده شده است، دارای THD نسبتاً بالایی می‌باشد [۱].



شکل (۲-۲) یکسوکندنده پل دیودی با سلف در ورودی و فیلتر خازنی در خروجی [۲]

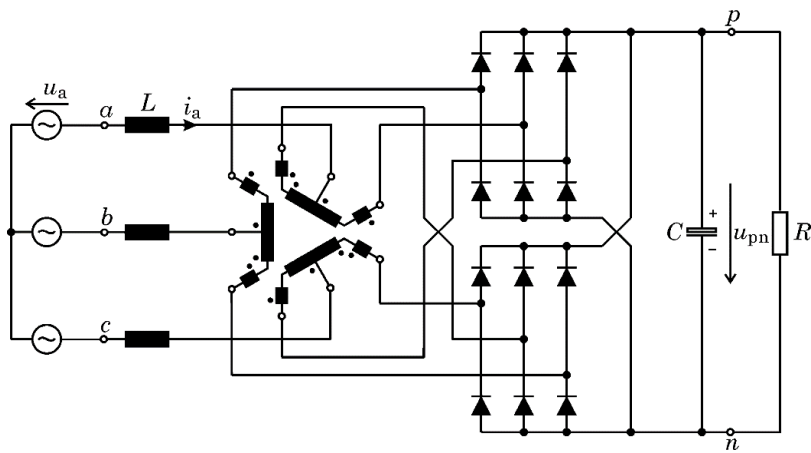


شکل (۳-۲) شکل موج ولتاژ و جریان یکسوکندنده پل دیودی با سلف در ورودی و فیلتر خازنی در خروجی [۲]

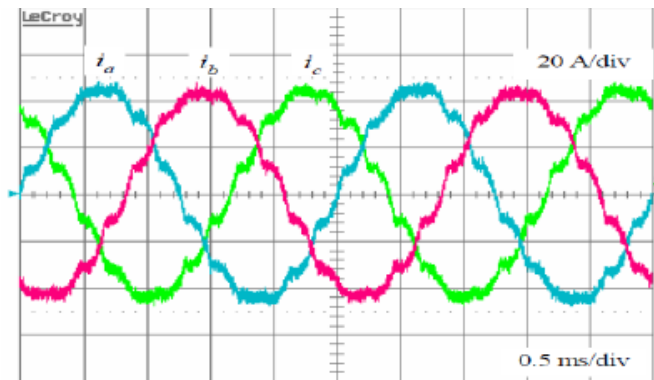
۲-۱-۲-۳- سیستم‌های یکسوکندنده چندپالسه

در این سیستم‌ها جهت ایجاد اختلاف فاز میان ولتاژ ورودی پل‌ها از یک ترانس با اتصال خاص (مثلاً ورودی ستاره و خروجی ستاره و مثلث) استفاده می‌گردد. در شکل (۴-۲) نمونه‌ای از این سیستم‌ها به

نمایش گذاشته شده است. همانطور که ملاحظه می‌گردد این سیستم شامل یک ترانس سه‌فاز در ورودی و دو پل دیودی به همراه یک خازن به عنوان فیلتر خروجی می‌باشد. هر چند در این حالت شکل موج جریان ورودی نسبتاً به حالت سینوسی نزدیک‌تر شده (شکل (۲-۵)) و مقدار خازن خروجی به دلیل بالاتر بودن فرکانس ولتاژ خروجی کم‌تر می‌باشد اما باز هم کنترلی بر روی ولتاژ خروجی وجود ندارد. ضمن اینکه استفاده از ترانس سبب افزایش حجم، وزن و قیمت مبدل شده است [۱].



شکل (۲-۴) یکسوکننده ۱۲ پالسه [۱]



شکل (۲-۵) جریان ورودی یکسوکننده ۱۲ پالسه [۱]

۲-۲-۲- ساختارهای هیبرید

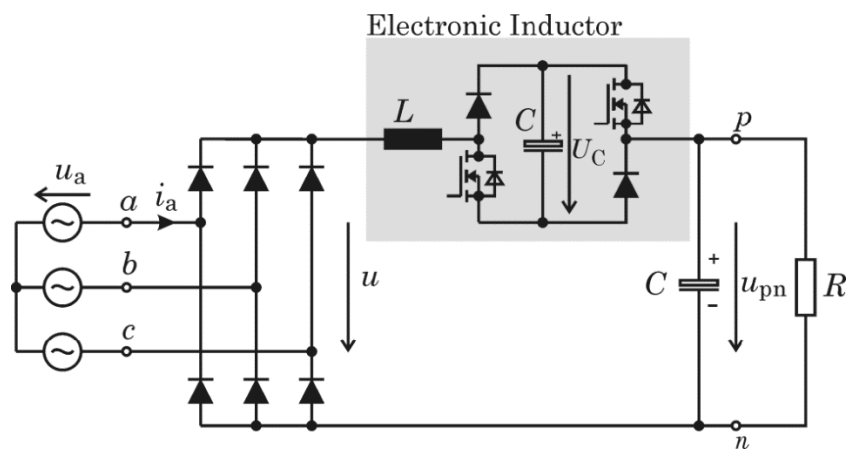
دومین دسته‌بندی از یکسوکننده‌های سه‌فاز تک جهت سیستم‌های با ساختار هیبرید بوده که

دارای مشخصات و ویژگی‌های زیر می‌باشند:

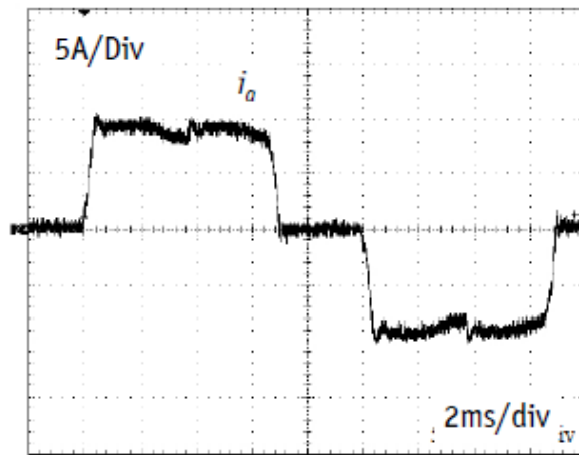
- ✓ شامل المان‌های غیرفعال فرکانس پایین و المان‌های غیرفعال فرکانس کلیدزنی می‌باشد.
- ✓ تنها شکل موج جریان یا تنها ولتاژ خروجی و یا هر دو کنترل می‌گردد.
- ✓ شکل موج جریان ورودیشان می‌تواند به حالت سینوسی بسیار نزدیک باشد.

۲-۲-۱- سیستم‌های بر مبنای سلف الکترونیکی

شکل (۶-۲) نمونه‌ای از این مبدل‌ها را نشان می‌دهد. منظور از سلف الکترونیکی در این سیستم‌ها، تغییر مقدار سلف (چه در ورودی و چه در خروجی) با استفاده از کنترل پهنای پالس سوئیچهای قدرت می‌باشد. در این حالت می‌توان شکل موج جریان ورودی را با کلیدزنی مناسب بهبود بخشید. هر چند این سیستم دارای چگالی توان بالا به دلیل عدم استفاده از ترانس می‌باشد، اما در این‌گونه مبدل‌ها نیز کنترلی بر ولتاژ خروجی وجود نداشته و جریان ورودی شکل (۷-۲) نیز THD نسبتاً بالایی دارد [۱].



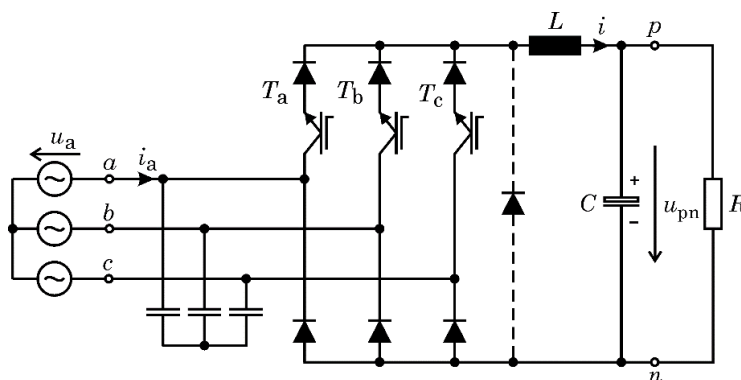
شکل (۶-۲) یکسوکننده دیودی سه‌فاز با سلف الکترونیکی در خروجی [۱]



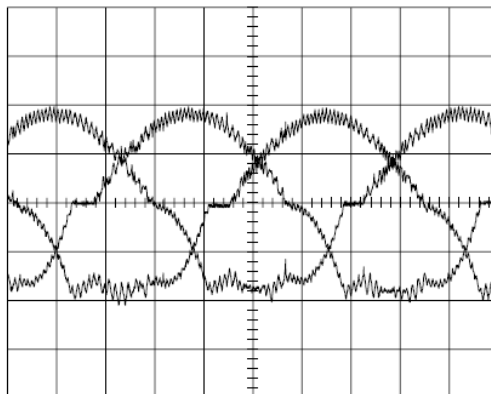
شکل (۲-۷) جریان ورودی یکسوکنده دیودی سه‌فاز با سلف الکترونیکی در خروجی [۱]

۲-۲-۲-۲- سیستم‌های ترکیبی از پل دیود و مبدل‌های DC به DC

این سیستم‌ها ترکیبی از پل دیودی و نوعی مبدل DC به DC بوده و به دو دسته کاهنده و افزایشنده تقسیم می‌شوند. با توجه به اینکه ساختار کاهنده یکسوکنده مدنظر می‌باشد، تنها این نوع از این دسته مبدل‌ها مورد بررسی قرار می‌گیرند. به عنوان نمونه در نیمه بالایی مبدل نشان داده شده در شکل (۲-۸) از سه کلید قدرت سری با دیود و در نیمه پایینی تنها از دیود قدرت استفاده شده است. در این حالت می‌توان ولتاژ خروجی مبدل را با استفاده از سه کلید قدرت کنترل نمود و شکل موج جریان ورودی را بهبود بخشید، اما باز هم شکل موج جریان ورودی (شکل (۲-۹)) دارای THD نسبتاً بالایی می‌باشد [۱].



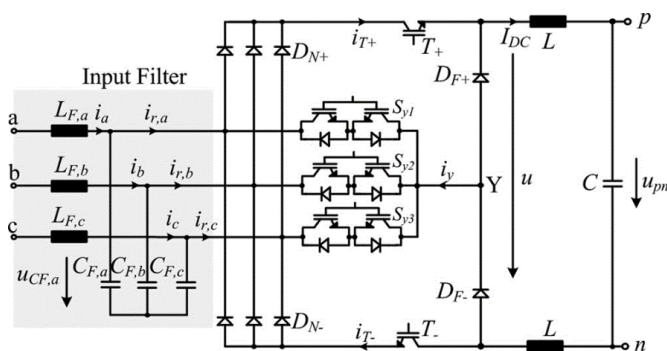
شکل (۲-۸) پل نیمه‌کنترل‌شونده کاهنده [۳]



شکل (۹-۲) شکل موج جریان ورودی پل نیمه‌کنترل‌شونده کاهنده [۳]

۳-۲-۲-۲- سیستم‌های تزریق کننده هارمونیک سوم جریان

مبدل نشان داده شده در شکل (۱۰-۲) معروف به Swiss Rectifier یک مبدل کاهنده با هشت کلید فعال، یک پل دیودی سه‌فاز، یک فیلتر LC سه‌فاز در ورودی و یک فیلتر LC در خروجی می‌باشد. این مبدل دارای جریان ورودی کاملاً سینوسی و ولتاژ خروجی کنترل‌شونده کاهنده می‌باشد. یعنی تنها در یک مرحله ولتاژ سه‌فاز AC را به صورت کاهنده یکسو کرده و جریان ورودی را نیز به صورت هم‌فاز با ولتاژ شبکه سینوسی می‌نماید [۱].



شکل (۱۰-۲) یکسوکننده سه‌فاز هیبرید تزریق کننده هارمونیک سوم (Swiss Rectifier) [۴]

۳-۲-۲- ساختارهای فعال تصحیح کننده ضریب توان

این سیستم‌ها دارای مشخصات و ویژگی‌های زیر می‌باشند:

✓ ولتاژ خروجی کنترل شده.

✓ جریان ورودی کنترل شده (سینوسی و هم‌فاز با ولتاژ شبکه).

این مبدل‌ها به دو دسته کلی ساختار ماژولار و ساختارهای یکسوکننده تصحیح‌کننده ضریب توان تک مرحله‌ای تقسیم می‌شوند. در ادامه به معرفی هر یک از این دو گروه پرداخته خواهد شد.

۲-۳-۱- سیستم‌های ماژولار

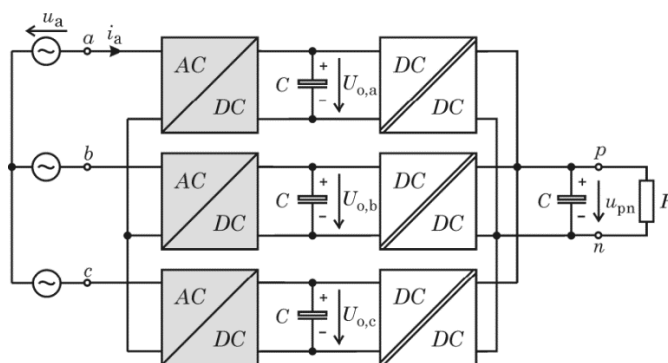
این سیستم‌ها متشکل از چند زیرسیستم (ماژول) مشابه می‌باشند که به صورت ستاره و یا مثلث به هم متصل شده‌اند. مشخصات و ویژگی‌های این سیستم‌ها عبارتند از:

✓ ساختار یکسان ماژول برای هر فاز.

✓ اتصال ماژول فازها به صورت ستاره یا مثلث.

✓ نحوه اتصال فازها وابسته به نحوه کنترل ولتاژ DC خروجی است.

شکل (۲-۱۱) ساختار این نوع یکسوکننده را که به صورت ستاره متصل شده‌اند را نشان می‌دهد. جهت اتصال خروجی هر یک از فازها به یکدیگر و ایجاد یک خروجی واحد باید از مبدل‌های DC به DC ایزوله استفاده نمود [۱]. بنابراین این مبدل‌ها خود شامل سه یکسوساز و سه مبدل DC به DC ایزوله می‌باشند. ولتاژ خروجی این مبدل‌ها کنترل‌شونده بوده و جریان ورودی آن‌ها نیز به صورت سینوسی هم‌فاز با ولتاژ شبکه کنترل می‌گردد [۱].



شکل (۲-۱۱) ساختار یکسوساز سه‌فاز تصحیح‌کننده ضریب توان ماژولار با اتصال ستاره [۲]

۲-۲-۳-۲- ساختارهای یکسوکننده و تصحیح‌کننده ضریب توان تک‌مرحله‌ای

این سیستم‌ها به دو دسته کاهنده و افزایش‌دهنده تقسیم شده و دارای مشخصات و ویژگی‌های زیر

می‌باشند:

✓ شامل تنها یک ولتاژ خروجی مشترک برای همه فازها.

✓ ساختار متقارن برای فازهای هر ساق مبدل.

✓ ساق‌های فازها به صورت ستاره و یا مثلث متصل شده‌اند.

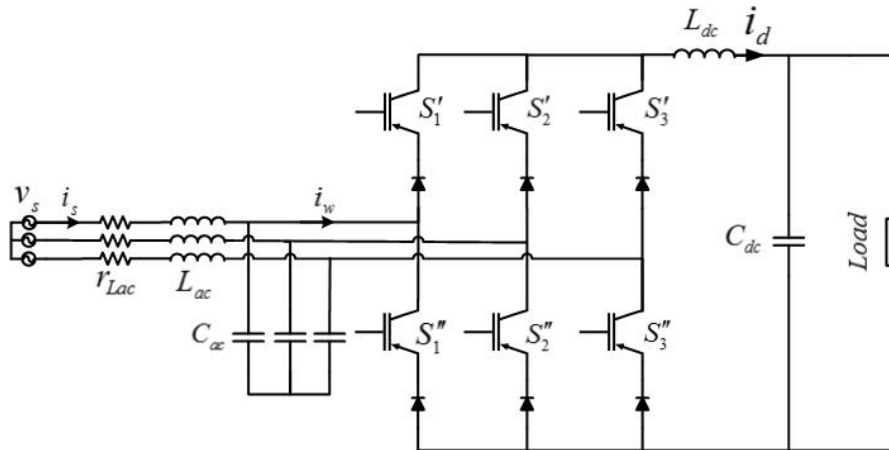
در این بخش به دلیل اینکه هدف استفاده از یکسوکننده در ولتاژهای پایین می‌باشد، یکسوکننده‌های PFC^۱ افزایش‌دهنده به‌همراه ترانس کاهنده یا یک مبدل DC به DC کاهنده در خروجیشان از لحاظ اقتصادی به صرفه نبوده و مورد بررسی قرار نمی‌گیرند. در ادامه به بررسی یکسوکننده‌های کاهنده سه‌فاز تصحیح‌کننده ضریب توان پرداخته خواهد شد.

✓ ساختار یکسوکننده سه‌فاز کاهنده تصحیح‌کننده ضریب توان شش سوئیچ با اتصال ستاره

یکسوکننده پل دیودی قادر به کنترل ولتاژ خروجی، تصحیح کردن ضریب توان و سینوسی کردن جریان ورودی نمی‌باشد. جهت کنترل موارد فوق باید به‌جای دیودها از کلیدهای قدرت استفاده نمود. در دو حالت می‌توان این کار را انجام داد. حالت اول افزودن یک کلید قدرت به صورت موازی با هر دیود و حالت دوم افزودن یک کلید قدرت به صورت سری با دیود. حالت اول ساختار اینورتر سه‌فاز منبع ولتاژی را پدید می‌آورد. در این حالت برعکس اینورتر سه‌فاز منبع ولتاژی که حالت کاهندگی دارد، یکسوکننده‌ای با این ساختار حالت افزایش‌دهنده دارد. بنابراین این ساختار مطلوب نمی‌باشد. در حالت دوم، یکسوکننده به صورت کاهنده عمل کرده و می‌تواند جریان ورودی را به صورت سینوسی با ولتاژ شبکه هم‌فاز نموده و ولتاژ خروجی را نیز کنترل نماید (شکل (۲-۱۲)). البته باید توجه نمود که نیازی

¹ Power Factor Correction

به استفاده از ۶ IGBT مجزا به همراه شش دیود قدرت در ساختار این مبدل نمی‌باشد، بلکه می‌توان از کلیدهای قدرت RB-IGBT که در ساختار خودشان یک IGBT سری با دیود دارند استفاده نمود. همچنین این مبدل توانایی عملکرد در دو ناحیه (ولتاژ مثبت-جریان مثبت و همچنین ولتاژ منفی-جریان مثبت) را دارد [۵].



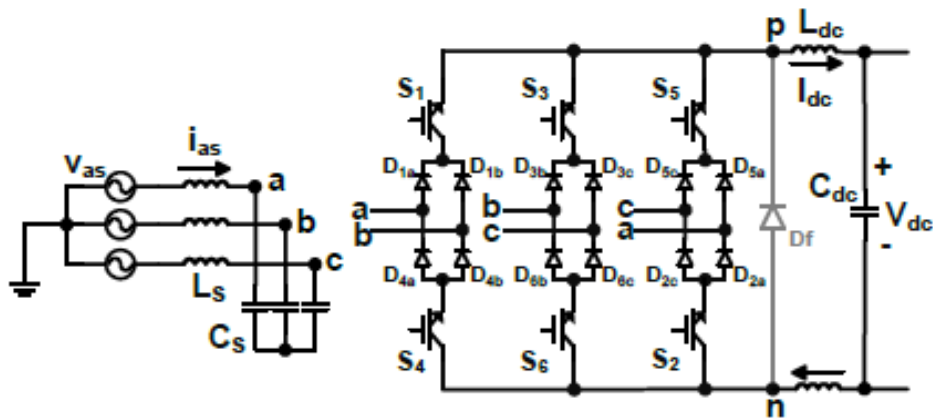
شکل (۲-۱۲) یکسوکننده سه‌فاز کاهنده شش سوئیچه تصحیح‌کننده ضریب توان با اتصال ستاره در ورودی [۶]

✓ ساختار یکسوکننده سه فاز کاهنده تصحیح‌کننده ضریب توان شش سوئیچه با اتصال

مثلت

در مرجع [۷] به منظور کاهش تلفات هدایت مبدل یکسوکننده شش سوئیچه کاهنده ساختار شکل (۲-۱۳) پیشنهاد گردیده است. در این ساختار با افزودن شش دیود به ساختار مبدل و ارائه یک نوع مدولاسیون جدید تلفات مربوط به بخش هدایت مبدل کاهش یافته است. این مبدل نیز مزایای یکسوکننده سه‌فاز شش سوئیچه کاهنده با اتصال ستاره را دارا می‌باشد، با این تفاوت که ساختار مبدل (با افزایش دو برابری تعداد دیودها) و مدولاسیون آن دستخوش تغییر قرار گرفته است.

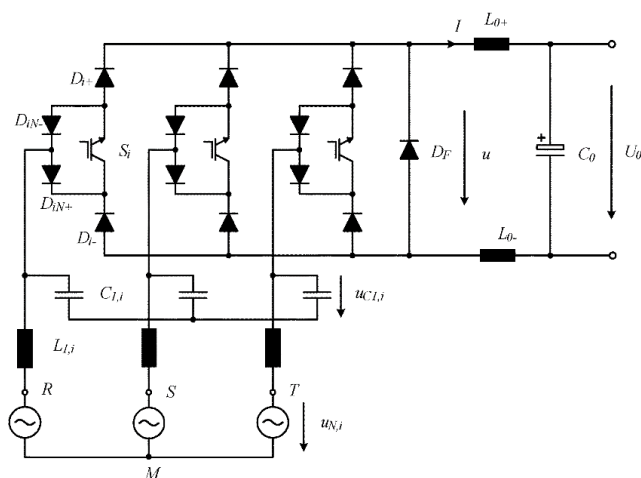
¹ Insulated Gate Bipolar Transistor



شکل (۲-۱۳) یکسوکننده سه‌فاز کاهنده شش‌سوئیچه تصحیح‌کننده ضریب توان با اتصال مثلث در ورودی [۷]

✓ ساختار یکسوکننده سه‌فاز کاهنده تصحیح‌کننده ضریب توان با سه کلید کنترل‌شونده

اگر تنها عملکرد تک ناحیه‌ای (ولتاژ مثبت-جریان مثبت) مورد نیاز باشد، می‌توان مبدل شش‌سوئیچه را به صورت مبدل نشان داده شده در شکل (۲-۱۴) تبدیل کرد. در این صورت در زمان مثبت بودن ولتاژ ورودی مسیر جریان از طریق دیودهای N+ به همراه IGBT و در زمان منفی بودن ولتاژ مسیر جریان از طریق دیودهای N- به همراه IGBT بسته می‌شود. این مبدل، تمام ویژگی‌های یکسوکننده شش‌سوئیچه با اتصال ستاره را داراست با این تفاوت که تنها عملکرد تک ناحیه‌ای دارد. البته باید گفت که در هر لحظه مسیر جریان از طریق چهار دیود و دو IGBT بسته می‌شود که به نوبه خود تلفات هدایت را نسبت به مبدل شش‌سوئیچه افزایش می‌دهد.



شکل (۲-۱۴) ساختار یکسوکننده سه‌فاز کاهنده تصحیح‌کننده ضریب توان با سه کلید کنترل‌شونده [۸]

۲-۳- انتخاب مبدل یکسوکننده کاهنده ایده‌آل

در بخش قبل سعی شد تا مروری بر یکسوکننده‌های سه‌فاز صورت گیرد و معایب و مزایای آن‌ها بررسی شود. هدف یافتن یکسوکننده‌ای با ویژگی‌هایی نزدیک به یکسوکننده ایده‌آل جهت استفاده در شارژر باتری منبع تغذیه بدون وقفه (UPS^۱) می‌باشد. در این بخش با توجه به معایب و مزایای مبدل‌ها، مبدل مطلوب را انتخاب می‌نمائیم. بدین منظور در ابتدا شرایط مبدل مطلوب برای شارژر UPS بیان می‌گردد:

۱. جریان ورودی مبدل هم‌فاز با ولتاژ شبکه باشد.
 ۲. THD جریان ورودی مناسب باشد.
 ۳. مبدل در حالت یکسوکنندگی خاصیت کاهندگی داشته باشد (ولتاژ خروجی قابل کنترل).
 ۴. حداقل تعداد کلیدها و دیودهای قدرت در مبدل به کار گرفته شود.
 ۵. چگالی توان بالایی داشته باشد (ترانس نداشته باشد).
 ۶. ترجیحاً امکان عملکرد در حالت اینورتری داشته و در این حالت افزایش یافته باشد.
- با توجه به موارد فوق می‌توان به‌طور خلاصه ویژگی‌های مبدل‌های مرور شده را دسته‌بندی و در جدول (۱-۲) مقایسه نمود. با توجه به ویژگی مبدل‌های یکسوکننده شش سوئیچ کاهنده تصحیح‌کننده ضریب توان شش سوئیچ با اتصال ستاره بهترین انتخاب برای کاربرد در شارژر UPS می‌باشد. این مبدل در مقایسه با مبدل‌هایی مثل Swiss Rectifier و اتصال مثلث این مبدل تعداد کلیدهای قدرت کمتری دارد. همچنین ویژگی‌های کنترل ولتاژ خروجی، THD جریان قابل قبول، جریان هم‌فاز با ولتاژ شبکه و چگالی توان بالا به دلیل عدم استفاده از ترانس را داراست. بنابراین ساختار معتبر از نظر ویژگی‌های مدنظر، یکسوکننده شش سوئیچ کاهنده تصحیح‌کننده ضریب توان با اتصال ستاره می‌باشد.

¹ Uninterrupted Power Supply

جدول (۱-۲) مقایسه یکسوکننده‌های سه‌فاز

عنوان مبدل	خاصیت PFC	THD قابل قبول جریان ورودی	خاصیت کاهندگی در حالت یکسوکنندگی	عدم استفاده از ترانس	تعداد کلیدهای قدرت	امکان عملکرد در حالت اینورتری
یکسوکننده تک‌پل (مثلا شکل (۲-۲))	X	X	نامعین*	نامعین*	صفر IGBT شش دیود	X
سیستم‌های یکسوکننده چند پالس (مثلا شکل (۴-۲))	✓	✓	نامعین*	X	صفر IGBT دوازده دیود	X
سیستم‌های بر مبنای سلف الکترونیکی (مثلا شکل (۶-۲) (۲-۲) (۱-۲))	X	X	نامعین*	نامعین*	دو IGBT هشت دیود	X
ترکیبی از یکسوکننده دیودی همراه با مبدل‌های DC به DC (مثلا شکل (۸-۲))	✓	X	✓	✓	سه IGBT شش دیود	X
Swiss Rectifier	✓	✓	✓	✓	هشت IGBT هشت دیود	✓
سیستم‌های مازولار (به- عنوان نمونه Y Rectifier)	✓	✓	✓	X	به ساختار مبدل بستگی دارد	می‌تواند داشته باشد
یکسوکننده شش سوئیچ با اتصال ستاره	✓	✓	✓	✓	شش IGBT شش دیود	✓
یکسوکننده شش سوئیچ با اتصال مثلث	✓	✓	✓	✓	شش IGBT دوازده دیود	✓
یکسوکننده سه سوئیچ	✓	✓	✓	✓	سه IGBT شش دیود	X

* چون کنترلی بر ولتاژ خروجی وجود ندارد

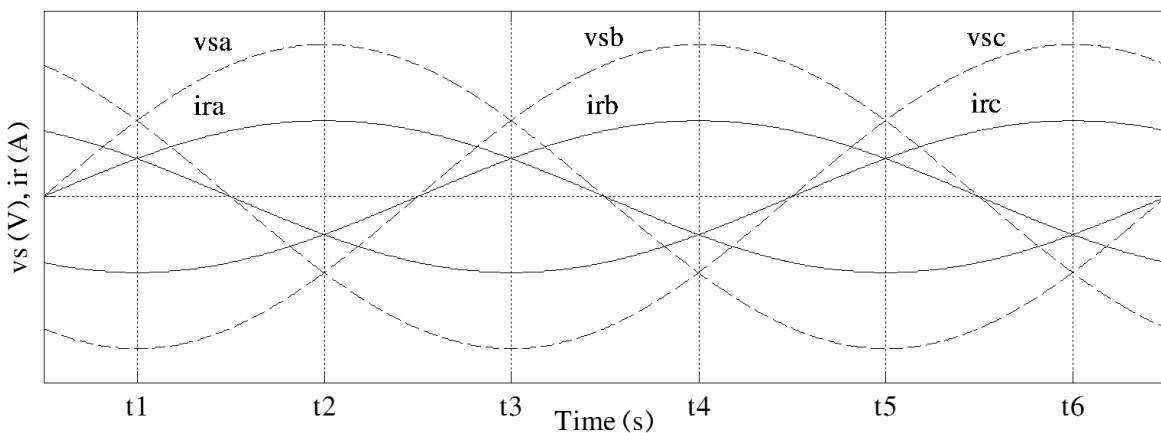
۲-۳-۲- مدولاسیون یکسوساز سه فاز شش سوئیچ کاهنده PFC

در این بخش، به نحوه کلیدزنی در مبدل PFC سه فاز کاهنده شش سوئیچ با اتصال ستاره، نشان

داده شده در شکل (۱۲-۲) پرداخته خواهد شد. شکل (۱۵-۲) ولتاژ متعادل فازهای ورودی v_{sb} ، v_{sa}

و شکل موج‌های مرجع جریان i_{ra} ، i_{rb} ، i_{rc} که به صورت متعادل و هم‌فاز با ولتاژ مربوطه می‌باشند را نشان می‌دهد. هر پریود ورودی به شش ناحیه زمانی بر اساس ماکزیمم و مینیمم شدن جریان‌های مرجع ورودی قابل تقسیم بندی است. بازه زمانی t_1 تا t_2 را در نظر بگیرید. در این بازه i_{ra} مثبت‌ترین و i_{rb} منفی‌ترین جریان مرجع می‌باشند. فرض کنید، جریان i_d کاملاً DC است. کلید S'_1 می‌تواند با مدولاسیون مناسب m'_1 عمل کند و بنابراین i_{aw} با حذف هارمونیک‌های فرکانس بالا، شکلی همانند جریان مرجع i_{ra} خواهد داشت.

همچنین بر همین اساس کلید S''_2 می‌تواند با مدولاسیون مناسب m''_2 عمل کند و بنابراین i_{bw} با حذف هارمونیک‌های فرکانس بالا، شکلی همانند جریان مرجع i_{rb} خواهد داشت. اما در مورد i_{cw} نیز باید گفت با توجه به اینکه مجموع سه جریان i_{aw} ، i_{bw} و i_{cw} در هر لحظه از زمان صفر است، نیز به شکل سینوسی مورد نظر تبدیل خواهد شد. زمانی که کلید S'_1 باز است، باید کلید دیگری از دو کلید باقی مانده بالایی بسته شود تا مسیری برای چرخش جریان i_d ایجاد گردد. این نکته در رابطه با کلید S''_2 و دو کلید باقی مانده پائینی هم، باید مورد توجه قرار گیرد. با توجه به اینکه باز و بسته شدن دو کلید S'_3 و S''_3 تأثیری بر مدولاسیون جریان‌های i_{aw} و i_{bw} ندارد، کلید S'_3 و S''_3 را به ترتیب not کلیدهای S'_1 و S''_2 در این بازه زمانی قرار می‌دهیم.



شکل (۲-۱۵) شکل موج ولتاژهای شبکه و جریان‌های مرجع ورودی مبدل [۹]

با توجه به توضیحات مذکور، حالتی ممکن است رخ دهد، که دو کلید S'_3 و S''_3 همزمان بسته

شوند، در این صورت یک مسیر هرزگرد برای جریان i_d به وجود می‌آید، که می‌توان جهت کاهش تلفات از یک دیود هرزگرد استفاده نمود. جهت تعیین نحوه کلیدزنی در دیگر بازه‌ها، همین روال، مورد استفاده قرار می‌گیرد.

فرض کنید $x(t)$ تابع توصیف کننده وضعیت کلی کلید S بوده و $m(t)$ تابع پیوسته مدولاسیون است. مقدار $x(t)$ همواره یک یا صفر است، اما $m(t)$ بین صفر و یک به طور پیوسته تغییر می‌نماید. با توجه به اینکه مبدل، یک مبدل جریانی بوده و جریان سلف خروجی نباید صفر گردد، همچنین در یک شاخه هر دو کلید نباید همزمان روشن شوند، می‌توان جریان فازهای ورودی را بر حسب جریان سلف خروجی i_d ، و ولتاژ خروجی را بر حسب ولتاژ فازهای ورودی به صورت زیر محاسبه نمود:

$$i_{aw} = (x_1' - x_1'') i_d \quad (1-2)$$

$$i_{bw} = (x_2' - x_2'') i_d \quad (2-2)$$

$$i_{cw} = (x_3' - x_3'') i_d \quad (3-2)$$

$$u_d = (x_1' - x_1'') v_{as} + (x_2' - x_2'') v_{bs} + (x_3' - x_3'') v_{cs} \quad (4-2)$$

که در (4-2) v_{sc} و v_{sb} ، v_{sa} ولتاژهای فازهای ورودی می‌باشند. با صرف نظر از مولفه‌های فرکانس بالا، جریان فازهای مختلف بر حسب i_d و ولتاژ dc خروجی بر حسب ولتاژ فازهای ورودی، به شکل زیر تعیین می‌شوند:

$$i_{aw} = (m_1' - m_1'') i_d \quad (5-2)$$

$$i_{bw} = (m_2' - m_2'') i_d \quad (6-2)$$

$$i_{cw} = (m_3' - m_3'') i_d \quad (7-2)$$

$$u_d = (m_1' - m_1'') v_{as} + (m_2' - m_2'') v_{bs} + (m_3' - m_3'') v_{cs} \quad (8-2)$$

برای تحقیق درستی روابط (۲-۵) تا (۲-۸) بار دیگر بازه زمانی t_1 تا t_2 را در نظر بگیرید. در این

بازه :

$$\begin{aligned}x_1'' &= 0 \\x_2' &= 0 \\x_3' &= \bar{x}_1' \\x_3'' &= \bar{x}_2''\end{aligned}\quad (۹-۲)$$

جهت دستیابی به شکل موج سینوسی مطلوب:

$$m_1' = m_a \sin(\omega t) \quad (۱۰-۲)$$

$$m_3' = 1 - m_1' = 1 - m_a \sin(\omega t) \quad (۱۱-۲)$$

$$m_2'' = m_a \left| \sin\left(\omega t - \frac{2\pi}{3}\right) \right| = -m_a \sin\left(\omega t - \frac{2\pi}{3}\right) \quad (۱۲-۲)$$

$$m_3'' = 1 - m_2'' = 1 + m_a \sin\left(\omega t - \frac{2\pi}{3}\right) \quad (۱۳-۲)$$

$$m_1'' = m_2' = 0 \quad (۱۴-۲)$$

که در این رابطه، m_a اندیس مدولاسیون می‌باشد. با ادامه این روند برای سایر بازه‌های زمانی، (۲-

۱۵) حاصل خواهد شد:

$$\begin{aligned}i_{aw} &= i_d m_a \sin(\omega t) \\i_{bw} &= i_d m_a \sin\left(\omega t - \frac{2\pi}{3}\right) \\i_{cw} &= i_d m_a \sin\left(\omega t + \frac{2\pi}{3}\right)\end{aligned}\quad (۱۵-۲)$$

(۱۵-۲) نشان می‌دهند که در صورت صاف بودن جریان i_d می‌توان به جریان سینوسی مطلوب،

دست پیدا کرد.

با توجه به مدار و در بازه‌های زمانی مختلف می‌توان به رابطه زیر برای ولتاژ خروجی بر حسب

جریان‌های i_{aw} ، i_{bw} و i_{cw} دست پیدا کرد [۲]:

$$u_d = m_a \left(v_{sa} \sin(\omega t) + v_{sb} \sin\left(\omega t - \frac{2\pi}{3}\right) + v_{sc} \sin\left(\omega t + \frac{2\pi}{3}\right) \right) \quad (16-2)$$

اگر این ولتاژها متعادل و هم‌فاز با جریان ورودی باشند، با جایگذاری ولتاژها در (۱۶-۲) خواهیم

داشت:

$$u_d = \sqrt{\frac{3}{2}} U_{L-Lrms} \quad (17-2)$$

که در (۱۷-۲) مقدار موثر ولتاژ خط منبع ورودی است. اگر ورودی ۳۸۰ ولت باشد،

حداکثر ولتاژی را که می‌توان در خروجی بدان دست یافت، برابر ۴۶۵ ولت خواهد بود، که تنها ۱۰

درصد کم‌تر از ولتاژ خروجی یکسوکننده غیرقابل کنترل می‌باشد [۹].

۲-۴- مروری بر روش‌های رایج کنترل یکسوساز

در این بخش مروری بر روش‌های رایج کنترل ولتاژ یا جریان خروجی یکسوکننده مبدل منتخب

خواهد شد. در زیربخش اول به معرفی کنترل مبدل در دستگاه abc با استفاده از تئوری PQ پرداخته

خواهد شد. در زیربخش دوم، کنترل پیش‌بین معرفی و بررسی می‌گردد. در زیربخش سوم، طراحی

کنترل‌کننده در دستگاه dq0 بیان می‌گردد که در این حالت معادلات مبدل به صورت دو دسته معادلات

سمت AC و DC کاملاً مجزا از یکدیگر، تبدیل شده و مدل سیستم تعیین و کنترل‌کننده طراحی

می‌گردد. همچنین باید یادآور شد که علاوه بر روش‌های رایج مذکور، راه‌های زیاد دیگری جهت طراحی

کنترل‌کننده این مبدل به کار گرفته شده است [۵، ۱۰-۱۵] که در اینجا تنها روش‌های رایج ارائه گردیده-

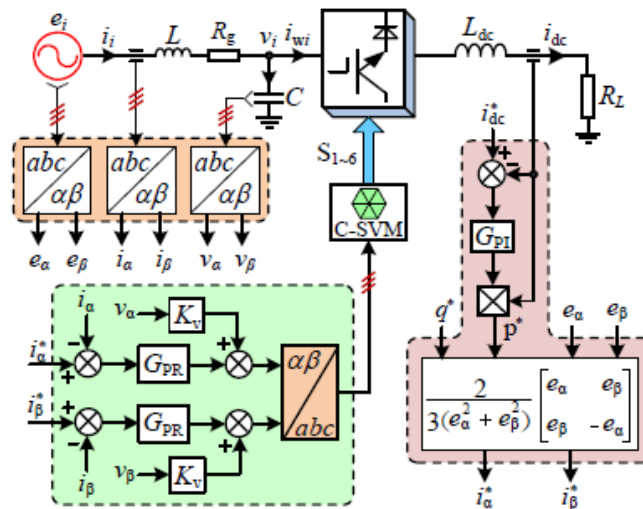
اند.

۲-۴-۱- کنترل مبدل در دستگاه abc با استفاده از تئوری PQ

روش‌های مختلفی جهت کنترل یکسوکننده سه‌فاز شش‌سوئیچه در دستگاه abc ارائه شده است.

یکی از روش‌های ارائه‌شده، استفاده از تئوری PQ می‌باشد. براساس این روش، جهت کنترل جریان

خروجی، ابتدا از آن نمونه گرفته و سپس با جریان مرجع مقایسه و خطای جریان وارد یک کنترل کننده (از نوع PI^۱) می‌شود. خروجی کنترل کننده مقدار مرجع توان فعال را می‌سازد. براساس تئوری PQ و صفر قرار دادن توان راکتیو مرجع، جریان‌های مرجع AC محاسبه می‌گردند. در حالتی که مرجع از نوع AC باشد، استفاده از کنترل کننده PI سبب خطای حالت دائم به علت بهره در فرکانس اصلی، می‌گردد. به‌همین دلیل جهت ردیابی مرجع جریان AC باید از یک کنترل کننده رزونانسی (PR)^۲ استفاده نمود. همچنین در این روش کنترلی، میرایی فعال با نمونه‌گیری از ولتاژ خازن، جهت ایجاد میرایی مناسب برای سیستم، به کار گرفته شده است [۱۶].



شکل (۱۶-۲) بلوک دیاگرام کنترل مبدل در دستگاه abc [۱۶]

در این روش، جهت طراحی کنترل کننده، معادلات حالت غیرخطی سیستم در نقطه کار خطی شده و در حوزه فرکانس ضرایب کنترل کننده طراحی گردیده‌اند. بنابراین یکی از ایرادات این روش، عملکرد نامناسب مبدل در نقاط کار دور از نقطه تعادل سیستم می‌باشد. همچنین در مجموع این روش کنترلی نیازمند چهار سنسور جریان و سه سنسور ولتاژ می‌باشد که تعداد نسبتاً بالایی است و هزینه سیستم را افزایش می‌دهد.

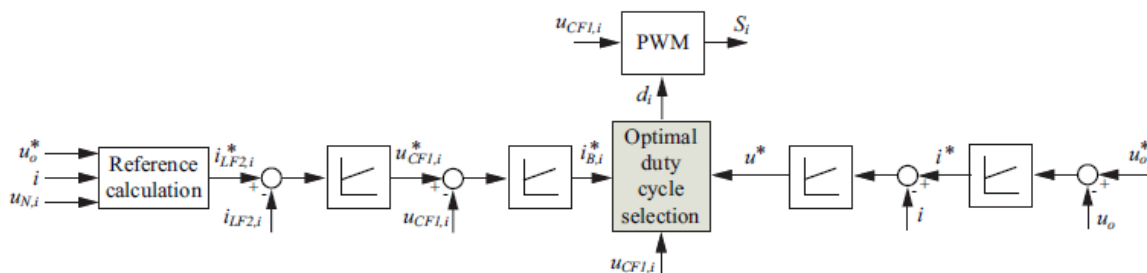
¹ Proportional-Integral

² Proportional-Resonant

۲-۴-۲- کنترل پیش‌بین

شکل (۲-۱۷) یک نوع روش کنترل پیش‌بین را نشان می‌دهد. براساس این روش، ابتدا از جریان خروجی و ولتاژ شبکه نمونه برداری شده و با استفاده از برابری توان فعال ورودی و خروجی جریان مرجع ورودی محاسبه می‌گردد. با مقایسه این مقدار با جریان سلف فیلتر ورودی و عبور این خطا از یک کنترل کننده، ولتاژ مرجع خازن فیلتر ورودی ایجاد می‌گردد. سپس با مقایسه این مقدار مرجع با مقدار واقعی آن و عبور این خطا از یک کنترل کننده مقدار جریان مرجع ورودی مبدل (بعد از فیلتر) ساخته می‌شود. در سمت DC نیز ابتدا با نمونه برداری از ولتاژ خروجی و مقایسه آن با مقدار مرجع، خطای ولتاژ خروجی تعیین می‌گردد. در قدم بعد با استفاده از یک کنترل کننده و مقدار خطای ولتاژ خروجی، جریان مرجع سلف خروجی تعیین می‌گردد. در گام بعد این مقدار با مقدار واقعی جریان سلف خروجی مقایسه شده و با عبور از یک کنترل کننده مقدار مرجع ولتاژ خروجی مبدل (قبل از فیلتر خروجی) تعیین می‌گردد. در نهایت با تعیین دو مقدار مرجع جریان ورودی مبدل (بعد از فیلتر ورودی) و ولتاژ خروجی آن (قبل از فیلتر خروجی) و بهینه کردن تابع هدف بیان شده در (۲-۱۸) مقدار اندیس مدولاسیون مرجع محاسبه می‌گردد. مقدار K_{AC} ، u و $i_{B,i}$ در (۲-۱۸) به ترتیب برابر ضریب اهمیت دو تابع هدف نسبت به یکدیگر، ولتاژ خروجی مبدل (قبل از فیلتر خروجی) و جریان ورودی مبدل (بعد از فیلتر ورودی) می‌باشند. همچنین موارد ستاره‌دار، مقادیر مرجع می‌باشند [۱۷].

$$g = (u^* - u(d_A, d_B, d_C))^2 + K_{AC} \sum_{i=A,B,C} (i_{B,i}^* - i_{B,i}(d_A, d_B, d_C))^2 \quad (2-18)$$



شکل (۲-۱۷) دیاگرام کنترل پیش‌بین یکسوکنده شش سوئیچه کاهنده [۱۷]

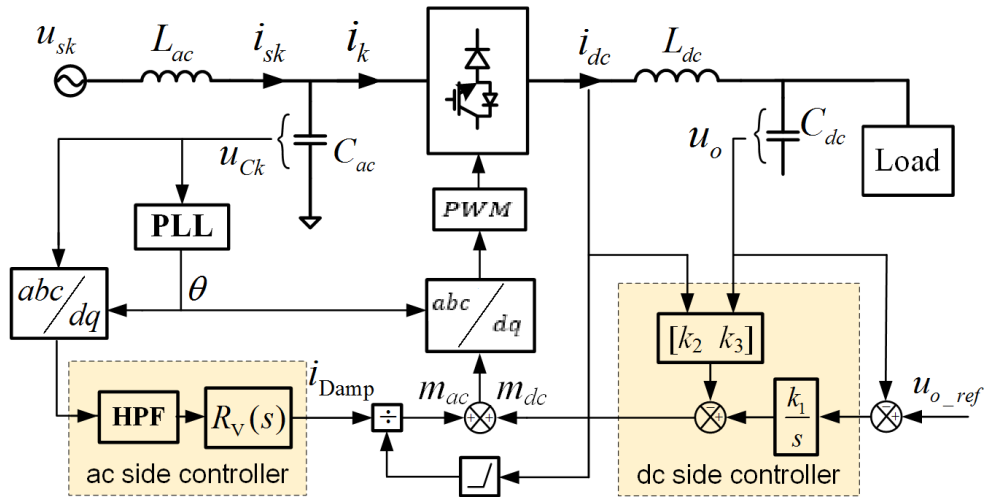
این روش کنترلی نیازمند چهار سنسور جریان و هفت سنسور ولتاژ می‌باشد. علاوه بر این کنترل-های پیش‌بین متکی بر مدل دقیق سیستم می‌باشند. بنابراین این نوع کنترل‌کننده، مناسب برای به-کارگیری در صنعت نمی‌باشد.

۲-۴-۳- کنترل مبدل در دستگاه dq0 با استفاده از فیدبک حالت

روش‌های کنترلی رایج شامل کنترل PID^۱، کنترل غیرخطی و کنترل پیش‌بین است. روش‌های غیرخطی با هدف خطی‌سازی سیستم مورد استفاده قرار می‌گیرند، اما این روش‌ها مقاوم نمی‌باشند. همچنین روش‌های کنترل پیش‌بین بر مبنای مدل دقیق سیستم می‌باشند. با در نظر گرفتن تمامی موارد، ساده‌سازی مدل یکسوکننده سه‌فاز شش‌سوئیچ همواره یک راه مناسب جهت طراحی مناسب عملکرد کنترل‌کننده می‌باشد. یکی از این روش‌ها در شکل (۲-۱۸) نشان داده شده است. در ابتدا با انتقال معادلات حالت مبدل به دستگاه dq0 مدل میانگین مبدل یکسوکننده سه‌فاز شش‌سوئیچ تعیین می‌شود. با در نظر گرفتن بردار ولتاژ خازن فیلتر ورودی در راستای محور d مدل سمت AC و DC مبدل از یکدیگر جدا می‌گردند. با این روش معادله حالت مرتبه ۸ و غیرخطی مبدل به دو دسته معادلات خطی مجزا تبدیل می‌شود. به منظور طراحی میرایی مناسب، در سمت AC میرایی فعال با استفاده از نمونه برداری از ولتاژ خازن فیلتر ورودی انجام شده و جهت کنترل ولتاژ DC نیز از روش فیدبک حالت استفاده شده است. این روش در مجموع شامل چهار سنسور ولتاژ می‌باشد.

با توجه به تعداد سنسورهای مورد استفاده برای کنترل مبدل و طراحی کنترل‌کننده بر پایه مدل آن، می‌توان گفت این روش نسبت به سایر روش‌های مورد بررسی، روش نسبتاً مطلوب‌تری به نظر می‌رسد. به همین دلیل در این پایان‌نامه جهت کنترل مبدل از این روش، استفاده می‌گردد.

¹ Proportional-Integral-Derivative



شکل (۲-۱۸) کنترل مبدل در دستگاه dq0 با استفاده از فیدبک حالت [۱۸]

۲-۵- خلاصه فصل

در این فصل، مروری بر انواع یکسوکننده سه‌فاز صورت پذیرفت. با توجه به ویژگی یکسوکننده‌ها، کیفیت جریان ورودی، ضریب توان، کنترل ولتاژ خروجی، خاصیت کاهندگی بدون استفاده از ترانس، حداقل تعداد کلیدهای قدرت مورد استفاده در مبدل و عملکرد دو ناحیه‌ای آن، از میان ساختارهای یکسوکننده‌های موجود، مبدل یکسوکننده سه‌فاز شش‌سوئیچه کاهنده تصحیح‌کننده ضریب توان با اتصال ستاره در ورودی به عنوان ساختار مناسب انتخاب گردید. در ادامه نیز نحوه مدولاسیون در این مبدل معرفی، بحث و بررسی شد. در انتها روش‌های رایج کنترل مبدل منتخب مورد بحث و بررسی قرار گرفت و روش کنترلی مطلوب برای ولتاژ خروجی انتخاب شد.

فصل ۳: روش پیشنهادی طراحی

یکسوکننده سه فاز کاهنده شش سوئیچه

PFC

۳-۱- مقدمه فصل

در این فصل، روش پیشنهادی طراحی یکسوکننده سه فاز کاهنده شش سوئیچ شامل طراحی فیلتر ورودی و خروجی، پردازنده مناسب، طراحی مدار اسنابر، مدار واسط سنسور ولتاژ، فرمان و تعیین زمان مرده ارائه می گردد.

۳-۲- اهمیت طراحی فیلتر در یکسوکننده

یکسوکننده منبع جریانی (CSR)^۱ دارای مزیت های زیادی اعم از سایز کوچک تر فیلتر در مقایسه با یکسوکننده منبع ولتاژی (VSR)^۲ دوسطحی معمول، حفاظت ذاتی در برابر اتصال کوتاه، عدم استفاده از ادوات مغناطیسی همچون ترانس در کاربردهای ولتاژ پایین که سبب کاهش حجم، وزن و تلفات سیستم می شود، پاسخ سریع به علت کنترل مستقیم جریان و سایز کوچک تر فیلتر EMI^۳ نسبت به VSR می باشد [۷، ۱۹-۲۱]. این ویژگی ها سبب شده تا CSR در بسیاری از صنایع مورد استفاده قرار گیرد. از جمله این کاربردها می توان به منابع تغذیه مراکز داده در سطح ولتاژ پائین [۲۲]، درایوهای AC ولتاژ متوسط توان بالا [۲۳]، شارژر خودروهای برقی [۲۴] و جبران ساز استاتیکی [۲۵] اشاره نمود. علاوه بر این با پیشرفت های اخیر در بحث تجهیزات نیمه هادی و مغناطیسی تلفات مربوط به هدایت سیستم، به طور قابل ملاحظه ای کاهش یافته است [۲۶].

شکل موج های جریان PWM سه فاز ورودی CSR ناپیوسته بوده و دارای مؤلفه های هارمونیک می باشد. جریان کشیده شده از شبکه، توسط هر مبدل باید از استانداردهای تعریف شده که شاخص ترین آن ها IEEE 519 و IEC 61000 می باشند، تبعیت نماید. مقدار هارمونیک های این جریان، باید به مقدار

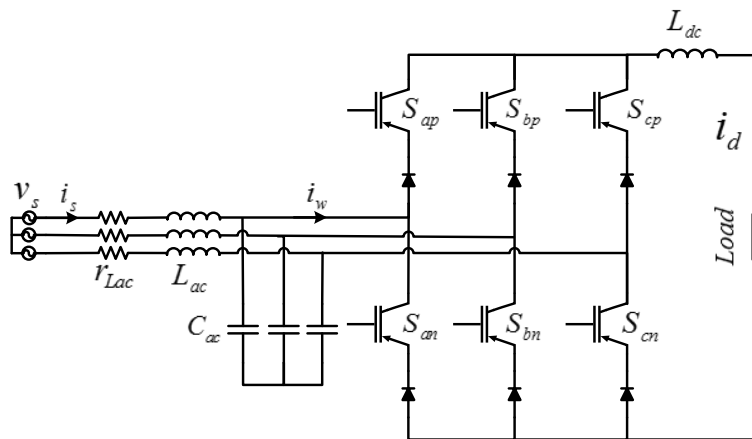
¹ Current Source Rectifier

² Voltage Source Rectifier

³ ElectroMagnetic Interference

تعریف شده در استاندارد کاهش یابد که بدین منظور از یک فیلتر LC جهت حداقل نمودن این مؤلفه‌ها استفاده می‌شود [۲۷]. همچنین وجود فیلتر LC در ورودی ممکن است سبب تخریب شکل موج جریان در حالت گذرا یا دائمی به علت پدیده تشدید، شود. به این دلیل باید میرایی مناسبی برای سیستم طراحی گردد. مورد دیگری که در طراحی فیلتر ورودی مبدل باید در نظر گرفته شود این است که، جریان فیلتر شده نیز همانند جریان PWM با ولتاژ شبکه هم‌فاز باشد.

در سمت DC نیز از یک سلف به منظور تضمین عملکرد مبدل در حالت پیوسته و حداقل سازی ریپل جریان خروجی استفاده می‌گردد، اما طراحی آن زیاد مورد توجه واقع نشده [۲۸]، به طوری که در مراجع [۱۳، ۲۸-۳۲] هیچ مبنایی برای طراحی سلف لینک DC (L_{dc}) ارائه نشده است. شکل (۳-۱)، CSR را به همراه فیلتر ورودی و L_{dc} نشان می‌دهد.



شکل (۳-۱) مدار یکسوکننده منبع جریانی همراه با فیلتر ورودی و سلف خروجی

در مرجع [۳۲]، طراحی سلف و خازن تنها بر مبنای ریپل جریان سلف و ولتاژ خازن صورت گرفته و هیچ مبنایی برای حداکثرسازی ضریب توان ورودی وجود ندارد. در [۳۰] نیز محاسباتی بر اساس مقدار بهره تابع تبدیل فیلتر ورودی در فرکانس اصلی، کلیدزنی و قطع صورت گرفته تا مقدار فیلتر و مقاومت خارجی اضافه شده به سیستم جهت ایجاد میرایی تعیین گردد. معادلات مذکور حل شده و اگر مقادیر فیلتر و مقاومت میرایی، THD ورودی را تا حد قابل قبولی کاهش دهند، محاسبات پایان می‌یابد. در [۲۸] نیز، محاسباتی بر اساس THD جریان ورودی و ضریب توان انجام شده، اما این معادلات بر مبنای طراحی

میرایی غیرفعال بوده که مقاومت خارجی اضافه شده به سیستم سبب ایجاد تلفات و کاهش راندمان سیستم می گردد. همچنین از یک معادله یکسان برای محاسبه هارمونیک های جریان در هر دو نوع مدولاسیون سینوسی (SPWM)^۱ و برداری (SVM)^۲ استفاده شده و هیچ روشی برای محاسبه هارمونیک های جریان در روش حذف هارمونیک های انتخابی (SHE)^۳ ارائه نشده است. در [۳۱]، طراحی مناسبی برای فیلتر ورودی و خروجی در مدولاسیون SHE ارائه شده است، اما این معادلات تنها برای مدولاسیون SHE کاربرد داشته و قابل بسط به سایر مدولاسیون ها نمی باشد. علاوه بر این، در هیچ یک از مقالات مرور شده، طراحی بهینه فیلتر صورت نگرفته است.

در این پایان نامه روشی جدید، مبتنی بر معادلات ریاضی توصیف کننده مدار، جهت طراحی بهینه فیلتر ورودی، برای انواع مدولاسیون SPWM، SVM و SHE ارائه شده است. طراحی بهینه فیلتر ورودی (مقادیر سلف، خازن و میرایی فعال^۴) بر اساس ماکزیمم نمودن ضریب توان و حداقل نمودن THD جریان ورودی انجام شده است. با توجه به اینکه، میان ضریب توان و THD جریان ورودی تعارض وجود دارد، یکی از روش های تعیین مقادیر سلف و خازن فیلتر ورودی، استفاده از الگوریتم هوشمند چندهدفه (MOEA)^۵ می باشد. یکی از MOEAها، الگوریتم ژنتیک با مرتب سازی نامغلوب نوع دو (NSGA-II)^۶ می باشد، که امروزه در حل مسائل در زمینه های مختلف، اعم از سیستم های قدرت [۳۳]، الکترونیک قدرت [۳۴]، ماشین های الکتریکی [۳۵] و غیره مورد استفاده قرار می گیرد. در این پایان نامه، NSGA-II جهت طراحی فیلتر ورودی CSR به کار برده شده است. طراحی L_{dc} نیز به نحوی صورت گرفته که عملکرد مبدل در حالت پیوسته تضمین شده و ریپل جریان خروجی حداقل گردد.

¹ Sine Pulse Width Modulation

² Space Vector Modulation

³ Selective Harmonic Elimination

⁴ Active Damping

⁵ Multi Objective Evolutionary Algorithm

⁶ Non-Dominated Sorting Genetic Algorithm

در ادامه در ۳-۳- ساختار کلی سیستم و قواعد کلیدزنی آن بیان می گردد. در این بخش، سلف خروجی مبدل همچون مبدل کاهنده DC به DC طراحی شده و روابط مربوط به هارمونیک های جریان PWM در سه نوع مدولاسیون SPWM، SVM و SHE محاسبه می گردند. در بخش ۳-۴، طراحی بهینه مقید مقادیر سلف، خازن و میرایی فعال فیلتر ورودی، برای هر سه نوع مدولاسیون مذکور با استفاده از NSGA_II، انجام شده است. در این بخش، به منظور مقایسه روش پیشنهادی با سایر روش های موجود، مروری بر یکی از روش های متداول طراحی فیلتر ورودی صورت گرفته است.

۳-۳- ساختار سیستم و ایجاد جریان PWM در مبدل

مبدل CSR نشان داده شده در شکل (۳-۱)، دارای یک فیلتر سه فاز در ورودی جهت حذف هارمونیک های ناشی از جریان PWM و ایجاد ضریب توان واحد در ورودی مبدل است. همچنین دارای یک سلف در سمت DC به منظور حفظ پیوستگی جریان خروجی و محدود کردن ریپل آن در محدوده قابل قبول می باشد. با توجه به اینکه مبدل از نوع منبع جریانی است، در هر لحظه باید دو کلید هدایت نمایند، تا مسیری برای بسته شدن جریان خروجی وجود داشته باشد. از طرفی در هر لحظه از زمان، نباید دو کلید در ردیف بالا و یا دو کلید در ردیف پایین بسته شوند، زیرا این امر سبب اتصال کوتاه شدن فازهای ورودی خواهد شد [۳۶]. بر این اساس، در هر پرپود کلیدزنی، دو حالت برای جریان خروجی به وجود می آید. اولاً دو کلید در دو فاز متفاوت ورودی روشن باشند که در این حالت سلف در حال شارژ شدن است. ثانیاً دو کلید در یک فاز ورودی همزمان روشن بوده، که در این حالت سلف در حال دشارژ شدن می باشد. شکل (۳-۲)، شکل موج کلیدزنی را در یک پرپود نشان می دهد که در آن Q_{aj} به صورت (۳-۱) تعریف می شود:

$$Q_{aj} = \begin{cases} 1 & S_{aj} \text{ on} \\ 0 & S_{aj} \text{ off} \end{cases}, j \in \{n, p\} \quad (۳-۱)$$

شکل (۳-۳)، مدار سمت خروجی مبدل را، زمانی که هر دو کلید فاز a بسته اند نشان می دهد؛ در

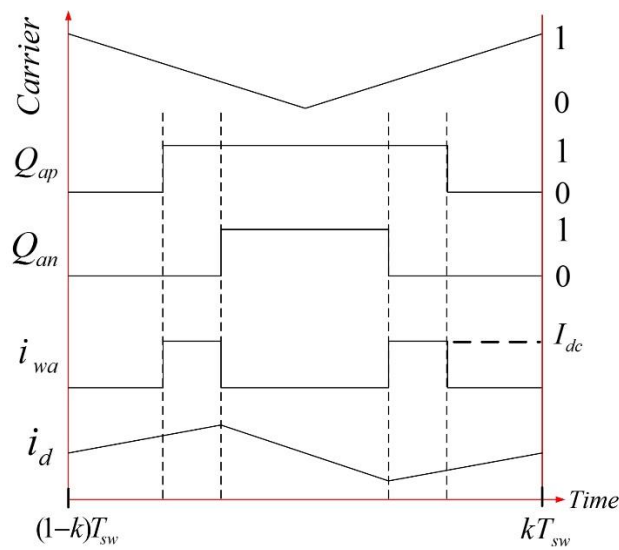
این حالت، با توجه به ارتباط میان ولتاژ و جریان I_{dc} می توان نوشت:

$$\Delta i_d = \frac{V_{out} \Delta t_{disch}}{L_{dc}} \quad (2-3)$$

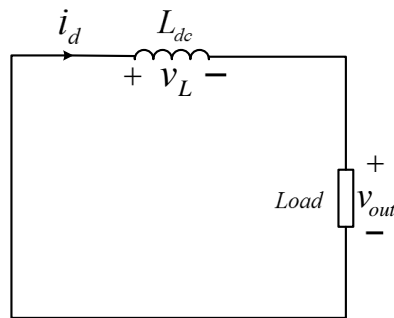
از طرفی مقدار زمان دشارژ سلف، برابر است با:

$$\Delta t_{disch} = (1 - m_a) T_{sw} \quad (3-3)$$

که در (3-3)، m_a اندیس مدولاسیون و T_{sw} پریود کلیدزنی بر حسب ثانیه می باشد.



شکل (2-3) شکل موج PWM، i_{wa} و i_d در یک سیکل کلیدزنی



شکل (3-3) CSR در حالت بسته بودن دو کلید در یک ساق

همچنین ولتاژ خروجی مبدل نیز برابر است با:

$$V_{out} = \frac{P}{I_d} \quad (4-3)$$

با جایگذاری (۳-۳) و (۴-۳) در (۲-۳) داریم:

$$L_{dc} = \frac{P(1-m_a)T_{sw}}{I_d \Delta i_d} \quad (۵-۳)$$

بنابراین به سادگی می توان با در نظر گرفتن فرکانس کلیدزنی، جریان خروجی، ریپل مجاز آن و مقدار ولتاژ خروجی مبدل، مقدار سلف لینک DC را با استفاده از (۵-۳) تعیین نمود.

اما حداقل مقدار L_{dc} برای اینکه جریان خروجی همواره در حالت پیوسته باشد نیز باید تعیین شود. بدین منظور باید در نظر داشت که حداقل مقدار جریان سلف برابر است با:

$$I_{d \min} = I_d - \frac{\Delta i_d}{2} \quad (۶-۳)$$

با استفاده از (۵-۳) و (۶-۳) داریم:

$$I_{d \min} = I_d - \frac{P(1-m_a)T_{sw}}{2I_d L_{dc}} \quad (۷-۳)$$

حداقل مقدار جریان خروجی در مرز پیوستگی جریان برابر صفر است. لذا با استفاده از (۷-۳):

$$L_{dc \min} = \frac{P(1-m_a)T_{sw}}{2I_d^2} \quad (۸-۳)$$

در نتیجه، حداقل مقدار سلف خروجی برای عملکرد مبدل در حالت پیوسته از (۸-۳) تعیین خواهد شد. مقادیر هارمونیک های جریان ورودی وابسته به نوع مدولاسیون بوده که در ادامه این محاسبات برای سه نوع مدولاسیون SPWM، SVM و SHE انجام خواهد شد.

۳-۲-۳- محاسبه هارمونیک های جریان PWM در مدولاسیون سینوسی

در این بخش به نحوه محاسبه مؤلفه های جریان PWM (i_{wa}) در SPWM پرداخته خواهد شد. شکل (۴-۳)، i_{wa} را در یک سیکل کلیدزنی نشان می دهد. با توجه به شکل (۱-۳) و قوانین کلیدزنی بیان شده، جریان i_{wa} به صورت زیر تعریف می گردد:

$$i_{wa} = \begin{cases} I_d & Q_{ap} = 1 \ \& \ Q_{an} = 0 \\ -I_d & Q_{ap} = 0 \ \& \ Q_{an} = 1 \\ 0 & Q_{ap} = Q_{an} = 0 \ \text{or} \ Q_{ap} = Q_{an} = 1 \end{cases} \quad (9-3)$$

با توجه به اینکه شکل موج i_{wa} فرد بوده و دارای تقارن نیم موج می باشد، بسط سری فوریه مربوط به آن تنها دارای مؤلفه های فرد سینوسی بوده و از (۱۰-۳) محاسبه می گردد:

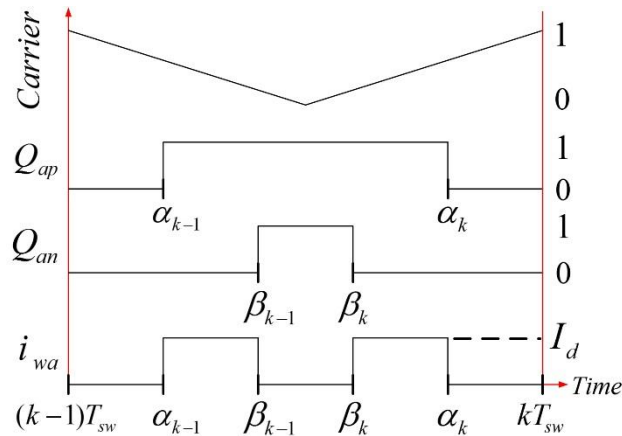
$$I_{wa}^{2h+1} = \frac{8}{T_s} \int_0^{\frac{T_s}{4}} i_{wa} \sin((2h+1)\omega_s t) d(\omega_s t), \quad h = 1, 2, 3, \dots \quad (10-3)$$

که در (۱۰-۳)، T_s پریود ولتاژ شبکه است. با استفاده از (۹-۳) و (۱۰-۳) و با توجه به شکل (۴-۳):

$$I_{aw}^{2h+1} = \frac{4I_d}{\pi(2h+1)} \times \left(\sum_{k=1}^n \left(\cos(\alpha_{k-1}(2h+1)\frac{2\pi}{T_s}) - \cos(\beta_{k-1}(2h+1)\frac{2\pi}{T_s}) + \cos(\beta_k(2h+1)\frac{2\pi}{T_s}) - \cos(\alpha_k(2h+1)\frac{2\pi}{T_s}) \right) \right) \quad (11-3)$$

که در (۱۱-۳)، I_{aw}^{2h+1} مقدار مؤثر هارمونیک h ام جریان i_{wa} بوده و:

$$n = \left[m_f / 4 \right] + 1, \quad m_f = f_{sw} / f_s, \quad m_f \geq 8, \quad \alpha_n = \min\{\alpha_n, \pi/2\} \quad (12-3)$$



شکل (۴-۳) جریان i_{wa} در یک سیکل کلیدزنی

در (۱۲-۳)، چون ممکن است m_f مضربی از ۴ نباشد، از جز صحیح استفاده شده است و حداکثر

مقدار α_n برابر $\pi/2$ می باشد. همچنین، با توجه به نحوه مدولاسیون سینوسی در این مبدل، در بازه ۳۰

تا ۹۰ درجه حاصل عبارات $\cos(\beta_k(2h+1)2\pi/T_s)$ و $\cos(\beta_{k-1}(2h+1)2\pi/T_s)$ در (۱۱-۳) برابر صفر می-باشند؛ زیرا جریان مرجع فاز a در این بازه ماکزیمم است [۹].

برای یافتن مقادیر α_k ، α_{k-1} و β_k ، β_{k-1} کافی است ریشه های (۱۳-۳) و (۱۴-۳) تعیین شود:

$$m_{ap}(t) - c(t) = 0 \quad (13-3)$$

$$m_{an}(t) - c(t) = 0 \quad (14-3)$$

که در معادلات (۱۳-۳) و (۱۴-۳) ضوابط $m_{ap}(t)$ و $m_{an}(t)$ به ترتیب رابطه زمانی شکل موج مرجع، برای کلیدهای S_{ap} و S_{an} و همچنین $c(t)$ ضابطه موج حامل مثلثی در شکل (۴-۳) می باشد که روابط مربوطه به ترتیب در (۱۵-۳) و (۱۶-۳) بیان شده است [۹].

$$m_{ap} = \begin{cases} 1 - m_a \sin(\omega_s t + \frac{2\pi}{3}) & 0 \leq \omega_s t \leq \frac{\pi}{6} \\ m_a \sin(\omega_s t) & \frac{\pi}{6} \leq \omega_s t \leq \frac{\pi}{2} \end{cases} \quad (15-3)$$

$$m_{an} = \begin{cases} 1 + m_a \sin(\omega_s t + \frac{2\pi}{3}) & 0 \leq \omega_s t \leq \frac{\pi}{6} \\ 0 & \frac{\pi}{6} \leq \omega_s t \leq \frac{\pi}{2} \end{cases}$$

$$c(t) = \sin^{-1}(\cos(2\pi f_{sw})) / \pi \quad (16-3)$$

اگر α و β به ترتیب مجموعه ریشه های معادلات (۱۳-۳) و (۱۴-۳) باشند که به صورت (۱۷-۳) و (۱۸-۳) از کوچک به بزرگ مرتب شده اند:

$$\alpha = \{\alpha_0, \alpha_1, \alpha_2, \dots, \alpha_k, \dots, \alpha_n\} \quad (17-3)$$

$$0 \leq \alpha_0 < \alpha_1 < \alpha_2 < \dots < \alpha_n \leq T_s/2$$

$$\beta = \{\beta_0, \beta_1, \beta_2, \dots, \beta_k, \dots, \beta_n\} \quad (18-3)$$

$$0 \leq \beta_0 < \beta_1 < \beta_2 < \dots < \beta_n \leq T_s/2$$

آنگاه α و β با دستور ساده زیر در نرم افزار MATLAB قابل محاسبه اند:

$$\begin{aligned}\alpha &= \text{sort}([\text{solve}(m_{ap}(t) - c(t))]) \\ \beta &= \text{sort}([\text{solve}(m_{an}(t) - c(t))])\end{aligned}\quad (19-3)$$

بنابراین با روابط (۱۱-۳) و (۱۵-۳) تا (۱۹-۳) تمامی هارمونیک های i_{wa} برای مدولاسیون سینوسی تعیین خواهد شد.

۳-۳-۳- محاسبه هارمونیک های جریان PWM در مدولاسیون برداری

در این بخش به نحوه محاسبه مؤلفه های جریان i_{wa} در SVM پرداخته خواهد شد. بردار فضایی جریان مرجع به صورت زیر تعریف می شود:

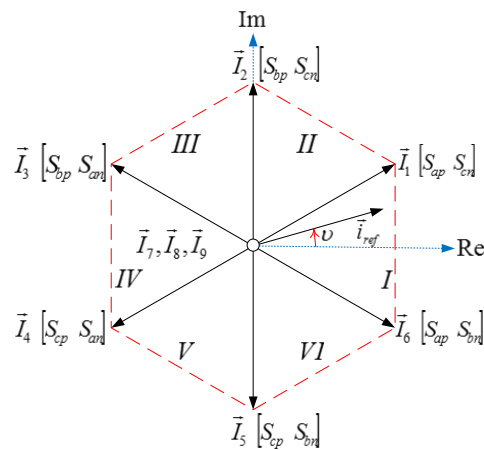
$$\vec{i}_{ref} = i_a + i_b e^{j\frac{2\pi}{3}} + i_c e^{-j\frac{2\pi}{3}} \quad (20-3)$$

با توجه به قوانین روشن و خاموش شدن کلیدها، نه وضعیت می تواند ایجاد شود که شش بردار فعال (\vec{I}_1 تا \vec{I}_6) و سه بردار صفر ($\vec{I}_7, \vec{I}_8, \vec{I}_9$) تشکیل خواهد شد. این شش بردار فعال، صفحه مختلط را به شش بخش تقسیم می نمایند (شکل (۳-۵)). مفهوم $[S_{kp} S_{kn}]$ ($k=a,b,c$) به معنی روشن بودن دو کلید معین و خاموش بودن سایر کلیدها می باشد. بردارهای صفر $\vec{I}_7, \vec{I}_8, \vec{I}_9$ به ترتیب بیانگر روشن بودن همزمان کلیدهای ساق a, b و c می باشند. در هر سیکل کلیدزنی، بردار جریان مرجع توسط دو بردار فعال مجاور و یک بردار صفر ایجاد می گردد. زمان عملکرد هر یک از این بردارها توسط (۳-۲۱) تعیین می شود:

$$\begin{aligned}t_k &= m_a T_{sw} \sin(\theta_n - \nu) \\ t_n &= m_a T_{sw} \sin(\nu - \theta_k) \\ t_0 &= T_{sw} - t_k - t_n\end{aligned}\quad (21-3)$$

که در (۳-۲۱) θ_n, t_n و θ_k, t_k به ترتیب زمان عملکرد و زاویه با محور حقیقی مربوط به هر یک از بردارهای فعال اول و دوم (در جهت مثلثاتی) در هر ناحیه می باشند. همچنین t_0 زمان عملکرد بردار صفر در یک پریود کلیدزنی، ν زاویه بردار مرجع با محور حقیقی و m_a اندیس مدولاسیون می باشد. نحوه قرارگیری هر یک از بردارها در هر پریود کلیدزنی در مراجع مختلف، با هدف حداقل کردن

تلفات، THD جریان ورودی و یا سایر پارامترها متفاوت است. به عنوان مثال در مرجع [۳۷] توالی کلیدزنی با هدف حداقل کردن تلفات به صورت جدول (۳-۱)، ارائه شده است. شکل (۳-۶)، شکل موج جریان i_{wa} را زمانی که \vec{i}_{ref} در ناحیه $0 \leq u < \pi/2$ قرار دارد، نشان می دهد.



شکل (۳-۵) مدولاسیون برداری برای ایجاد i_{aw}

برای محاسبه مؤلفه های مربوط به i_{wa} در این حالت، باید بسط سری فوریه را برای شکل موج های

نشان داده شده در شکل (۳-۶) نوشت. با استفاده از (۳-۱۰) و شکل (۳-۶):

$$\begin{aligned}
 I_{aw}^{(2h+1)} = & \frac{4I_{dc}}{\pi(2h+1)} \left(\sum_{k=1}^{n_1} \left(\cos\left(\left((k-1)T_{sw} + \frac{t_{0I}}{2}\right)(2h+1)\frac{2\pi}{T_s}\right) - \right. \right. \\
 & \left. \left. \cos\left(\left(kT_{sw} - \frac{t_{0I}}{2}\right)(2h+1)\frac{2\pi}{T_s}\right) \right) + \sum_{k=n_1+1}^{n_2} \left(\cos\left(\left((k-1)T_{sw} + \frac{t_{0II} + t_{nII}}{2}\right)(2h+1)\frac{2\pi}{T_s}\right) - \right. \right. \\
 & \left. \left. \cos\left(\left(kT_{sw} - \frac{t_{0II} + t_{nII}}{2}\right)(2h+1)\frac{2\pi}{T_s}\right) \right) + \sum_{k=n_2+1}^n \left(\cos\left(\left((k-1)T_{sw} + \frac{t_{0III}}{2}\right)(2h+1)\frac{2\pi}{T_s}\right) - \right. \quad (۲۲-۳) \\
 & \left. \cos\left(\left((k-1)T_{sw} + \frac{t_{0III} + t_{kIII}}{2}\right)(2h-1)\frac{2\pi}{T_s}\right) + \cos\left(\left(kT_{sw} - \frac{t_{0III} + t_{kIII}}{2}\right)(2h+1)\frac{2\pi}{T_s}\right) - \right. \\
 & \left. \left. \cos\left(\left(kT_{sw} - \frac{t_{0III}}{2}\right)(2h+1)\frac{2\pi}{T_s}\right) \right) \right)
 \end{aligned}$$

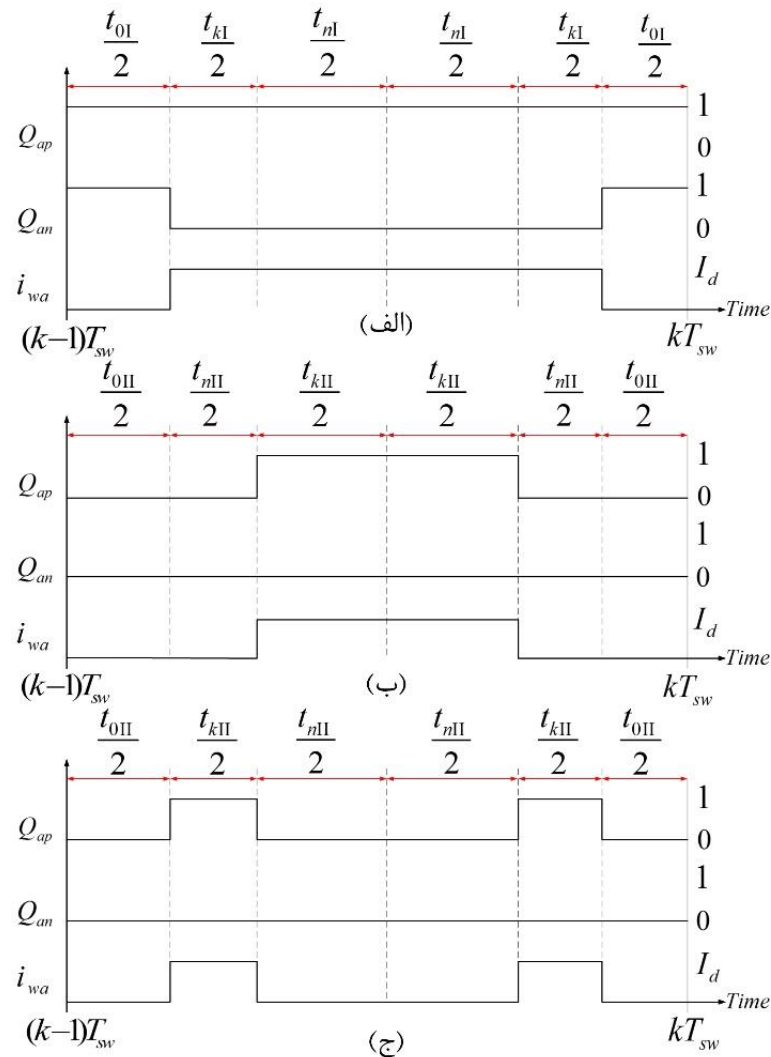
که در (۳-۲۲)، اندیس I و II در زمان های t_0 ، t_n و t_k به ترتیب بیانگر زمان های مربوط به کلیدزنی،

در نواحی اول و دوم شکل (۳-۵) بوده و $n_1 = [m_f/12] + 1$ و $n_2 = [m_f/6] + 1$ می باشد. بنابراین با استفاده

از (۳-۲۱) و (۳-۲۲) تمامی مؤلفه های i_{wa} برای مدولاسیون برداری تعیین خواهد شد.

جدول (۱-۳) مدولاسیون برداری ارائه شده در مرجع [۳۷]

ناحیه	توالی کلیدزنی
$0 \leq \nu < \pi/6$	[7][6][1][1][6][7]
$\pi/6 \leq \nu < \pi/3$	[9][2][1][1][2][9]
$\pi/3 \leq \nu < \pi/2$	[9][1][2][2][1][9]



شکل (۳-۶) توالی کلیدزنی در الف ($0 < \nu \leq \pi/6$ ب) ($\pi/6 < \nu \leq \pi/3$ ج) ($0 < \nu \leq \pi/6$)

۳-۳-۴ - محاسبه هارمونیک های جریان PWM در روش SHE

در این بخش به محاسبه i_{wa} در مدولاسیون SHE پرداخته خواهد شد. شکل (۳-۷)، یک نوع

SHE ارائه شده در مرجع [۳۸]، را نشان می دهد. در مدولاسیون بیان شده، هدف حذف هارمونیک های

۵، ۷، ۱۱ و ۱۳ می باشد. با توجه به (۳-۱۰) بسط سری فوریه مربوط به شکل موج جریان i_{wa} :

$$I_{aw}^{(2h+1)} = \frac{4I_{dc}}{\pi(2h+1)} \times$$

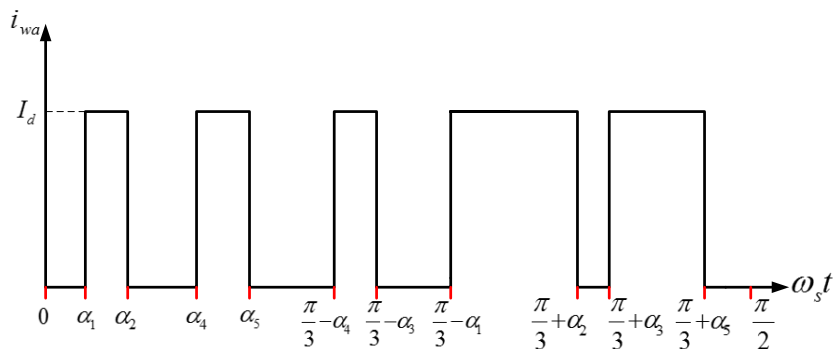
$$(\cos((2h+1)\alpha_1) - \cos((2h+1)\alpha_2) +$$

$$\cos((2h+1)\alpha_4) - \cos((2h+1)\alpha_5) + \quad (23-3)$$

$$\cos((2h+1)(\pi/3 - \alpha_4)) - \cos((2h+1)(\pi/3 - \alpha_3)) +$$

$$\cos((2h+1)(\pi/3 - \alpha_1)) - \cos((2h+1)(\pi/3 + \alpha_2)) +$$

$$\cos((2h+1)(\pi/3 + \alpha_3)) - \cos((2h+1)(\pi/3 + \alpha_5)))$$



شکل (۳-۷) مدولاسیون SHE ارائه شده در [۳۸]

در (۳-۲۳) تا α_5 مجهول می باشند. با توجه به اینکه هارمونیک های ۵، ۷، ۱۱ و ۱۳ باید حذف شوند و مؤلفه اصلی i_{wa} برابر $m_a I_d$ باشد، برای تعیین مجهولات مذکور کافی است دستگاه معادلات زیر حل شود:

$$I_{aw}^1 = m_a I_d$$

$$I_{aw}^5 = I_{aw}^7 = I_{aw}^{11} = I_{aw}^{13} = 0 \quad (24-3)$$

بنابراین در روش SHE نیز تمامی مؤلفه های مربوط به i_{wa} با استفاده از (۳-۲۳)، قابل محاسبه است.

۳-۴- طراحی فیلتر ورودی

هدف از طراحی فیلتر ورودی در این مبدل، حذف هارمونیک های ناشی از جریان PWM و ایجاد

ضریب توان واحد در ورودی مبدل می باشد. اگر رابطه ای برای محاسبه THD جریان فیلتر شده و ضریب توان مبدل بر حسب سلف و خازن فیلتر ورودی استخراج شود، می توان با تعیین مقدار مجاز THD و ضریب توان ورودی پارامترهای فیلتر ورودی را تعیین نمود. در ادامه، روابط مربوطه از مبدل استخراج خواهند شد.

۳-۴-۱- روش تخمین ریپل جریان ورودی جهت طراحی فیلتر ورودی

یکی از روش های کارآمد نسبت به سایر منابع موجود جهت طراحی فیلتر CSR، روش ارائه شده در مرجع [۲۸] می باشد. این روش به صورت فلوجارت در شکل (۳-۸)، نشان داده شده است. بر این اساس، ابتدا مقدار مؤثر مؤلفه مربوط به فرکانس کلیدزنی جریان PWM با استفاده از رابطه مربوطه محاسبه می شود. سپس با در نظر گرفتن مقادیر مجاز برای THD جریان سلف و ولتاژ خازن فیلتر ورودی و همچنین تلفات مربوط به مقاومت میرایی که به صورت موازی با سلف فیلتر ورودی به سیستم اضافه شده است، تعیین می شود. در مرحله بعد، با استفاده از مقادیر مجاز در نظر گرفته شده، از دستگاه معادلات غیرخطی (۳-۲۵) مقادیر سلف، خازن و مقاومت میرایی فیلتر ورودی محاسبه می گردند:

$$I_{s,Tsw} = \frac{I_{w,Tsw}}{\left(1 + \frac{(1 - \omega_{sw}^2 L_{ac} C_{ac})^2 - 1}{(1 + (\omega_{sw} L_{ac} / R_d)^2)}\right)^{0.5}}$$

$$V_{c,Tsw} = \frac{I_{w,Tsw}}{\left((\omega_{sw} C_{ac} - \frac{1}{\omega_{sw} L_{ac}})^2 + \frac{1}{R_d^2}\right)^{0.5}} \quad (۳-۲۵)$$

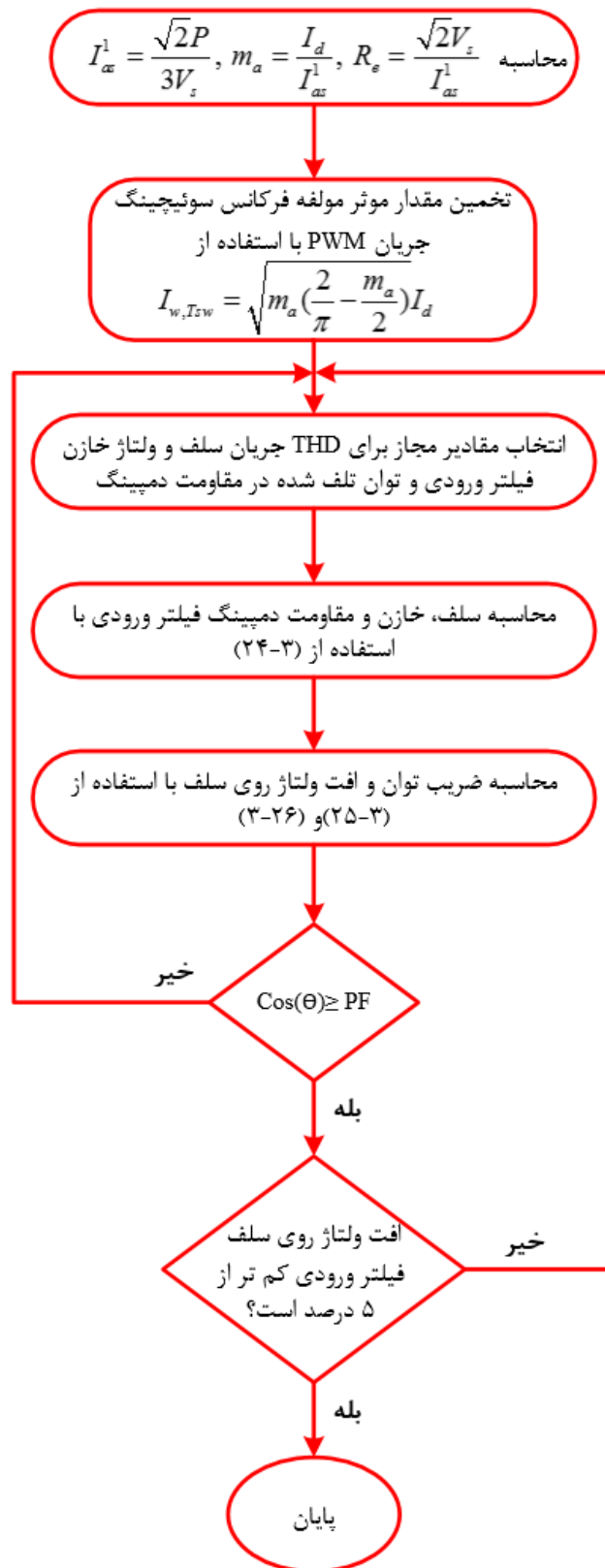
$$\frac{P_{loss}}{P} = \frac{I_{s,T_s}}{V_s} \left(\frac{\omega_s^2 L_{ac}^2 R_d}{\omega_s^2 L_{ac}^2 + R_d^2} \right)$$

که در (۳-۲۵)، $I_{s,Tsw}$ ، $I_{w,Tsw}$ و $V_{c,Tsw}$ به ترتیب مقادیر مؤثر جریان شبکه، جریان PWM و ولتاژ خازن در فرکانس کلیدزنی می باشند. R_d نیز مقاومت میرایی و I_{s,T_s} مقدار مؤثر مؤلفه اصلی جریان شبکه می باشند.

اگر افت ولتاژ روی سلف فیلتر و ضریب توان در بازه مطلوب باشند، الگوریتم خاتمه می یابد. در غیر این صورت با تغییر مقادیر مجاز برای THD جریان و ولتاژ مربوط به سلف و خازن فیلتر ورودی و همچنین اتلاف توان بر روی مقاومت میرایی، مقادیر سلف و خازن اصلاح شده تا الگوریتم به پایان برسد. اختلاف فاز میان ولتاژ و جریان شبکه و افت ولتاژ مربوط به فیلتر به ترتیب از روابط (۲۶-۳) و (۲۷-۳) قابل محاسبه می باشند:

$$\theta = \tan^{-1}(\omega_s C_{ac} R_e) + \tan^{-1}\left(\frac{\omega_s L_{ac}}{R_d}\right) - \tan^{-1}\left(\frac{\omega_s L_{ac} (R_e + R_d)}{R_e R_d (1 - \omega_s^2 L_{ac} C_{ac})}\right) \quad (26-3)$$

$$\frac{V_{drop}}{V_s} = \frac{R_e (R_d^2 + \omega_s^2 L_{ac}^2)^{0.5}}{(\omega_s^2 L_{ac}^2 (R_e + R_d)^2 + R_e^2 R_d^2 (1 - \omega_s^2 L_{ac} C_{ac})^2)^{0.5}} \quad (27-3)$$



شکل (۸-۳) فلوچارت طراحی فیلتر ورودی با استفاده از روش تخمین ریپل جریان ورودی

۳-۴-۲- روش پیشنهادی برای طراحی فیلتر ورودی

هرچند روش ارائه شده در [۲۸]، روشی مناسب تر نسبت به سایر روش های موجود است اما کاستی -ها و ضعف هایی نیز دارد؛ همچون افزودن مقاومت به سیستم به منظور ایجاد میرایی غیرفعال، عدم ارائه روشی مناسب به منظور طراحی سلف لینک DC و بهینه نبودن طراحی فیلتر و میرایی. این نواقص سبب کاهش راندمان، افزایش حجم و هزینه مربوط به ساخت مبدل خواهد شد. در این پایان نامه روشی جدید و کامل تر نسبت به روش های موجود در طراحی فیلتر ارائه شده و عیوب و نواقص مربوط به آن ها برطرف شده است.

۳-۴-۲-۱- طراحی بهینه میرایی تابع تبدیل فیلتر ورودی

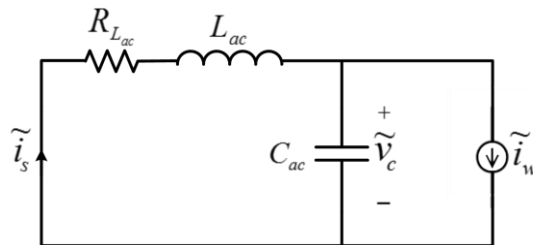
شکل (۳-۹)، مدار معادل بر فاز مبدل را به ازای هارمونیک های جریان ورودی (\tilde{i}_{as}) نشان می دهد. با معلوم بودن هارمونیک های جریان مدولاسیون (\tilde{i}_{wa}) و در نظر گرفتن ولتاژهای ورودی به صورت (۳-۲۸) مقدار هارمونیک های \tilde{i}_{as} از (۳-۲۹) محاسبه می شود.

$$\begin{aligned} v_{as} &= V_m \sin(\omega_s t) \\ v_{bs} &= V_m \sin(\omega_s t - \frac{2\pi}{3}) \\ v_{cs} &= V_m \sin(\omega_s t + \frac{2\pi}{3}) \end{aligned} \quad (28-3)$$

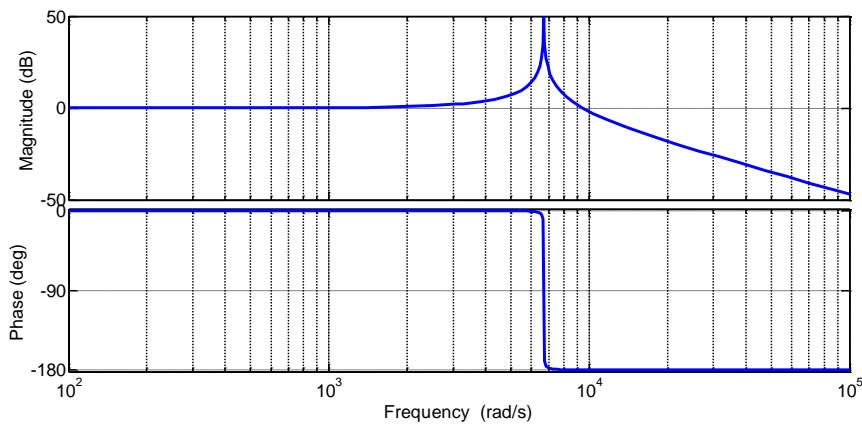
$$\tilde{I}_{as} = \frac{1}{s^2 L_{ac} C_{ac} + s r_{Lac} C_{ac} + 1} \tilde{I}_{aw} \quad (29-3)$$

با توجه به (۳-۲۹) فرکانس قطع سیستم $\omega_r = 1/\sqrt{L_{ac} C_{ac}}$ و ضریب میرایی آن $\xi = r_{Lac} \sqrt{C_{ac}/L_{ac}}/2$ می باشد. به علت کوچک بودن ξ ضریب میرایی سیستم بسیار ناچیز (تقریباً برابر صفر) است و باید برای سیستم میرایی مناسبی طراحی شود. شکل (۳-۱۰)، دیاگرام بود تابع تبدیل (۳-۲۹) را نشان می دهد. کاملاً مشهود است که فیلتری با این مشخصه، هارمونیک های اطراف فرکانس قطع خود (ω_r) را به شدت تقویت می نماید. اگر این طراحی به نحو مناسبی صورت گیرد، ضریب کیفیت

فیلتر LC برای مؤلفه های هارمونیکی کاهش یافته و اعوجاج ناشی از تشدید در شکل موج جریان ورودی و نوسان حالت گذرای جریان لینک DC کاهش خواهد یافت [۲۷].



شکل (۹-۳) مدار معادل بر فاز CSR در مؤلفه هارمونیکی.



شکل (۱۰-۳) دیاگرام بود تابع تبدیل (۲۸-۳)

طراحی میرایی به دو صورت فعال و غیرفعال می تواند صورت پذیرد. در روش غیرفعال، می توان یک مقاومت خارجی به صورت سری یا موازی با سلف و یا خازن فیلتر ورودی، به سیستم اضافه نمود. اما استفاده از مقاومت خارجی سبب افزایش تلفات و کاهش راندمان سیستم می گردد [۱۸]. در [۳۹] انواع روش های میرایی فعال بررسی شده است. در شکل (۱۱-۳)، یکی از روش های ایجاد مقاومت مجازی به منظور کنترل میرایی به همراه بلوک دیاگرام آن، نشان داده شده است.

در این حالت با صرف نظر از مقاومت ناچیز فیلتر ورودی در مقابل میرایی فعال، تابع تبدیل (۳-۳)

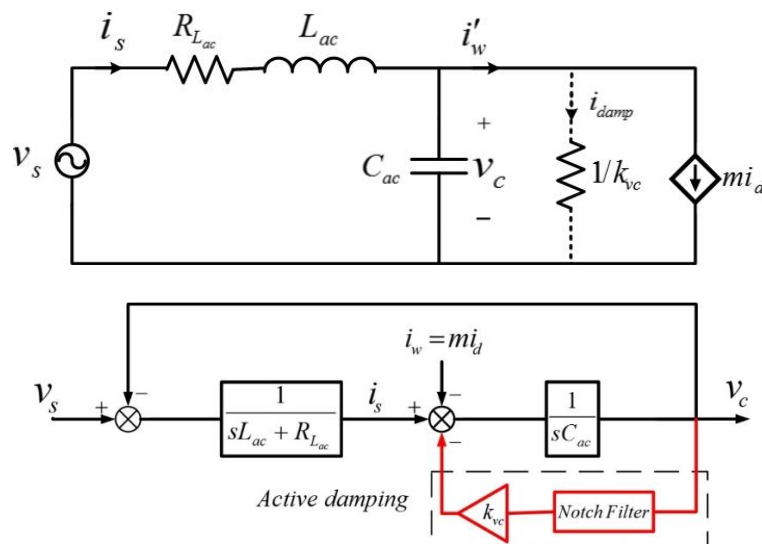
(۲۹) به شکل زیر اصلاح خواهد شد:

$$\tilde{I}_{as} = \frac{1}{s^2 L_{ac} C_{ac} + s k_{vc} C_{ac} + 1} \tilde{I}_{aw} \quad (۳۰-۳)$$

در تابع تبدیل (۳-۳۰):

$$\xi' = \frac{k_{vc}}{2} \sqrt{L_{ac}/C_{ac}}, \quad \omega_r' = \omega_r \quad (3-31)$$

با انتخاب مناسب K_{vc} می توان میرایی سیستم را در مقدار مطلوب تعیین نمود.



شکل (۳-۱۱) طراحی میرایی فعال. (مدار معادل و بلوک دیاگرام)

برای جلوگیری از اثرگذاری میرایی فعال بر حلقه کنترل جریان و جلوگیری از اضافه مدولاسیون ایجادشده، مؤلفه اصلی ولتاژ خازن در طراحی میرایی فعال باید حذف شود، تا مطمئن شد که جریان میرایی تنها ناشی از مؤلفه های هارمونیکی است. این کار با استفاده از یک فیلتر بالا گذر در دستگاه سنکرون یا یک فیلتر شکافی^۱ در دستگاه ساکن امکان پذیر است [۱۲].

با توجه به اینکه بهترین مقدار ξ برای یک سیستم مرتبه دو $\xi_{opt} = \sqrt{2}/2$ می باشد [۴۰]، با استفاده

از (۳-۳۱)، k_{vc} برای طراحی بهینه میرایی فعال به سادگی قابل محاسبه است:

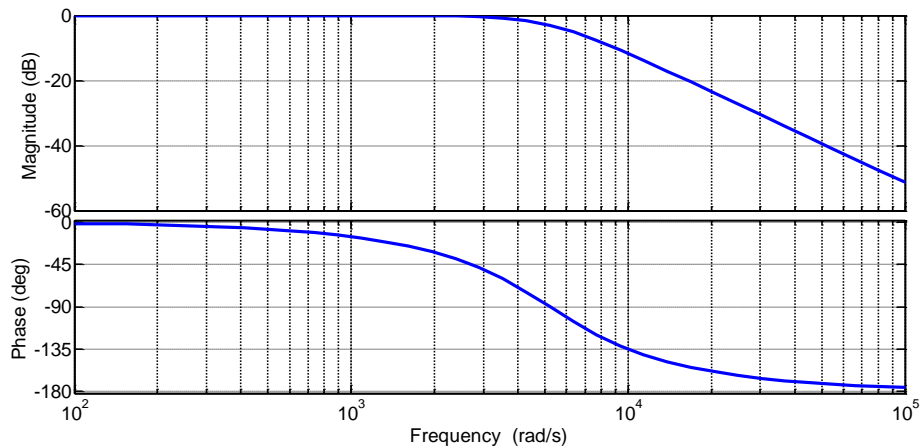
$$k_{vc} = \sqrt{\frac{2C_{ac}}{L_{ac}}} \quad (3-32)$$

بنابراین تابع تبدیل (۳-۳۰) با میرایی بهینه و با استفاده از (۳-۳۲) به شکل زیر اصلاح می شود:

¹ Notch Filter

$$\tilde{I}_{as} = \frac{1}{s^2 L_{ac} C_{ac} + s\sqrt{2L_{ac} C_{ac}} + 1} \tilde{I}_{aw} \quad (33-3)$$

دیاگرام بود حاصل از میرایی فعال بهینه طراحی شده، در شکل (۳-۱۲) نشان داده شده است. در این حالت، هیچ تقویتی در فرکانس قطع سیستم صورت نمی گیرد.



شکل (۳-۱۲) دیاگرام بود تابع تبدیل فیلتر همراه میرایی فعال بهینه پیشنهادی

۳-۴-۲-۲- طراحی بهینه مقادیر سلف و خازن فیلتر ورودی با استفاده از روش های بهینه سازی چندهدفه

همان طور که ذکر شد، هدف از طراحی فیلتر ورودی، حداقل نمودن THD جریان کشیده شده از شبکه و حداکثر نمودن ضریب توان در این مبدل می باشد. با توجه به اینکه، میان ضریب توان و THD جریان ورودی تعارض وجود دارد و بهبود یکی سبب تخریب وضعیت دیگری می شود [۲۸]، یکی از روش های تعیین مقادیر سلف و خازن فیلتر ورودی استفاده از روش های بهینه سازی چندهدفه می باشد. هر مسئله بهینه سازی مقید، که دارای n تابع هدف و m متغیر است، می تواند به صورت (۳-۳۴) توصیف شود:

$$\begin{aligned} \text{Minimize } y &= f(x) = (f_1(x), f_2(x), \dots, f_k(x)) \\ \text{Subject to } x &= (x_1, x_1, \dots, x_n) \in X \end{aligned} \quad (34-3)$$

به طوری که در (۳-۳۴) $f(x)$ بردار توابع هدف و $X = (x_1, x_2, \dots, x_3)$ بردار متغیرها می باشد.

راه حل X_1 در فضای مجموعه جوابها توسط X_2 مغلوب نخواهد شد اگر به ازای همه مقادیر i ، $f_i(X_2) \leq f_i(X_1)$ و حداقل به ازای یک i ، رابطه $f_i(X_2) < f_i(X_1)$ برقرار باشد [۴۱]. مجموعه راه حل های نامغلوب در حل مسئله، مجموعه بهینه پرتو و مجموعه مقادیر توابع هدف آنها، جبهه بهینه پرتو^۱ یا به اختصار جبهه پرتو نامیده می شوند.

یکی از روش های بهینه سازی چندهدفه، استفاده از الگوریتم ژنتیک مبتنی بر جبهه پرتو NSGA می باشد. این الگوریتم بسیار کارآمد است، اما معمولاً به دلیل محاسبات پیچیده و عدم وجود نخبه گرایی در الگوریتم موردنقد واقع می شود. یک نسخه اصلاح شده این الگوریتم NSGA-II می باشد، که دارای الگوریتم مرتب سازی بهتر، در نظر گرفتن نخبه گرایی و عدم نیاز به پارامترهای اشتراکی جهت انتخاب اعضای برتر می باشد [۴۲]. در ادامه برای به کارگیری NSGA-II در حل مسئله، توابع هدف و قیود مسئله بهینه سازی مقادیر سلف و خازن فیلتر ورودی محاسبه می شوند.

✓ توابع هدف

توابع هدف در این مسئله، THD جریان ورودی و ضریب توان مبدل می باشد. محاسبه THD جریان شبکه با استفاده از دامنه مؤلفه اصلی و هارمونیک های موجود در آن صورت می پذیرد. در بخش دوم کلیه هارمونیک های موجود در جریان PWM برای انواع مدولاسیون سینوسی، برداری و SHE محاسبه گردید. در زیر بخش ۱-۲-۳ نیز با استفاده از (۳-۳۳) کلیه هارمونیک های موجود در جریان i_s محاسبه شد. بنابراین با محاسبه دامنه مؤلفه اصلی جریان ورودی می توان این تابع هدف را محاسبه نمود.

مدولاسیون در این مبدل به نحوی انجام می شود که مؤلفه اصلی جریان i_w (i_{w1}) هم فاز با ولتاژ شبکه باشد. با توجه به کوچک بودن افت ولتاژ روی L_{ac} در مؤلفه اصلی، می توان مبدل را به صورت یک مقاومت مدل نمود که مقدار آن برابر است با:

¹ Optimal Pareto Front

$$R_{eq} = \frac{V_m}{I_w^1} = \frac{V_m}{m_a I_{dc}} \quad (35-3)$$

با استفاده از (35-3) و مدار معادل شکل (3-13)، مقدار مؤلفه اصلی جریان i_s از (3-36)

قابل محاسبه است:

$$I_{as}^1 = \frac{\sqrt{1 + (C_{ac} R_{eq} \omega_s)^2} V_m}{((L_{ac} \omega_s + R_{eq} R_{Lac} C_{ac} \omega_s)^2 + (R_{eq} + R_{Lac} - L_{ac} C_{ac} R_{eq} \omega_s^2)^2)^{0.5}} \quad (36-3)$$

میزان پس فازی جریان شبکه نسبت به ولتاژ نیز برابر است با:

$$\theta = \tan^{-1}(C_{ac} R_{eq} \omega_s) - \tan^{-1}\left(\frac{L_{ac} \omega_s + R_{eq} R_{Lac} C_{ac} \omega_s}{R_{eq} + R_{Lac} - L_{ac} C_{ac} R_{eq} \omega_s^2}\right) \quad (37-3)$$

در نهایت دامنه هارمونیک های جریان ورودی از (3-38) قابل تعیین است:

$$I_{as}^{2h+1} = \frac{I_{aw}^{2h+1}}{((1 - \omega_s^2 (2h+1)^2 L_{ac} C_{ac})^2 + (2L_{ac} C_{ac} \omega_s^2 (2h+1)^2)^2)^{0.5}} \quad (38-3)$$

و THD جریان ورودی نیز برابر است با:

$$THD_{is} = \frac{\sqrt{\sum_{h=2}^m (I_{as}^{(2h+1)})^2}}{I_{as}^1} \quad (39-3)$$

گرچه در (3-39) m (شماره مربوطه به آخرین هارمونیک تأثیرگذار در THD_{is}) از نظر تئوری

بی نهایت می باشد، اما مطمئناً هارمونیک های با فرکانس بالا توسط فیلترهای ذاتی شبکه حذف خواهند

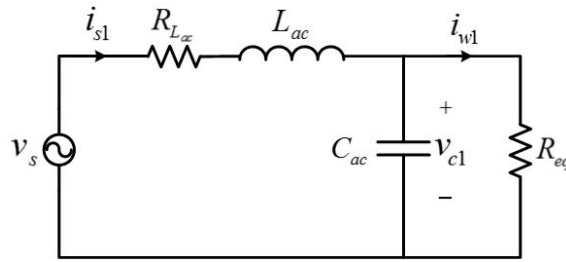
شد [43].

همچنین ضریب توان ورودی با در نظر گرفتن جریان فیلتر شده ورودی، برابر است با:

$$PF = \frac{\cos(\theta)}{\sqrt{1 + THD_{is}^2}} \quad (40-3)$$

بنابراین با استفاده از روابط (3-39) و (3-40) می توان THD و ضریب توان ورودی را برحسب

مقادیر سلف و خازن فیلتر ورودی محاسبه نمود.



شکل (۳-۱۳) مدار معادل بر فاز CSR در مؤلفه اصلی.

✓ قیود

آنچه مسلم است، مقادیر سلف و خازن فیلتر نمی توانند هر مقدار مثبتی را به خود اختصاص دهند و تنها در بازه خاصی قابل تعریف می باشند. با توجه به اینکه L_{ac} به صورت سری با منبع ولتاژ در مدار قرار گرفته است، افت ولتاژ مربوط به آن باید محدود شود:

$$L_{ac \max} = \frac{V_{drop}}{2\pi f_s m_a I_d} \quad (۴۱-۳)$$

که در (۴۱-۳)، V_{drop} حداکثر افت ولتاژ مجاز بر روی سلف فیلتر ورودی می باشد.

با توجه به اینکه، فرکانس قطع فیلتر به منظور تضعیف هارمونیک های مربوط به کلیدزنی باید کم تر از ۰٫۱ فرکانس کلیدزنی باشد [۱۶]، بنابراین با تعیین $L_{ac \max}$ حداقل مقدار خازن نیز قابل تعیین می باشد:

$$C_{ac \min} = \frac{1}{(0.1\omega_{sw})^2 L_{ac \max}} \quad (۴۲-۳)$$

بنابراین مسئله بهینه سازی مقادیر سلف و خازن فیلتر ورودی را می توان به صورت زیر بیان نمود:

Min :

$$\{THD_{is}, (1 - PF)\}$$

Subject to :

$$0 < L_{ac} \leq \frac{V_{drop}}{2\pi f_s m_a I_d} \quad (۴۳-۳)$$

$$C_{ac} \geq \frac{1}{(0.1\omega_{sw})^2 L_{ac \max}}$$

NSGA_II در طراحی بهینه سازی مقادیر سلف و خازن فیلتر ورودی مورد استفاده قرار گرفته است.

شکل (۳-۱۴)، فلوچارت این الگوریتم را نشان می دهد.



شکل (۱۴-۳) فلوچارت طراحی فیلتر ورودی و خروجی با استفاده از روش پیشنهادی

برای طراحی بهینه فیلتر ورودی، ابتدا پارامترهای مبدل، به عنوان ورودی الگوریتم باید بیان گردند. سپس مقدار سلف لینک DC، جهت حفظ ریپل جریان خروجی در محدوده قابل قبول و حفظ پیوستگی آن، توسط روابط (۳-۵) و (۳-۸) تعیین می شود. در گام بعد، با توجه به نوع مدولاسیون، کلیه هارمونیک های موجود در جریان PWM ورودی با استفاده از (۳-۱۱) یا (۳-۲۲) یا (۳-۲۳) محاسبه خواهد شد. در قدم بعد با توجه به محدوده متغیرها که به وسیله (۳-۴۳) تعیین می گردد، جمعیت اولیه به تعداد nPop تولید شده و مقدار برازندگی آن ها با استفاده از روابط (۳-۳۹) و (۳-۴۰) محاسبه خواهد شد. سپس با توجه به مقادیر برازندگی و ازدحام ذرات هر یک از اعضا مرتب سازی صورت گرفته و در جبهه های Fr_1 تا Fr_n قرار داده می شوند. در این مرحله، می توان یک ضریب جریمه برای مجموعه جواب-هایی که دارای ضریب توان کم تر از PF_1 می باشند، در نظر گرفت. در مرحله بعد، حلقه اصلی برنامه شروع می شود. به عبارت دیگر با انجام عمل برش و جهش بر روی تعدادی از اعضا که به صورت تصادفی انتخاب شده اند، جمعیت فرزندان ایجاد می گردد. سپس اعضای برتر، از جمعیت ترکیبی فرزندان و والدین با توجه به برازندگی و ازدحام ذرات انتخاب می شوند. این روند تا زمانی ادامه می یابد که تعداد اعضای بهینه جبهه پرتو ایجاد شده، به مقدار nPop برسد.

۳-۵- طراحی سخت افزار

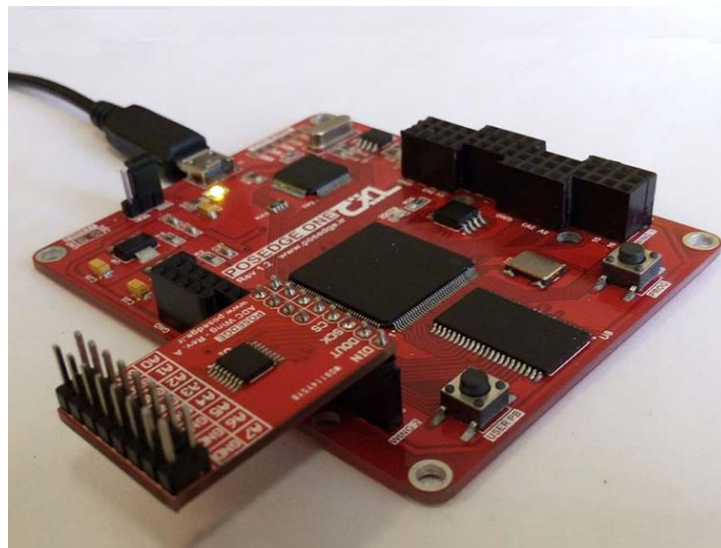
در این بخش، به طراحی سخت افزار مبدل شامل انتخاب پردازنده مناسب، طراحی مدار اسنابر، طراحی مدار نمونه گیر ولتاژ، طراحی مدار فرمان کلید و محاسبه زمان مرده برای پیاده سازی مبدل پرداخته خواهد شد.

۳-۵-۱- انتخاب پردازنده

شکل (۳-۱۵) برد FPGA^۱ را که جهت کنترل دیجیتال و تولید پالس های PWM مورد استفاده

قرار گرفته است، نشان می دهد. این برد شامل موارد زیر می باشد:

- تراشه ی Xilinx Spartan6-LX9.
- ۴ مگابیت حافظه ی SRAM.
- واسط USB 2.0 با سرعت ۱۰ MB/s.
- پروگرامر USB روی برد.
- توسعه ی وسائل جانبی از طریق کانکتور بال (Wing).



شکل (۳-۱۵) نمایی از برد FPGA که جهت کنترل دیجیتال و تولید پالس های PWM به کار گرفته شده است

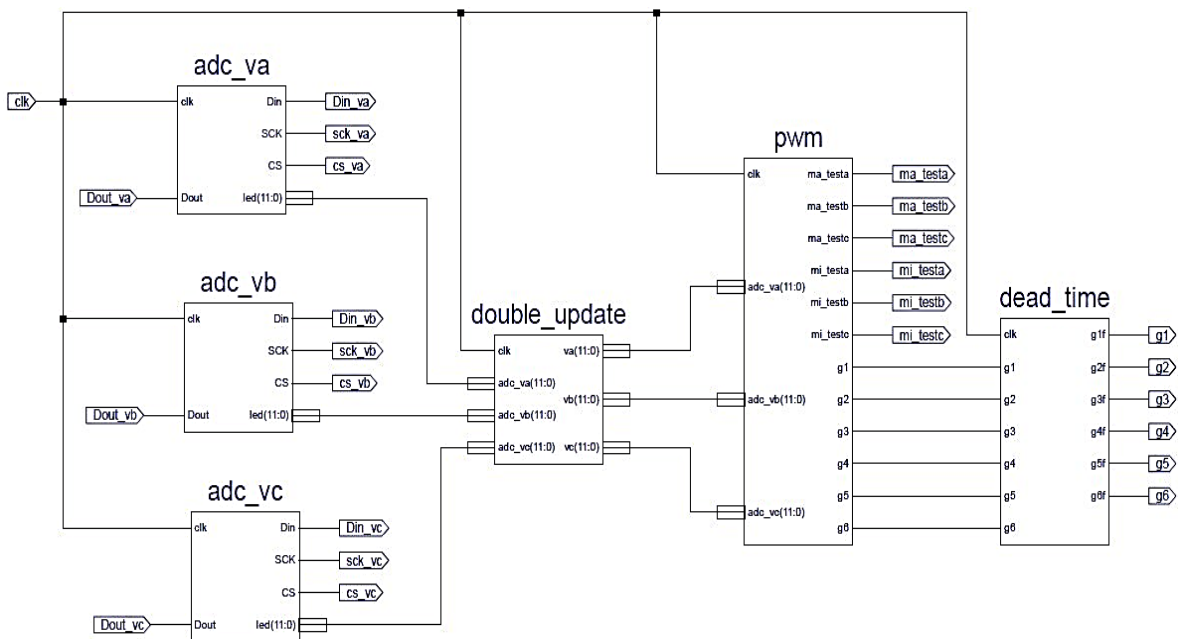
شکل (۳-۱۶) بیانگر طراحی شماتیک سیستم حلقه باز در نرم افزار ISE Design Suite است. همان طور

که مشاهده می شود، پس از اینکه ولتاژ شبکه از طریق سنسور نمونه برداری گردید و به وسیله برد واسط

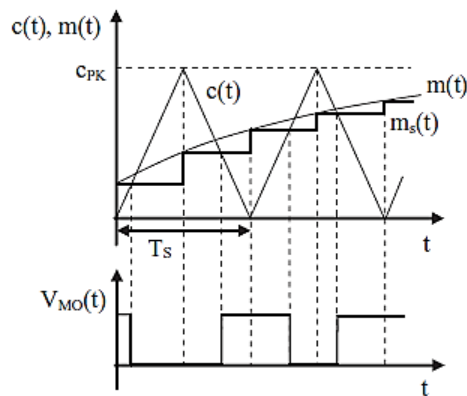
به سطح قابل قبول برای FPGA تبدیل شد، این سه ولتاژ به بال ADC که بر روی پین های برد FPGA

¹ Field-Programmable Gate Array

نصب شده‌اند وارد شده و توسط این بال به سه بردار ۱۲ بیتی تبدیل می‌گردند. سپس باتوجه به اینکه فرکانس کلیدزنی چه مقداری در نظر گرفته شده، عملیات به‌روزرسانی سیگنال خروجی ADC دوبار در هر سیکل کلیدزنی (در ابتدا و وسط سیکل) صورت می‌پذیرد (شکل (۳-۱۷)). در مرحله بعد هر یک از این سیگنال‌ها وارد برنامه مدولاسیون مربوط به یکسوکننده می‌گردد. در این مرحله، باید زمان مرده مناسب برای روشن شدن هر یک از کلیدها اعمال شود، تا از اتصال کوتاه کردن فازهای ولتاژ شبکه (به دلیل ایده‌آل نبودن کلیدهای قدرت) اطمینان حاصل شود. خروجی‌های `min_test` و `max_test` نیز، جهت بررسی تشخیص درست ماکزیمم و مینیمم ولتاژهای سه‌فاز ورودی، به‌عنوان خروجی تعریف شده‌اند.



شکل (۳-۱۶) نمایی از طراحی شماتیک حلقه باز برنامه PWM در نرم افزار ISE Design Suite



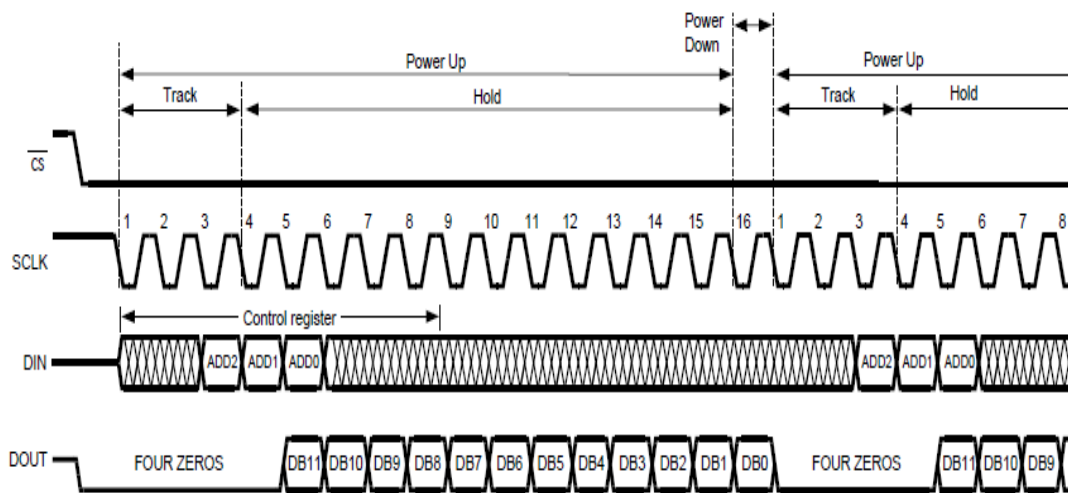
شکل (۳-۱۷) نمایش دوبار به روز رسانی سیگنال در هر سیکل کلیدزنی [۴۴]

برد ADC مورد استفاده در این بال دارای مشخصات زیر می باشد:

- تراشه ی ADC128S102 .
- ۸ کانال آنالوگ (غیرهمزمان - مالتی پلکس شده).
- دقت ۱۲ بیت.
- ولتاژ رفرنس: ۵ ولت.

دیاگرام عملکرد زمانی ADC128S102 در شکل (۳-۱۸) نمایش داده شده است. این دیاگرام از دیتاشیت تراشه ADC اقتباس شده است. پس از اینکه عدد منطقی صفر توسط FPGA به پایه CS تراشه ADC اعمال شد، ADC فعال می شود. همان طور که مشاهده می گردد کلاک ADC توسط خود FPGA تولید می شود. با لبه پایین رونده هر کلاکی که از سمت FPGA به تراشه ADC فرستاده می شود، یک عملیات صورت می پذیرد. سیگنال DIN که از FPGA به سمت ADC فرستاده می شود، تعیین کننده شماره کانال است. به عبارت دیگر، چون ارتباط به صورت مالتی پلکس صورت می پذیرد، باید ابتدا FPGA برای تراشه ADC تعیین نماید که داده های کانال شماره چند را می خواهد بخواند. این عمل از ارسال یک داده سه بیتی (ADD) صورت می پذیرد. اگر زمان از شروع اولین کلاک در SCLK در نظر گرفته شود، ابتدا دو بیت بی اهمیت (مثلا صفر منطقی) توسط FPGA (سیگنال DIN) به ADC ارسال می گردد، سپس سه بیت ADD که تعیین کننده شماره کانال هستند، ارسال خواهند

شد. پس از تعیین کانال، سیگنال DOUT که در واقع سیگنال خروجی ADC است ۱۲ بیت دیجیتالی شده سیگنال ورودی خود را به FPGA ارسال می‌نماید. لازم به ذکر است که تا قبل از تعیین کانال، ADC به طور متوالی چهار عدد صفر را برای FPGA ارسال می‌نماید. نکته قابل تامل این است که بازه فرکانسی کلاک ADC طبق دیتاشیت آن، بین ۸ تا ۱۶ مگاهرتز می‌باشد. یعنی هرچند که سرعت انجام عملیات منطقی توسط FPGA بالا باشد، اما به دلیل محدودیت فرکانسی در کلاک ADC، نمی‌توان سرعت پردازش کلی را از بازه مذکور بالاتر برد.



شکل (۳-۱) دیاگرام عملکرد زمانی ADC128S102 [45]

۳-۵-۲- طراحی مدار اسنابر غیرفعال RCD

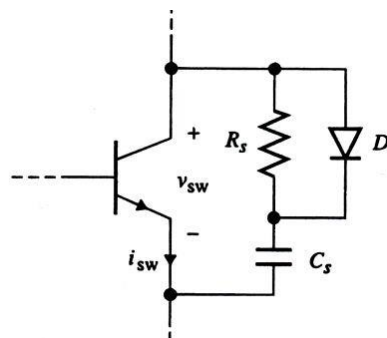
به‌علت وجود سلف در مدارهای الکترونیک قدرت (حتی سلف‌های پراکندگی مدار)، در زمان کلیدزنی جهش‌های نسبتاً بزرگی در ولتاژ کلید قدرت ایجاد می‌گردد. مدارهای اسنابر مقادیر dv/dt را در مبدل‌های کلیدزنی سخت کاهش می‌دهند. دو هدف اصلی مدارهای اسنابر عبارتند از:

(۱) کاهش تلفات کلیدزنی در مدار الکترونیک قدرت با انتقال آن به مقاومت اسنابر.

(۲) کنترل نمودن مقدار dv/dt .

در این مدارها معمولاً از یک خازن برای پایین آوردن جهش ولتاژ کلیدهای قدرت استفاده می‌

شود. یک نوع متداول از اسنابرهای غیرفعال، نوع RCD¹ می باشد. زمانی که کلید خاموش می شود، جریان مدار از طریق دیود و خازن مدار اسنابر مسیر خود را می بندد و در زمانی که کلید روشن می شود، انرژی ذخیره شده در خازن در مقاومت اسنابر تلف می گردد (شکل (۳-۱۹)). مقدار ثابت زمانی مدار RC باید کوچک تر از فرکانس کلیدزنی باشد، زیرا خازن باید در هر سیکل کلیدزنی، یک بار شارژ و یکبار تخلیه گردد.



شکل (۳-۱۹) مدار اسنابر غیرفعال RCD [46]

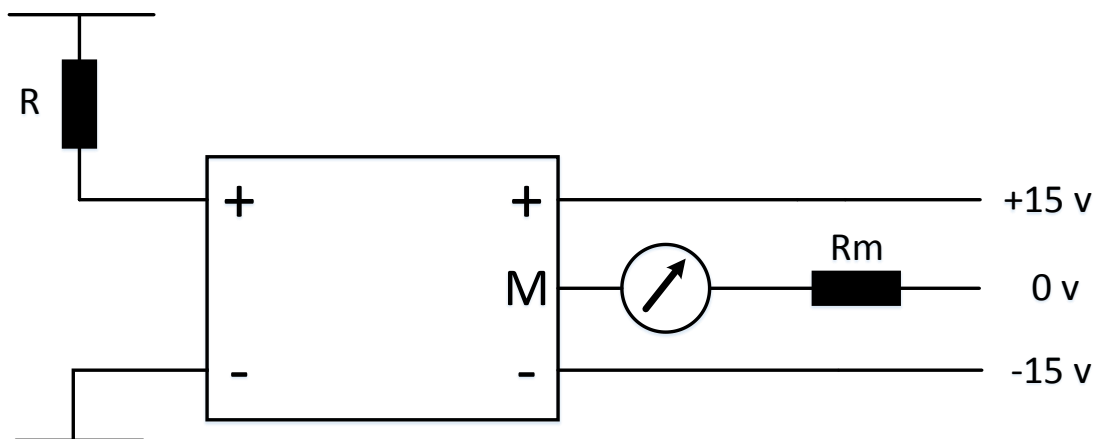
این نوع مدار اسنابر به علت ساده بودن ساختار و استفاده از المان های غیرفعال به طور گسترده مورد استفاده قرار می گیرد. همچنین در صورتی که از یک ترانس با هسته فریت افزایش یافته در مسیر تخلیه استفاده شود، بازگشت انرژی ذخیره شده به منبع DC تا ۷۰ درصد نیز امکان پذیر می باشد [۴۷]. در این پایان نامه نیز از اسنابر نوع RCD استفاده شده است. جهت طراحی مقادیر مقاومت و خازن اسنابر باید کلید قدرت با پارامترهای عملی مدل سازی گردد. در پنجم این مهم، در نرم افزار **Simplorer** انجام و پارامترهای مدار اسنابر تعیین می گردد.

۳-۵-۳- مدار سنسور ولتاژ

سنسور ولتاژ برای اندازه گیری ولتاژ ورودی و هم چنین حفاظت مدار مورد استفاده قرار می گیرد.

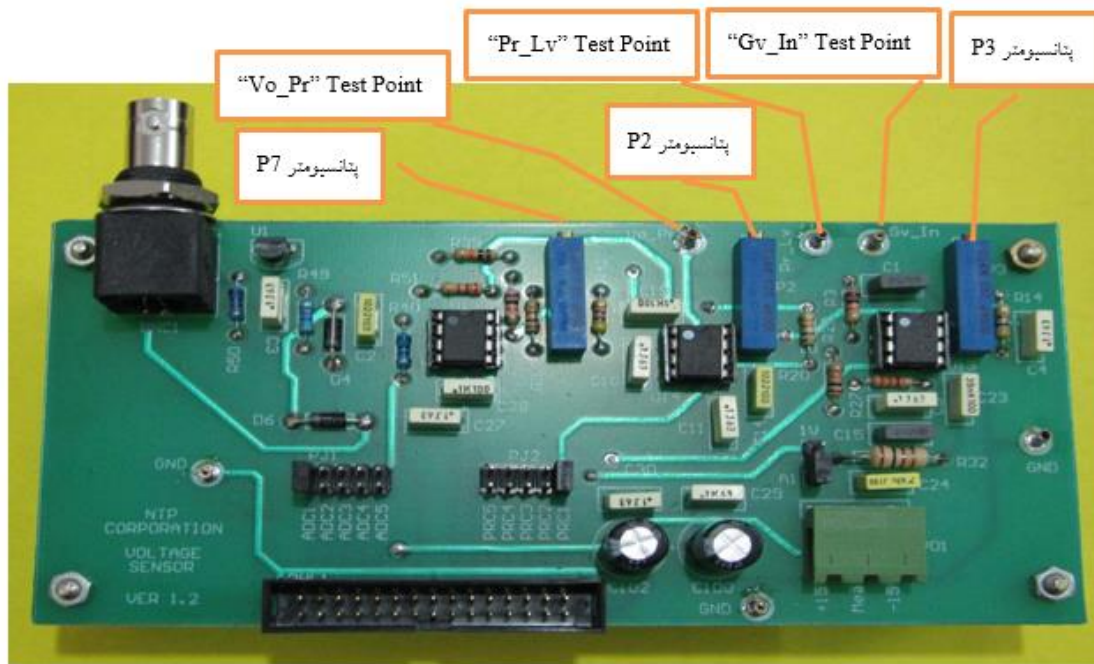
¹ Resistor Capacitor Diode

سنسور این مدار NV25P است که خروجی آن به صورت جریان است. براساس دیتاشیت سنسور ولتاژ، این سنسور دارای نسبت تبدیل ۲۵۰۰ به ۱۰۰۰ ولتاژ است. شکل (۳-۲۰) نحوه این اتصالات را نشان می دهد. ولتاژ فاز شبکه از طریق مقاومت R و نول شبکه به صورت مستقیم به ورودی سنسور متصل می شوند. مقدار مقاومت R و R_m باید به نحوی تنظیم شود که براساس دیتاشیت، مقدار مؤثر جریان ورودی و خروجی سنسور به ترتیب از ۱۰ و ۲۵ میلی آمپر فراتر نرود. پس از انجام اتصالات مذکور و اتصال یک تغذیه دوپل ± 15 به سنسور ولتاژ، می توان ولتاژ نمونه برداری شده توسط سنسور را از دو سر مقاومت R_m اخذ کرد.



شکل (۳-۲۰) نحوه اتصالات مدار سنسور ولتاژ

در اینجا برای کالیبره کردن خروجی ها، از بردهایی استفاده شده است که به صورت ماژولار طراحی شده اند. ماژولار برون بردها به این معنی است که برای سنسورهای ولتاژ یک برد و از آن به میزان ۳ عدد ساخته شده است که بر روی یکدیگر نصب می گردند. هر برد دارای ۲ خروجی اندازه گیری است که یکی مربوط به سیگنال ADC و دیگری مربوط به سیگنال حفاظت است که هر دو این خروجی ها به پردازنده انتقال می یابند. پس از نصب شدن بردهای کالیبراسیون سنسور ولتاژ بر روی یکدیگر توسط کابل فلت، این بردها به پردازنده متصل می گردند. برد کالیبراسیون ولتاژ در شکل (۳-۲۱) نشان داده شده است.



شکل (۳-۲۱) نمایی از برد کالیبراسیون خروجی سنسور ولتاژ

به دلیل آن که خروجی سنسور ولتاژ به صورت جریان است لذا در ابتدا این جریان توسط مقاومت به ولتاژ تبدیل و سپس مقدار دامنه آن تقویت می گردد. تقویت دامنه در طبقه اول به کمک پتانسیومتر P3 انجام می گردد. خروجی این تقویت کننده از طریق محل تست Gv_In قابل رویت است (Gv_In Test Point). اتصال زمین نیز در قسمت های مختلف برد جهت اندازه گیری تعبیه شده است. پس از تنظیم بهره اولیه، باید سطح حفاظت را نیز تنظیم نمود. سطح حفاظت توسط یک مقدار DC برای پیک ولتاژ، که فقط در سمت مثبت در نظر گرفته شده، قابل تنظیم است. این سطح DC به کمک پتانسیومتر P2 قابل تنظیم و توسط محل تست Pr_Lv قابل مشاهده است. سیگنالی که برای حفاظت مورد استفاده قرار می گیرد همان خروجی طبقه اول می باشد که به عنوان ورودی در این طبقه استفاده می شود. از این بخش مدار برای حفاظت در مقابل اضافه ولتاژهای مثبت خروجی استفاده می گردد. البته بر روی این برد یک سیگنال مرجع 1V نیز در نظر گرفته شده است که به وسیله جامپر A1 قابل انتخاب است و کاربر می تواند از آن برای تنظیم مقادیر بهره و حفاظت استفاده نماید.

آخرین مرحله، مربوط به تنظیم سطح سیگنال ADC برای ارسال به FPGA است. به دلیل آن که

سیگنال ورودی به ADC برد FPGA باید بین 0 تا 3.3V باشد لذا صفر یک سیگنال AC باید در نقطه وسط این مقدار یعنی 1.65V قرار گیرد. به دلیل مسائل حفاظتی، این مقدار برابر 1.6V تنظیم شده است لذا سیگنال خروجی در محدوده 0 تا 3.2V قرار خواهد گرفت. به دلیل آن که سیگنال ورودی به این بخش، خروجی طبقه اول این برد است لذا برای تنظیم بهتر، از پتانسیومتر P7 برای تنظیم بهره این قسمت استفاده شده است. خروجی این طبقه نیز برای حفاظت بیشتر توسط یک محدود کننده بین 0 تا 3.3V محدود می‌گردد. خروجی این طبقه نیز از طریق کانکتور BNC که به دستگاه اسیلوسکوپ وصل می‌گردد قابل مشاهده است.

۳-۵-۴- طراحی مدار فرمان

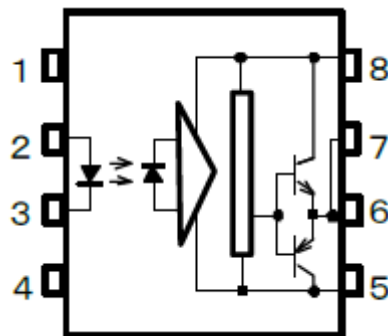
جهت درایو کردن کلیدها از یک مدار نسبتاً ساده و ارزان قیمت‌تر نسبت به IGBT درایورهای همچون IR2113 استفاده شده است. نمایی از برد طراحی شده در شکل (۳-۲۲) نشان داده شده است. با توجه به اینکه خروجی پردازنده دارای یک زمین مشترک می‌باشد، جهت ایجاد زمین مجزا برای هر شش پالسی که به مدار قدرت وارد می‌شود، از یک اپتوکوپلر^۱ استفاده شده است. اپتوکوپلر مورد استفاده دارای پارت نامبر TLP250 ساخت شرکت توشیبا می‌باشد. شکل (۳-۲۳) نمایی از این اپتو را نشان می‌دهد. اگر هر پالس خروجی پردازنده به همراه زمین مشترک پردازنده به دو سر ۲ و ۳ اپتو وارد شوند، می‌توان یک خروجی ایزوله با ولتاژ ۱۵ ولت و حداکثر جریان ۱,۵ آمپر از اپتوکوپلر کشید. خروجی ۱۵ ولت اپتو از پایه‌های ۶ و ۵ آن می‌باشد. از طرفی زمین تغذیه اپتوها نیز به پایه ۵ متصل می‌گردد. بنابراین هرچند اپتوها دارای خروجی ایزوله نسبت به ورودیشان می‌باشند، اما اگر همه اپتوها دارای یک زمین مشترک در تغذیه خود باشند، ایزوله بودن خروجی آن‌ها نسبت به هم، کاملاً بی‌معنی است. به همین دلیل باید زمین تغذیه اپتوها را نیز از یکدیگر مجزا نمود. یکی از این روش‌ها استفاده از منبع

¹Optocoupler

تغذیه های DC به DC ایزوله می باشد. امروزه این منابع تغذیه با قیمت نسبتا مناسب و در ابعاد کوچک در دسترس می باشند. یکی از این منابع ایزوله قطعه mau153 می باشد. این قطعه دارای خروجی تنظیم شده ۱۵ ولت است. برد مدار فرمان ولتاژ +۱۵ را برای روشن شدن و صفر را برای خاموش شدن کلیدها با توجه به سیگنال خروجی پروسوسور فراهم می کند. شکل (۳-۲۲) نمایی از برد مدار فرمان طراحی شده را نشان می دهد.



شکل (۳-۲۲) نمایی از برد مدار فرمان طراحی شده



شکل (۳-۲۳) نمایی از اپتوکوپلر TLP250 [48]

۳-۵-۵- زمان مرده کلیدهای قدرت

شکل (۳-۱) ساختار یکسوکننده سه فاز شش کلید کاهنده تصحیح کننده ضریب توان را نشان

می‌دهد. در شرایط معمول، تنها یک IGBT در ردیف بالایی و یک IGBT در ردیف پایینی روشن خواهند شد. اگر دو IGBT در ردیف بالا (یا پایینی) به طور همزمان روشن شوند، سبب اتصال دو فاز ورودی با امپدانس بسیار کم و کشیده شدن جریان شدیدی از شبکه خواهد شد.

این نکته به این معنا نیست که مدولاسیون در پروسسور به گونه‌ای تعیین می‌شود که سبب روشن شدن همزمان دو IGBT در یک ردیف گردد، بلکه ایده آل نبودن مشخصه IGBTها دلیل این موضوع می‌باشد. جهت جلوگیری از این اتفاق، همواره توصیه می‌گردد که یک زمان مرده به الگوریتم کنترل افزوده شود. با افزودن این زمان به الگوریتم، همواره ابتدا IGBT اول به طور کامل خاموش شده و IGBT دوم پس از زمان مرده تعیین شده به آن روشن خواهد شد. در نتیجه، اتصال کوتاه ناشی از عدم برابری زمان روشن و خاموش شدن IGBT رفع خواهد شد.

مقدار این زمان بسته به زمان تاخیر کلید در خاموش و روشن شدن بین ۲ تا ۹ میکروثانیه انتخاب می‌گردد. در اینجا با توجه به زمان تاخیر موجود در دیتاشیت کلید به کار گرفته شده در ساخت پروژه، این زمان برابر ۲ میکروثانیه در نظر گرفته شده است.

۳-۶- خلاصه فصل

در این فصل روش پیشنهادی برای طراحی یکسوکننده سه‌فاز کاهنده ارائه گردید. در روش پیشنهادی طراحی فیلتر ورودی، ابتدا مقادیر هارمونیک‌های موجود در جریان PWM در سه نوع مدولاسیون سینوسی، برداری و SHE محاسبه گردید. سپس با استفاده از مدل ریاضی مبدل در فرکانس اصلی و در هارمونیک‌ها، مقدار دامنه هارمونیک‌های جریان فیلتر شده محاسبه شد. در نهایت THD جریان ورودی و ضریب توان برحسب مقادیر سلف، خازن و میرایی فعال محاسبه شده و به منظور حل این معادلات از روش بهینه‌سازی چندهدفه استفاده گردید. در بخش طراحی سخت‌افزار نیز تمامی ملزومات از جمله اسنابر، مدار فرمان، برد واسط سنسور و مقدار زمان مرده طراحی شد.

فصل ۴: طراحی کنترل کننده

۴-۱- مقدمه

در فصل سوم، تمامی پارامترهای مبدل با استفاده از روش پیشنهادی طراحی گردید. با توجه به این پارامترها می توان مبدل را به صورت جلقه باز راه اندازی نمود و با تعیین مقدار مرجع ولتاژ ورودی برای یکسوکننده، مقدار خروجی را تنظیم نمود. اما در این شرایط، اگر ولتاژ شبکه دچار افت شود و یا هر اغتشاش دیگری به سیستم وارد شود، ممکن است سیستم ناپایدار گردد. به همین دلیل باید با مدل سازی و طراحی کنترل کننده مناسب پاسخ سیستم به تغییر مرجع را بهبود داده و پاسخ سیستم را به اغتشاشات حداقل نمود. در این فصل، با انتخاب یک روش کنترلی مناسب و مدل سازی سیستم، به طراحی کنترل کننده جهت کنترل ولتاژ خروجی پرداخته خواهد شد.

۴-۲- مدل سازی و طراحی کنترل کننده یکسوکننده

در فصل دوم، روش های کنترلی رایج یکسوکننده مورد بررسی قرار گرفت. با توجه به اینکه در دستگاه abc معادلات غیرخطی می باشند و مبدل تنها در محدوده نقطه کار پاسخ مناسبی دارد (برخلاف کنترل فیدبک حالت در دستگاه dq0) این روش کنترلی مطلوب نمی باشد. همچنین از ۷ سنسور در این نوع روش استفاده می شود که تعداد نسبتاً بالایی است. روش کنترل پیشبین که بر پایه مدل دقیق سیستم بوده و دارای ۱۱ سنسور می باشد عملاً از لحاظ اقتصادی به صرفه نیست. طراحی کنترل کننده در دستگاه dq0 با توجه به خطی بودن معادلات، مجزا بودن سمت AC و DC از یکدیگر و تنها استفاده از ۴ سنسور روش نسبتاً مطلوبی به شمار می رود که در اینجا به کار گرفته شده است.

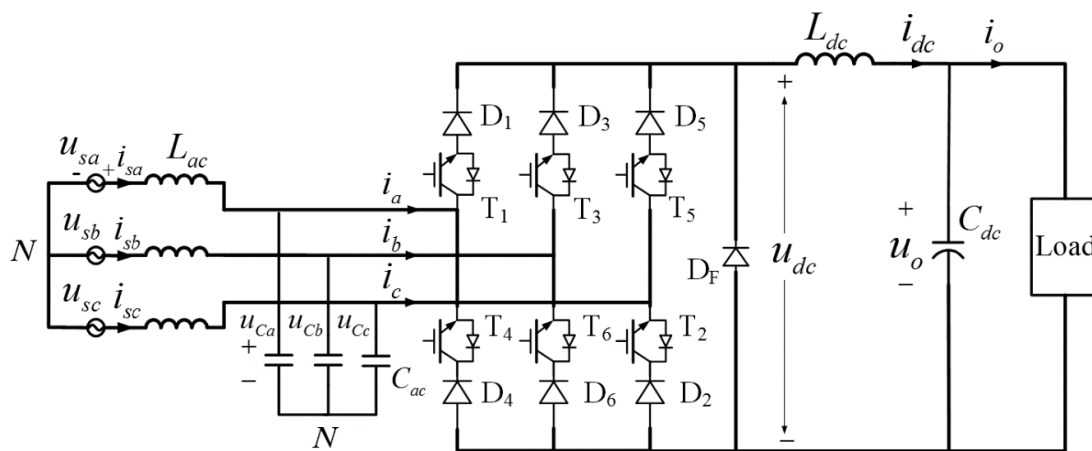
جهت طراحی کنترل کننده، ابتدا معادلات حالت سیستم با استفاده از مدار مبدل تعیین می گردند. سپس با انتقال این معادلات به دستگاه dq0 و در نظر گرفتن محور ولتاژ خازن فیلتر ورودی در راستای محور d مدل سمت AC و DC مبدل کاملاً از یکدیگر مستقل خواهند شد. بر مبنای این مدل، می توان به طور مستقل کنترل سمت AC و DC را انجام داد. در اینجا روش کنترلی فیدبک متغیر حالت برای

کنترل ولتاژ DC خروجی و میرایی فعال برای سمت AC به کارگرفته شده است.

۴-۲-۱- مدل سازی مبدل و محاسبه تابع تبدیل آن

جهت طراحی کنترل کننده، ابتدا باید مدل مربوط به مبدل را به دست آورد. به این منظور معادلات

حالت مربوطه با توجه به شکل (۱-۴) به صورت زیر بیان می گردند:



شکل (۱-۴) مدار مبدل یکسوکننده سه فاز منبع جریانی [۱۸]

(الف) معادلات سمت DC :

$$C_{dc} \frac{du_o}{dt} = i_{dc} - i_o \quad (۱-۴)$$

$$L_{dc} \frac{di_{dc}}{dt} = u_{dc} - u_o \quad (۲-۴)$$

(ب) معادلات سمت AC :

$$L_{ac} \frac{d}{dt} \begin{bmatrix} i_{sa} \\ i_{sb} \\ i_{sc} \end{bmatrix} = \begin{bmatrix} u_{sa} \\ u_{sb} \\ u_{sc} \end{bmatrix} - \begin{bmatrix} u_{Ca} \\ u_{Cb} \\ u_{Cc} \end{bmatrix} \quad (۳-۴)$$

$$C_{ac} \frac{d}{dt} \begin{bmatrix} u_{Ca} \\ u_{Cb} \\ u_{Cc} \end{bmatrix} = \begin{bmatrix} i_{sa} \\ i_{sb} \\ i_{sc} \end{bmatrix} - \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (۴-۴)$$

همان طور که در معادلات (۴-۱) تا (۴-۴) دیده می شود، علاوه بر متغیرهای حالت i_{sk} ، u_{Ck} ، i_{dc} و u_0 و $k = a, b, c$ ، متغیرهای دیگری اعم از i_k و u_{dc} وجود دارند. در حقیقت برای به دست آوردن مدل میانگین مبدل i_k و u_{dc} باید برحسب متغیرهای حالت محاسبه شوند. سایر متغیرها به عنوان ورودی و اغتشاش در نظر گرفته شده اند. جهت محاسبه متغیرهای i_k و u_{dc} برحسب متغیر کلیدزنی σ_k را به صورت (۴-۵) تعریف می شود:

$$\sigma_k = \begin{cases} 1 & \text{اگر کلید بالا روشن و کلید پایین خاموش باشد} \\ 0 & \text{اگر دو هر کلید خاموش باشد} \\ -1 & \text{اگر کلید بالا خاموش و کلید پایین روشن باشد} \end{cases} \quad (۴-۵)$$

با توجه به مدار و حالات مختلف روشن و خاموش بودن کلیدها، ارتباط میان متغیرهای i_k و u_{dc}

با متغیرهای حالت، به وسیله متغیر کلیدزنی σ_k ، به صورت (۴-۶) و (۴-۷) می باشد:

$$i_k = \sigma_k i_{dc} \quad (۴-۶)$$

$$u_{dc} = \sum_{k=a,b,c} \sigma_k u_{Ck} \quad (۴-۷)$$

با جایگذاری معادلات (۴-۶) و (۴-۷) در معادلات (۴-۱) تا (۴-۴) داریم:

$$C_{dc} \frac{du_o}{dt} = i_{dc} - i_o \quad (۴-۸)$$

$$L_{dc} \frac{di_{dc}}{dt} = \sum_{k=a,b,c} \sigma_k u_{Ck} - u_o \quad (۴-۹)$$

$$L_{ac} \frac{di_{sk}}{dt} = u_{sk} - u_{Ck} \quad (۴-۱۰)$$

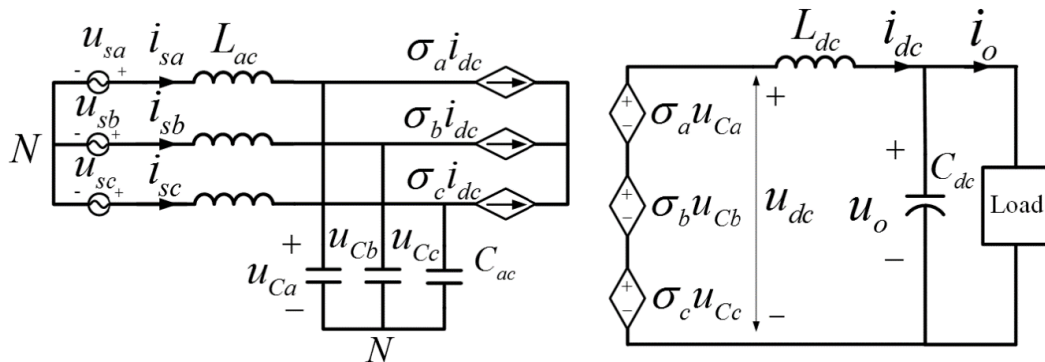
$$C_{ac} \frac{du_{ck}}{dt} = i_{sk} - \sigma_k i_{dc} \quad (۴-۱۱)$$

با توجه به معادلات به دست آمده می توان مدار معادل مبدل را به صورت شکل (۴-۲) رسم نمود.

معادلات (۴-۸) تا (۴-۱۱) معادلات توصیف کننده مدار در حوزه abc می باشند. این معادلات، غیرخطی

و مرتبه ۸ بوده که طراحی کنترل کننده برای این سیستم پیچیده خواهد بود. بنابراین باید

ساده سازی هایی روی این مدل صورت پذیرد. در اینجا برای ساده سازی مدل، مبدل را به حوزه dq0 انتقال داده و در ادامه به توصیف آن خواهیم پرداخت.



شکل (۲-۴) مدار معادل abc مبدل [۱۸]

۲-۲-۴- مدل سمت AC

با انتقال معادلات (۴-۱۰) و (۴-۱۱) به حوزه dq :

$$L_{ac} \frac{di_{sd}}{dt} = u_{sd} - u_{Cd} + \omega_s L_{ac} i_{sq} \quad (۱۲-۴)$$

$$L_{ac} \frac{di_{sq}}{dt} = u_{sq} - u_{Cq} - \omega_s L_{ac} i_{sd} \quad (۱۳-۴)$$

$$C_{ac} \frac{du_{Cd}}{dt} = i_{sd} + \omega_s C_{ac} u_{Cq} - \sigma_d i_{dc} \quad (۱۴-۴)$$

$$C_{ac} \frac{du_{Cq}}{dt} = i_{sq} - \omega_s C_{ac} u_{Cd} - \sigma_q i_{dc} \quad (۱۵-۴)$$

در معادلات فوق u_{Cd} و u_{Cq} به ترتیب ولتاژهای محور d و q خازن های سه فاز می باشند. σ_d و σ_q به ترتیب متغیرهای کلیدزنی محور d و q می باشند. i_{sd} و i_{sq} جریان های محور d و q شبکه و u_{sd} و u_{sq} ولتاژهای محور d و q آن می باشند. همچنین ω_s فرکانس زاویه ای ولتاژ شبکه می باشد.

با در نظر گرفتن بردار ولتاژ خازن فیلتر ورودی، همراستا با محور d ولتاژ محور q آن صفر خواهد

شد:

$$u_{Cq} = 0 \quad (16-4)$$

با توجه به بزرگ بودن سلف خروجی در لینک DC، می توان جریان آن را در مدل میانگین ثابت در نظر گرفت. همچنین با صرف نظر از مقادیر کوچک کوپلینگ $\omega_s L_{ac}$ و $\omega_s C_{ac}$ مدل سمت AC به شکل زیر ساده خواهد شد:

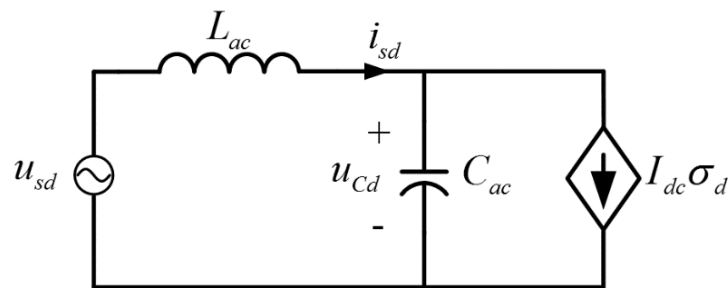
$$L_{ac} \frac{di_{sd}}{dt} = u_{sd} - u_{Cd} \quad (17-4)$$

$$L_{ac} \frac{di_{sq}}{dt} = u_{sq} \quad (18-4)$$

$$C_{ac} \frac{du_{Cd}}{dt} = i_{sd} - \sigma_d i_{dc} \quad (19-4)$$

$$0 = i_{sq} - \sigma_q i_{dc} \quad (20-4)$$

در معادلات فوق، معادله مربوط به محور q یک معادله مرتبه یک می باشد. علاوه بر این با استفاده از معادلات مذکور، مدار معادل محور d به صورت زیر قابل بیان است:



شکل (۳-۴) مدار معادل محور d یکسوکننده [۱۸]

بنابراین می توان تابع تبدیل مربوط به u_{Cd} را بر حسب u_{sd} و σ_d بیان نمود:

$$u_{Cd} = \frac{1}{\left(\frac{s}{\omega_{ac}}\right)^2 + 1} u_{sd} - \frac{L_{ac} I_{dc} s}{\left(\frac{s}{\omega_{ac}}\right)^2 + 1} \sigma_d \quad (21-4)$$

در معادله فوق $\omega_{ac} = 1/\sqrt{L_{ac} C_{ac}}$ بوده و σ_d به عنوان ورودی سیستم می باشد. همچنین سیستم باید

به نحوی عمل کند که با تغییرات u_{sd} در مقدار مرجع تعیین شده، باقی بماند. به عبارت دیگر، u_{sd} را می توان به عنوان یک اغتشاش در نظر گرفت. معادله فوق، یک معادله مرتبه دو بدون میرایی می باشد. در نتیجه، مدار معادل سمت AC، یک مدل خطی مرتبه دو در محور d و مرتبه یک در محور q می باشد. بنابراین میرایی، تنها برای محور d طراحی خواهد شد.

۴-۲-۳- مدل سمت DC

جهت تعیین مدل سمت DC، از معادلات (۴-۸) و (۴-۹) استفاده نموده و جمله مربوط به $\sigma_k u_{ck}$ به دستگاه dq انتقال داده می شود:

$$L_{dc} \frac{di_{dc}}{dt} = 1.5(u_{cd}\sigma_d + u_{cq}\sigma_q) - u_o \quad (۲۲-۴)$$

$$C_{dc} \frac{du_o}{dt} = i_{dc} - i_o \quad (۲۳-۴)$$

متغیری که جهت کنترل در سمت AC می تواند مورد استفاده قرار گیرد، ولتاژ خازن های سه فاز است. چون این مقادیر به ولتاژ ورودی نزدیک بوده و تفاوت زیادی ندارند. از اینرو می توان u_{cd} را در دستگاه dq در سمت DC ثابت در نظر گرفت. بنابراین با در نظر گرفتن (۴-۱۶)، (۲۲-۴) و (۲۳-۴):

$$L_{dc} \frac{di_{dc}}{dt} = 1.5U_{cd}\sigma_d - u_o \quad (۲۴-۴)$$

$$C_{dc} \frac{du_o}{dt} = i_{dc} - i_o \quad (۲۵-۴)$$

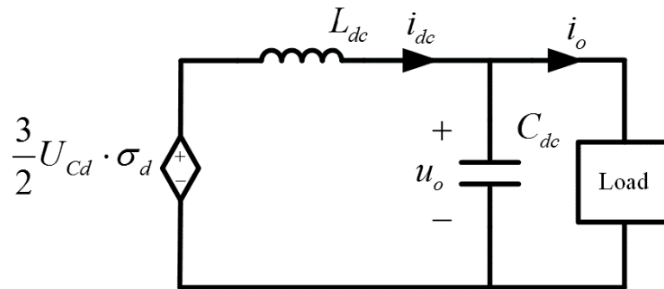
بر اساس معادلات به دست آمده، مدار معادل سمت DC به صورت شکل (۴-۴) و تابع تبدیل u_0 بر حسب σ_d و i_o به صورت (۲۶-۴) خواهد شد:

$$u_0 = \frac{1.5U_{cd}}{\left(\frac{s}{\omega_{dc}}\right)^2 + 1} \sigma_d - \frac{L_{dc}s}{\left(\frac{s}{\omega_{dc}}\right)^2 + 1} i_o \quad (۲۶-۴)$$

در معادله فوق $\omega_{dc} = 1/\sqrt{L_{dc}C_{dc}}$ بوده و σ_d به عنوان ورودی سیستم می باشد. همچنین سیستم باید

به نحوی عمل کند که با تغییرات جریان بار در مقدار مرجع تعیین شده، باقی بماند. به عبارت دیگر، i_o را می توان به عنوان یک اغتشاش در نظر گرفت.

همان طور که در (۴-۲۶) دیده می شود، تابع تبدیل سمت DC، با در نظر گرفتن ولتاژ خازن در راستای محور d به یک تابع تبدیل مرتبه دو، تبدیل و ساده شده است.



شکل (۴-۴) مدار معادل سمت DC مبدل [۱۸]

۴-۲-۴ طراحی کنترل کننده

در این بخش، به طراحی کنترل کننده سمت AC و DC به صورت مجزا پرداخته خواهد شد. به این منظور پارامترهای مبدل در جدول (۴-۱) ارائه شده است. مقادیر مربوط به فیلترها با استفاده از روش پیشنهادی فصل قبل تعیین شده و نحوه محاسبه آنها در ۵-۲-۱-۲-۲-۲-۲ ارائه گردیده است.

۴-۲-۴-۱ طراحی کنترل کننده سمت AC

ساده ترین روش، جهت ایجاد میرایی در فیلتر AC سمت ورودی، استفاده از یک مقاومت موازی R_{Damp} با خازن فیلتر است. (شکل (۴-۵)). استفاده از این مقاومت سبب ایجاد تلفات زیاد در سیستم می شود. یکی دیگر از روش های ایجاد میرایی مناسب برای سیستم، استفاده از میرایی فعال است. مقاومت فعال موازی $R_H = R_{Damp}$ به عنوان یک مقاومت مجازی جهت ایجاد میرایی در سیستم در (۴-۸) شکل (۴-۶) نشان داده شده است. این عمل با فیدبک گرفتن از ولتاژ محور d خازن ورودی انجام می شود.

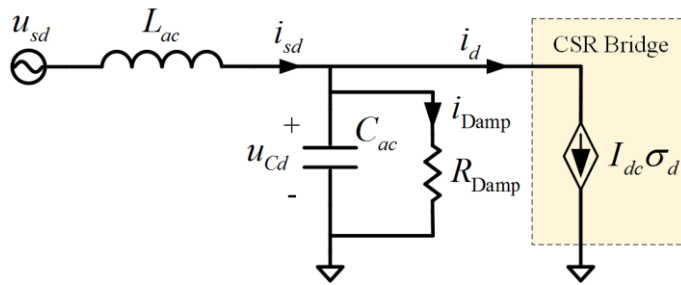
تشدید فیلتر LC در سمت AC سبب تقویت هارمونیک های نزدیک به فرکانس ω_{ac} می شود (در دستگاه dq مؤلفه هایی با فرکانس زاویه ای $(\omega_{ac} - \omega_s)$ از طرف دیگر، مؤلفه اصلی u_{cd} مقدار DC دارد که باعث ایجاد مقدار DC در i_{Damp} می شود. با اینکه این مؤلفه در مقدار میرایی اثرگذار نیست، اما سبب over modulation در سیستم می شود. بنابراین یک فیلتر بالاگذر باید در مسیر فیدبک ولتاژ u_{cd} قرار داده شود تا مؤلفه های فرکانس پایین را حذف نماید:

$$HPF(s) = \frac{s}{s + \omega_{HP}} \quad (27-4)$$

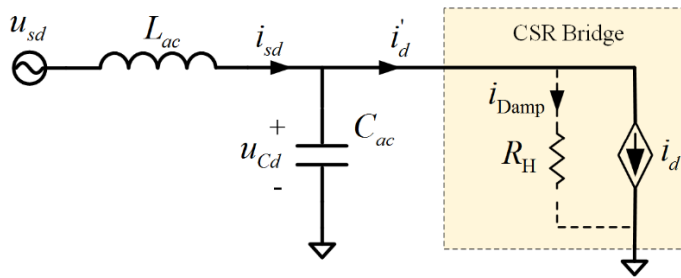
طراحی فیلتر بالاگذر در حوزه dq ساده تر از abc می باشد، زیرا حذف مؤلفه DC در dq نسبت به حذف فرکانس شبکه در دستگاه abc راحت تر است. فرکانس قطع HPF باید خیلی کوچک تر از فرکانس $\omega_{ac} - \omega_s$ باشد که در اینجا $\omega_{HP} = (\omega_{ac} - \omega_s)/10$ در نظر گرفته می شود و میرایی فعال از ترکیب HPF و مقاومت مجازی $R_v(s) = 1/R_H$ تشکیل خواهد شد.

جدول (۱-۴) پارامترهای یکسوکونده سه فاز کاهنده تصحیح کننده ضریب توان

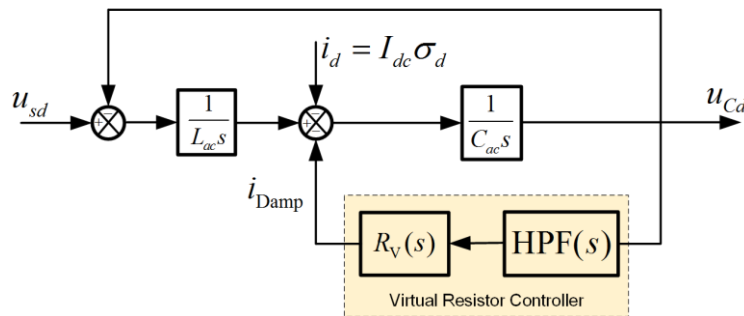
پارامترها	مقادیر
توان نامی	۱۳۰۰ ولت آمپر
ولتاژ نامی خروجی	۹۶ ولت
مقدار مؤثر ولتاژ فاز منبع ورودی	۱۰۶ ولت
فرکانس شبکه	۵۰ هرتز
فرکانس کلیدزنی	۱۵ کیلوهرتز
نوع مدولاسیون	سینوسی
حداکثر ریپل مجاز برای جریان خروجی	۵ درصد
حداکثر افت ولتاژ مجاز بر سلف فیلتر ورودی	۴ درصد
L_{ac}	۲٫۵ میلی هانری
C_{ac}	۱۴ میکروفاراد
L_{dc}	۶٫۸ میلی هانری



شکل (۵-۴) میرایی غیرفعال [۱۸]



شکل (۶-۴) میرایی فعال [۱۸]



شکل (۷-۴) بلوک دیاگرام کنترل کننده سمت AC [۱۸]

تابع تبدیل به ازای ورودی های u_{sd} و σ_d و خروجی u_{cd} با استفاده از شکل (۷-۴) به صورت زیر

می باشد:

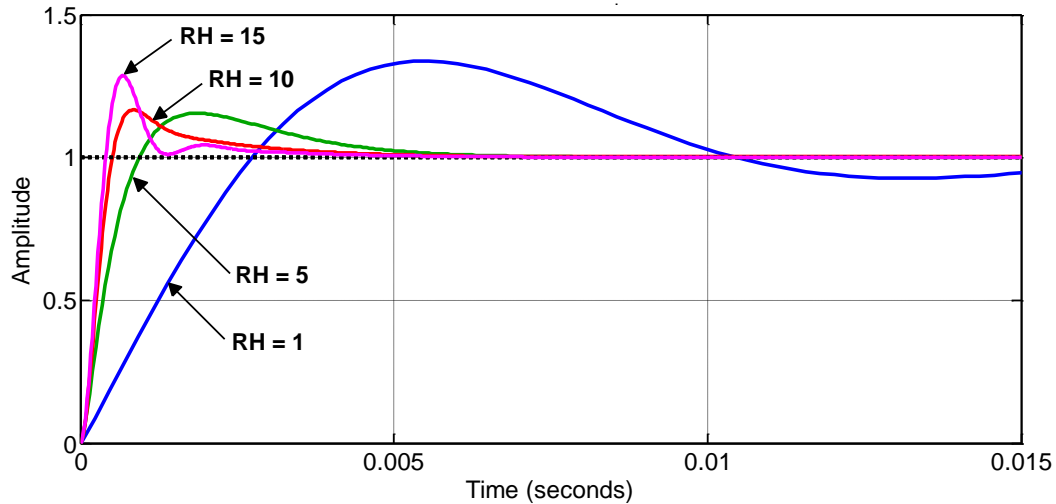
$$G_{ac_1} = \frac{u_{cd}}{\sigma_d} = \frac{\omega_{ac}^2 (s + \omega_{HP})}{s^3 + (\omega_{HP} + 1/R_H C_{ac})s^2 + \omega_{ac}^2 s + \omega_{ac}^2 \omega_{HP}} \quad (28-4)$$

$$G_{ac_2} = \frac{u_{cd}}{u_{sd}} = \frac{\omega_{ac}^2 I_{dc} L_{ac} (s^2 + \omega_{HP} s)}{s^3 + (\omega_{HP} + 1/R_H C_{ac})s^2 + \omega_{ac}^2 s + \omega_{ac}^2 \omega_{HP}} \quad (29-4)$$

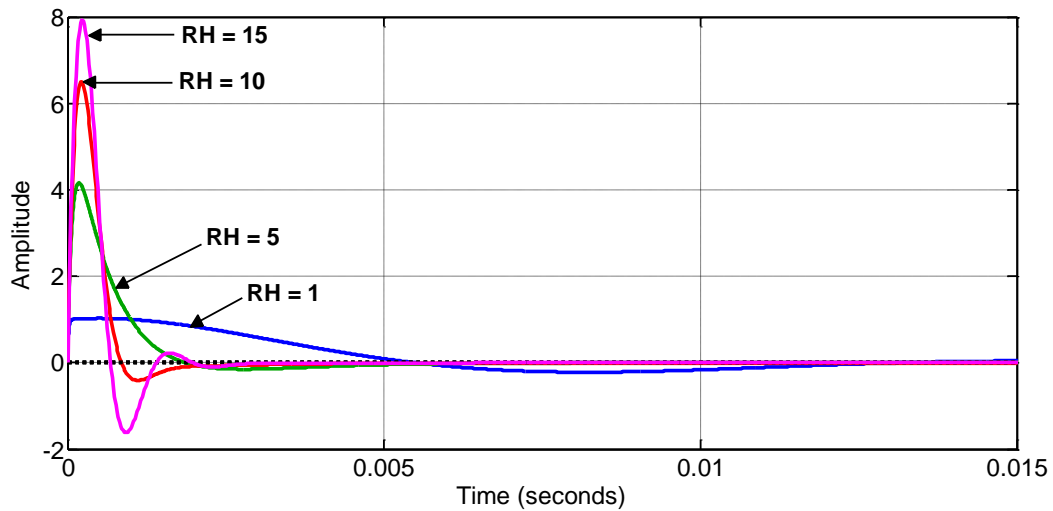
پاسخ پله مربوط به توابع تبدیل G_{ac_1} و G_{ac_2} به ازای R_H های مختلف به ترتیب در شکل (۸-۴)

و شکل (۹-۴) نشان داده شده است. همان طور که مشاهده می گردد، مقادیر کوچک تر R_H هر چند پاسخ

دینامیکی کندتری دارند، اما میرایی بسیار مناسبی را برای سیستم ایجاد می نمایند. از طرفی کوچک شدن R_H در حد عدد ۱ سبب نوسانی شدن سیستم می گردد. به همین دلیل R_H برابر ۵ انتخاب می گردد.



شکل (۴-۸) پاسخ مربوط به تابع تبدیل G_{ac1} به ازای R_H های مختلف



شکل (۴-۹) پاسخ پله مربوط به تابع تبدیل G_{ac2} به ازای R_H های مختلف

۴-۲-۴-۲- طراحی کنترل کننده سمت DC

در سمت DC نه تنها ولتاژ خروجی u_0 بلکه جریان سلف i_{dc} باید کنترل شوند. بنابراین در اینجا از فیدبک حالت جهت کنترل سمت DC استفاده شده است. با توجه به اینکه ولتاژ u_0 در حالت دائمی به یک مقدار ثابت می رسد، جهت کاهش خطای حالت دائمی از کنترل کننده $G_c(s) = k_1/s$ استفاده

می شود. کنترل کننده سمت DC در شکل (۴-۱۰) زیر نشان داده شده است، که ضرایب k_2 و k_3 به ترتیب مربوط به فیدبک حالت از متغیرهای حالت i_{dc} و u_0 می باشند. با توجه به شکل (۴-۱۰) می توان تابع تبدیل حلقه بسته سمت DC سیستم را محاسبه نمود:

$$G_{dc-1} = \frac{u_0}{u_{0_ref}} = \frac{k_1 E_m \omega_{dc}^2}{s^3 + (k_2 E_m / L_{dc}) s^2 + (k_3 E_m + 1) s + k_1 E_m \omega_{dc}^2} \quad (30-4)$$

که $E_m = 1.5 u_{cd}$ است.

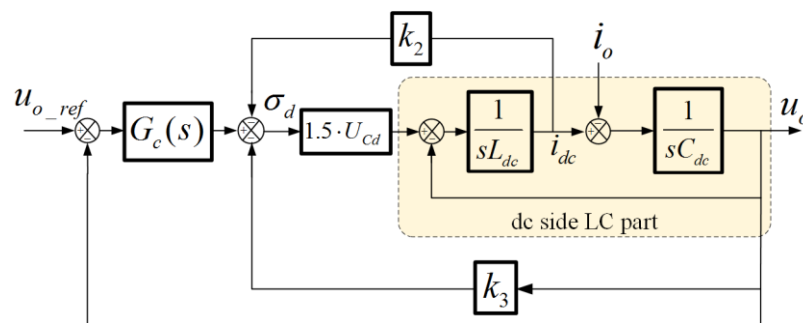
معادله فوق، یک معادله مرتبه سه استاندارد با گین های بهینه سازی شده، بر طبق شاخص خطای پاسخ پله می باشد، که گین های k_1 ، k_2 و k_3 به صورت زیر به دست می آیند:

$$k_1 = \omega_n^3 / (\omega_{dc}^2 E_m) \quad (31-4)$$

$$k_2 = 1.9 \omega_n L_{dc} / E_m \quad (32-4)$$

$$k_3 = (2.2 \omega_n^2 / \omega_{dc}^2 - 1) / E_m \quad (33-4)$$

که ω_n (برابر ۱۵۰ رادیان بر ثانیه) فرکانس نوسانات دمپ نشده سیستم حلقه بسته می باشد [۱۸، ۴۹].



شکل (۴-۱۰) بلوک دیاگرام سمت DC مبدل [۱۸]

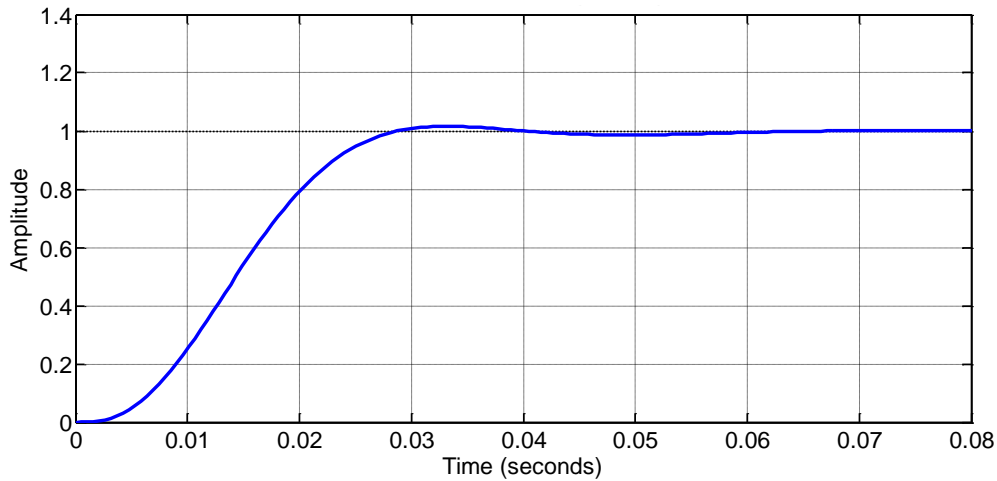
پاسخ پله مربوط به G_{dc-1} در شکل (۴-۱۱) نشان داده شده است. در این حالت سیستم با کمترین فراجهش مرجع را به درستی ردیابی می نماید.

معادله (۴-۲۶) نشان می دهد که در حالت حلقه باز u_0 با تغییر جریان خروجی i_0 تغییر می کند.

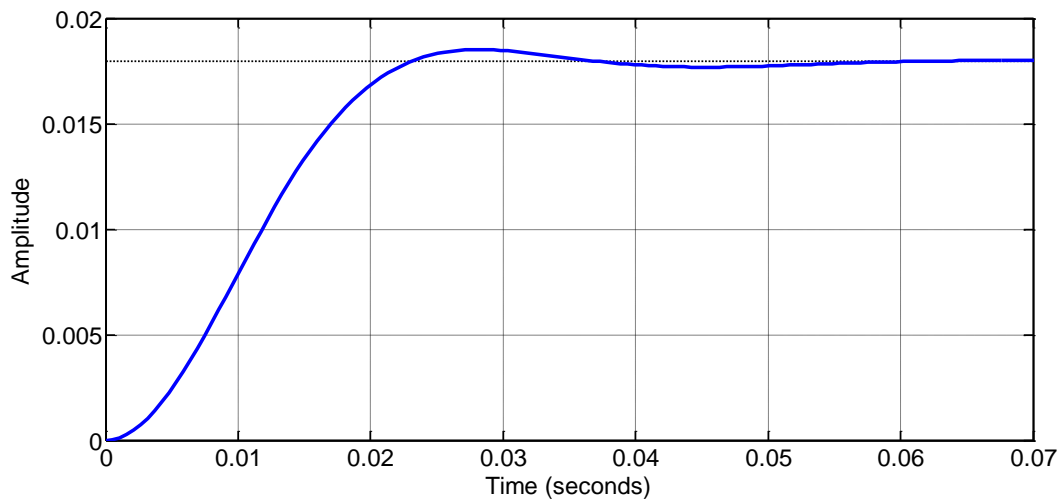
تابع تبدیل سیستم حلقه بسته مربوطه، با توجه به شکل (۴-۱۰) قابل دستیابی است:

$$G_{dc_2} = \frac{u_0}{i_0} = \frac{(s + k_2 E_m / L_{dc}) / C_{dc}}{s^3 + (k_2 E_m / L_{dc}) s^2 + (k_3 E_m + 1) s + k_1 E_m \omega_{dc}^2} \quad (34-4)$$

پاسخ پله مربوط به G_{dc_2} در شکل (۴-۱۲) نشان داده شده است. تغییرات مربوط به ولتاژ خروجی به ازای تغییرات جریان بار ناچیز است که بیانگر پاسخ دینامیکی مناسب و عدم تاثیرپذیری پاسخ سیستم از اغتشاش می باشد.



شکل (۴-۱۱) پاسخ پله مربوط به تابع تبدیل G_{dc_1}



شکل (۴-۱۲) پاسخ پله مربوط به تابع تبدیل G_{dc_2}

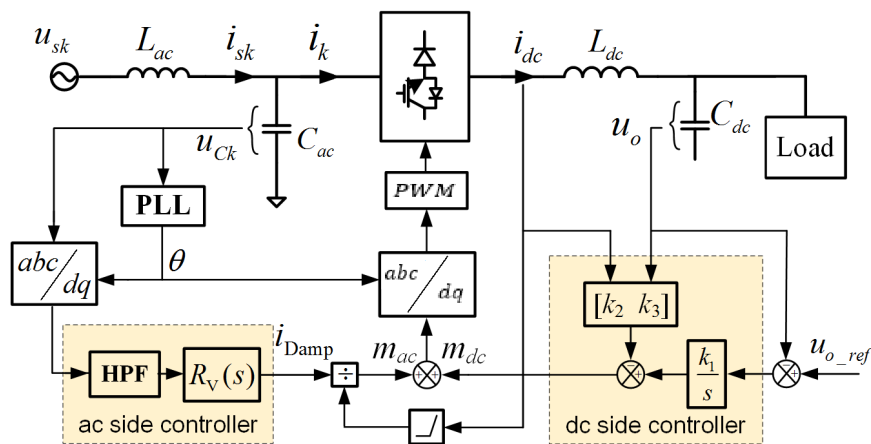
۴-۲-۵- بلوک دیاگرام کنترل مبدل

بلوک دیاگرام کنترل مبدل در شکل (۴-۱۳) نشان داده شده است. m_{ac} و m_{dc} به ترتیب، خروجی

کنترل کننده سمت DC و AC می باشند. این دو خروجی برای انجام PWM و مدولاسیون با یکدیگر جمع می شوند. نحوه مدولاسیون در بخش قبل به طور کامل توضیح داده شده است.

با استفاده از فیلتر بالاگذر، m_{ac} تنها دارای مؤلفه های فرکانس بالا می باشد. از طرف دیگر، مؤلفه های اصلی m_{dc} به علت ثابت زمانی کوچک LC سمت DC، فرکانس پایین می باشد.

حتی اگر، خروجی کنترل کننده سمت AC، سبب تولید مؤلفه های فرکانس بالا شود، توسط فیلتر سمت DC به علت ماهیت پایین گذر بودن آن حذف می شود. کنترل سمت DC و سمت AC هیچ تاثیری بر روی یکدیگر ندارند. بنابراین، کنترل این دو از یکدیگر مجزا می باشد.



شکل (۴-۱۳) بلوک دیاگرام کنترل مبدل [۱۸]

۴-۳- خلاصه فصل

در این فصل، با توجه به مزایا و معایب هریک از روش های کنترل یکسوکننده، روش کنترل مبدل در دستگاه dq0 با استفاده از فیدبک حالت، به عنوان روش کنترلی مطلوب انتخاب گردید. در این روش ابتدا با انتقال معادلات حالت به دستگاه dq0 مدل میانگین مبدل تعیین و با در نظر گرفتن محور ولتاژ خازن شبکه همراستا با محور d معادلات سمت AC و DC از یکدیگر مجزا شدند. در نهایت با استفاده از روش فیدبک حالت کنترل کننده سمت DC طراحی شد. همچنین باهدف ایجاد میرایی مناسب در سمت AC از میرایی فعال استفاده گردید.

فصل ۵: نتایج شبیه‌سازی و ساخت نمونه

آزمایشگاهی

۵-۱- مقدمه فصل

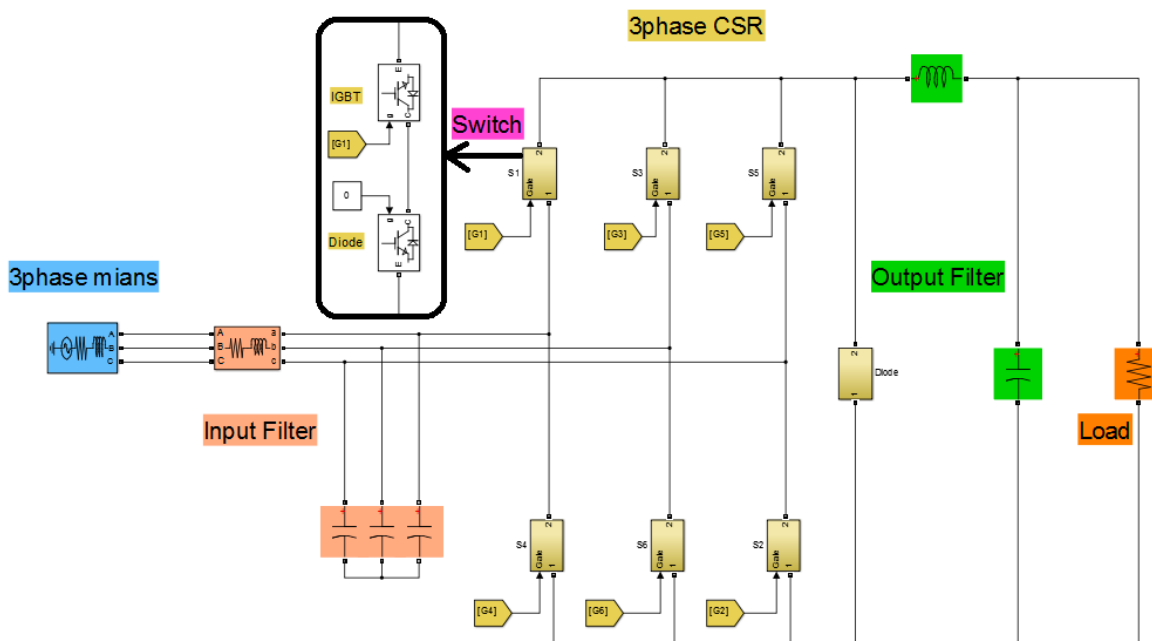
به منظور ارزیابی عملکرد روش پیشنهادی طراحی فیلترهای ورودی و خروجی مبدل، کنترل‌کننده طراحی شده و همچنین تاثیر اسنابر در پیک‌های ولتاژ کلید قدرت، یک نمونه یکسوساز سه فاز کاهنده شش سوئیچه تصحیح‌کننده ضریب توان طراحی، شبیه‌سازی و ساخته شده است. در این فصل به معرفی نمونه شبیه‌سازی و ساخته شده، پرداخته خواهد شد. در نهایت نتایج حاصل از این دو ارائه گردیده است.

۵-۲- شبیه‌سازی سیستم

شبیه‌سازی سیستم به منظور نحوه عملکرد کنترل‌کننده و فیلتر طراحی شده، در نرم‌افزار متلب-سیمولینک صورت پذیرفته است. سیمولینک نرم‌افزار متلب با قابلیت‌های مناسب همچون شبیه‌سازی سیستم کنترل‌کننده همانند پروسوسور به صورت دیجیتال، توانایی در تحلیل مدارات پیچیده و در عین حال محیطی کاربرپسند^۱ در کاربردهای مختلفی همچون تحلیل مدارات الکترونیک قدرت مورد استفاده قرار می‌گیرد. نتایج حاصل از شبیه‌سازی شامل تحلیل هارمونیک‌های موجود در جریان ورودی، THD، ریپل جریان سلف و غیره در این نرم‌افزار قابل اندازه‌گیری هستند. اما باید گفت این نرم‌افزار در مدل‌سازی برخی المان‌ها همچون کلید قدرت، ضعف دارد. به همین دلیل نمی‌توان جهت شبیه‌سازی و طراحی مدار اسنابر از این نرم‌افزار استفاده نمود. یکی از نرم‌افزارهای قدرتمند در مدل‌سازی کلیدهای قدرت، نرم‌افزار Ansys Simplorer می‌باشد. در ۱۲ گام مدل‌سازی کلید قدرت تمامی پارامترهای دیتاشیت کلید، اعم از سلف پراکندگی، خازن کلید، مشخصه دمایی کلید، نمودارها و سایر اطلاعات موجود در دیتاشیت استفاده گردیده تا بتوان خطای میان شبیه‌سازی و ساخت را به حداقل رسانید.

¹ user friendly

مدار قدرت شبیه‌سازی شده در نرم‌افزار متلب، در شکل (۵-۱) نشان داده شده است. در شبیه‌سازی انجام شده، کلیه توابع و دستورات کنترلی با استفاده از بلوک Embedded Matlab Function اجرا شده‌اند. این بلوک فضایی را همچون پروسیسور فراهم می‌آورد. فرکانس به‌روزرسانی داده‌های کنترلی برابر فرکانس به‌روزرسانی برنامه در پروسیسور (۳۰ کیلوهرتز) می‌باشد.



شکل (۵-۱) مدار قدرت شبیه‌سازی شده در نرم‌افزار متلب

۵-۲-۱-۲-۵- شبیه‌سازی روش پیشنهادی طراحی فیلتر ورودی و خروجی

در فصل سوم، روشی جدید جهت طراحی فیلتر ورودی و خروجی پیشنهاد گردید. بر اساس این روش ابتدا سلف خروجی بر اساس ریپل مجاز جریان مربوطه، طراحی می‌گردد. سپس براساس نوع مدولاسیون مبدل، هارمونیک‌های موجود در جریان PWM محاسبه شده و با استفاده از روابط ریاضی، توابع هدف متعارض THD جریان ورودی و ضریب توان مبدل برحسب مقدار سلف و خازن فیلتر ورودی تعیین می‌گردند. با توجه به مقید بودن مقادیر سلف و خازن در طراحی فیلتر، این مقادیر با استفاده از روش بهینه‌سازی چندهدفه NSGA_II تعیین خواهند شد. جزئیات این روش در فصل سوم به طور

کامل مورد بحث قرار گرفت و فلوچارت مربوطه نیز در شکل (۳-۱۴) نمایش داده شد. در این بخش، نتایج حاصل از این طراحی ارائه گردیده است.

با توجه به پارامترهای ارائه شده در جدول (۴-۱)، اندیس مدولاسیون برابر است با:

$$m_a = \frac{I_s^1}{I_{dc}} = \frac{V_{dc}}{1.5V_p} = 0.43 \quad (۱-۵)$$

حداقل مقدار L_{dc} به منظور پیوستگی جریان خروجی با استفاده از (۳-۸) برابر است با:

$$L_{dc \min} = 0.135 \text{ mH}$$

همچنین مقدار L_{dc} به منظور حداکثر ریپل ۰,۰۴ در جریان خروجی با استفاده از (۳-۵) برابر است با:

$$L_{dc} = 6.7 \text{ mH}$$

بنابراین مقدار L_{dc} برابر ۶,۷ میلی‌هنری در نظر گرفته شده است.

شکل (۵-۲) جریان PWM ورودی و شکل (۵-۳) جریان DC خروجی را به همراه ریپل آن، نشان

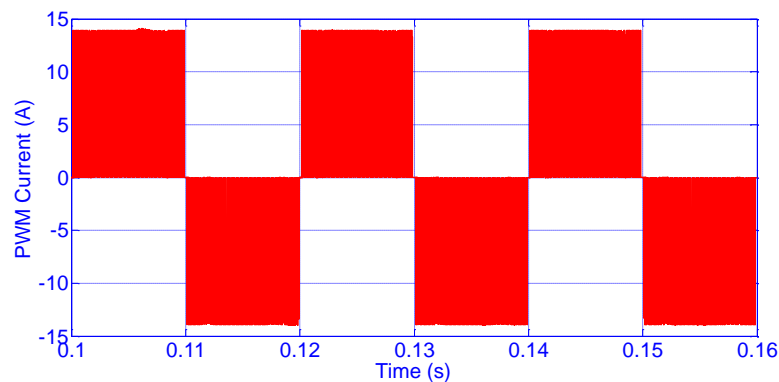
می‌دهد. همانطور که مشاهده می‌شود، جریان خروجی دارای مقادیر حداقل و حداکثر ۱۳,۳۷ و ۱۳,۹

آمپر می‌باشد. بنابراین، ریپل آن برابر است با :

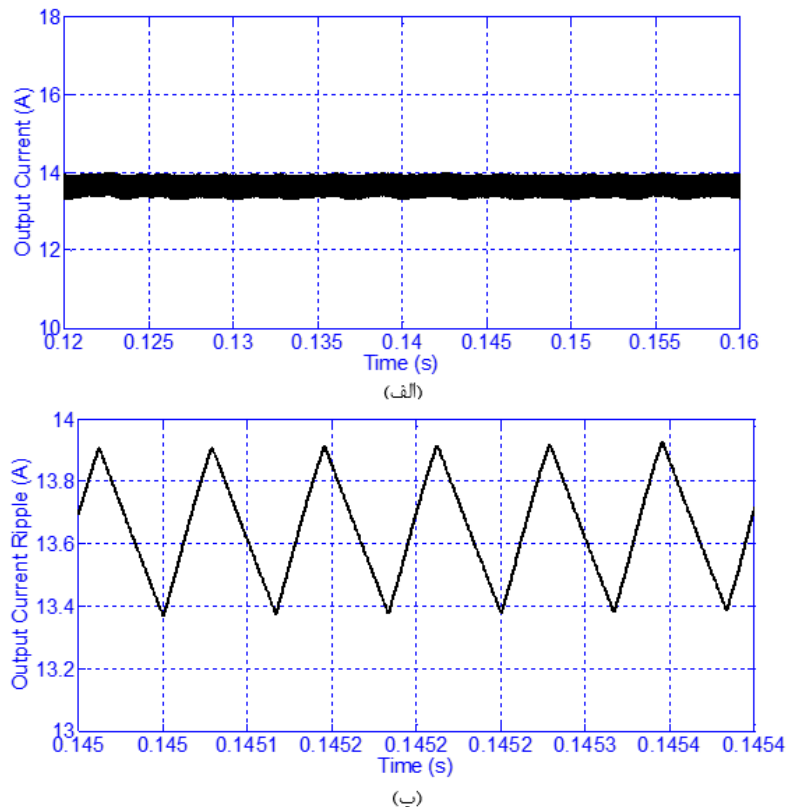
$$\Delta i_d = \frac{13.9 - 13.37}{13.54} \times 100 = 4\%$$

تطابق این عدد، با حداکثر ریپل مجاز برای طراحی سلف خروجی، بیانگر درستی روش ارائه شده

می‌باشد.



شکل (۵-۲) جریان PWM ورودی و خروجی (i_{wa})



شکل (۳-۵) جریان خروجی CSR. (الف) اندازه جریان. (ب) ریبیل جریان.

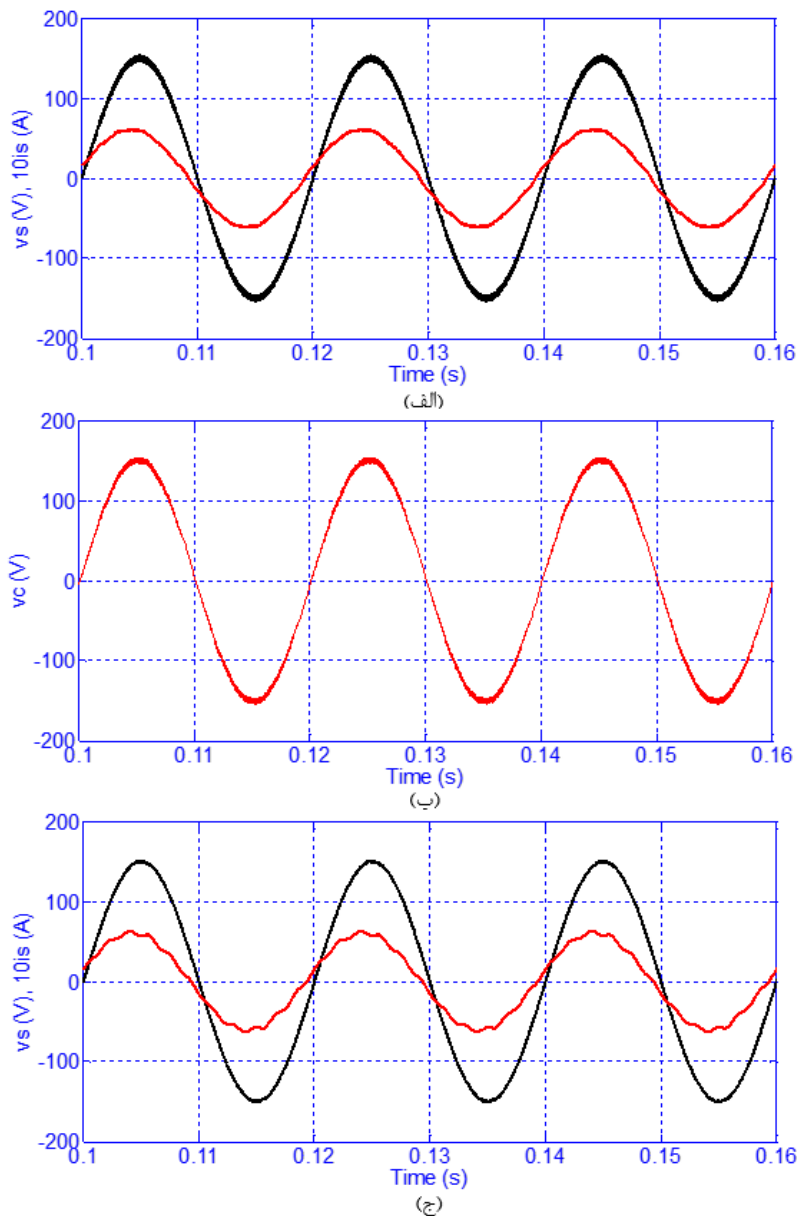
در ادامه نتایج حاصل از شبیه‌سازی فیلتر ورودی، به منظور حداقل نمودن THD جریان ورودی و حداکثر نمودن ضریب توان مبدل، ارائه شده است.

۱. نتایج شبیه‌سازی حاصل از روش تخمین ریبیل جریان ورودی

برطبق روش تخمین ریبیل جریان ورودی، مقدار مجاز THD جریان ورودی و ولتاژ خازن پس از چندین سعی و خطا به ترتیب برابر ۲,۵ و ۲,۲۵ درصد در نظر گرفته شد. پس از جایگذاری مقادیر مذکور در (۳-۲۵) و حل معادلات، مقادیر سلف و خازن و مقاومت میرایی به ترتیب برابر ۲,۷ میلی‌هانری، ۳۱ میکروفاراد و ۲۰ اهم تعیین گردید.

مقدار اختلاف فاز ولتاژ و جریان شبکه از (۳-۲۶)، برابر ۱۲,۲ درجه و در نتیجه $\cos(\theta)$ برابر ۰,۹۷۷۴ می باشد. مقدار افت ولتاژ بر روی فیلتر ورودی با استفاده از (۳-۲۷) برابر با ۱,۰۰۶۲ بوده که کم‌تر از ۵ درصد می باشد. یعنی ضریب توان و افت ولتاژ روی فیلتر ورودی در بازه مطلوبی قرار گرفته‌اند.

نتایج شبیه‌سازی حاصل از روش تخمین ریپل جریان ورودی، در شکل (۴-۵) نشان داده شده است. با توجه به شکل (۴-۵)-الف، ولتاژ و جریان شبکه، دارای اختلاف فاز $13,3^\circ$ درجه‌ای بوده و جریان شبکه دارای $1,98\%$ THD بوده که با محاسبات $0,5\%$ درصد تفاوت دارد.



شکل (۴-۵) نتایج شبیه‌سازی فیلتر طراحی شده با استفاده از روش تخمین ریپل جریان ورودی. الف) ولتاژ و جریان شبکه به همراه میرایی غیرفعال. ب) ولتاژ خازن به همراه میرایی غیرفعال. ج) ولتاژ و جریان شبکه بدون میرایی.

در شکل (۴-۵)-ب نیز ولتاژ خازن فیلتر نمایش داده شده است. مقدار THD مربوطه، برابر $1,68\%$

درصد بوده که با محاسبات انجام شده تنها $0,57\%$ درصد اختلاف دارد.

اگر مقاومت میرایی از سیستم حذف گردد، فیلتر طراحی شده، قادر به تضعیف برخی از هارمونیک‌ها نبوده و THD جریان ورودی به ۳,۸۶ درصد، افزایش می‌یابد. شکل (۴-۵) ج- گویای این نکته است. این موضوع اهمیت طراحی میرایی را نشان می‌دهد. هرچند میرایی طراحی شده با این روش، بهینه نبوده و به دلیل افزودن مقاومت خارجی، سبب ایجاد تلفات در سیستم می‌گردد.

۲. نتایج شبیه‌سازی حاصل از الگوریتم NSGA_II

به منظور طراحی بهینه فیلتر، ابتدا لازم است قيود مربوط به مقادیر سلف و خازن فیلتر و پارامترهای مربوط به الگوریتم NSGA_II تعیین شود. با توجه به جدول (۴-۱) و (۳-۴۱) و (۳-۴۲) حداکثر مقدار Lac و حداقل مقدار Cac به ترتیب برابر ۲,۹ میلی هانری و ۳,۸۸ میکروفاراد می‌باشد. پارامترهای مربوط به الگوریتم NSGA_II نیز در جدول (۵-۱)، ارائه شده است. در جدول (۵-۲) نیز، مقادیر فیلترهای طراحی شده بهینه به همراه توابع هدفشان ارائه شده است. مقادیر طراحی شده بین قيود از پیش تعیین شده قرار گرفته و تمامی این مقادیر بهینه می‌باشند. با این وجود، بسته به شرایط می‌توان هر یک از فیلترهای طراحی شده را به کار گرفت. به عنوان مثال فیلتر طراحی شده در ردیف ۱۷ جدول (۵-۲) دارای THD بهتری در مقایسه با ردیف شماره ۷ آن می‌باشد، اما در عوض ضریب توان ردیف شماره ۷ وضعیت مطلوب‌تری را نسبت به ردیف شماره ۱۷ جدول (۵-۲) دارد.

جدول (۵-۱) پارامترهای الگوریتم NSGA_II

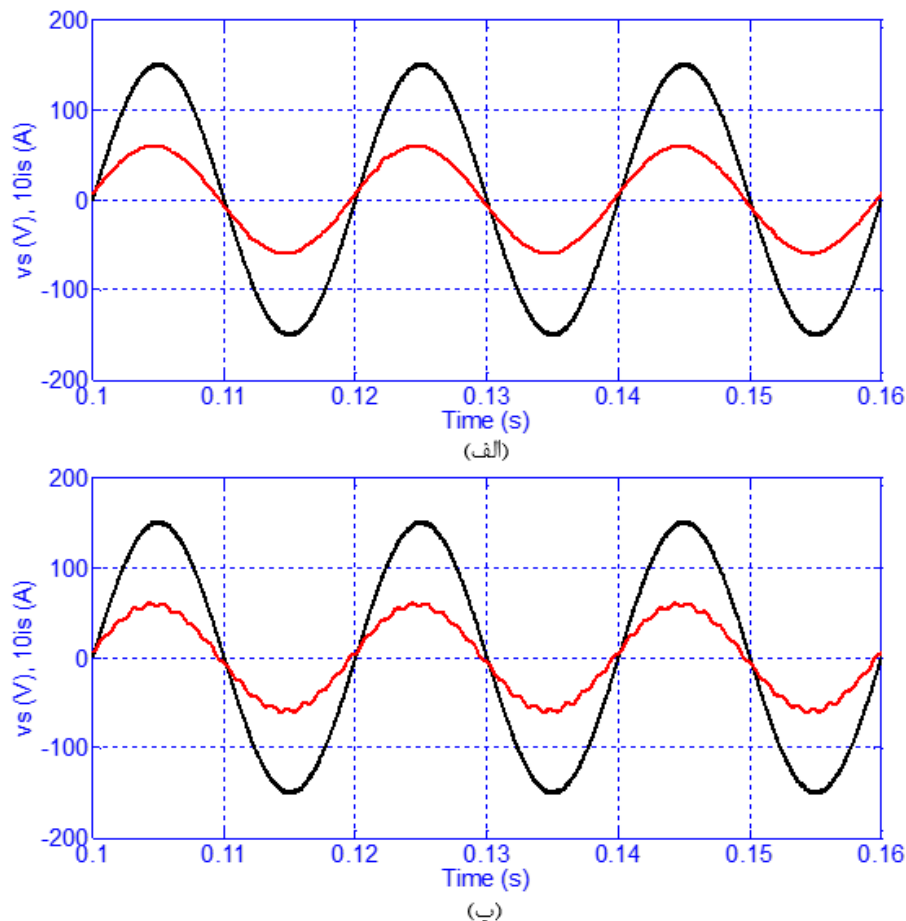
تعداد/ نوع	پارامتر
۲۰	تعداد اعضای جمعیت (nPop)
حقیقی	کدینگ کروموزم
رقابت تورنمنت دودویی	نحوه انتخاب
حسابی با احتمال ۰,۷	برش
گاوسی با احتمال ۰,۴	جهش

جدول (۵-۲) مقادیر فیلترهای طراحی شده بهینه و توابع هدفشان، با استفاده از NSGA_II

ردیف	توابع هدف		مقادیر فیلتر	
	PF	THD (%)	L _{ac} (mH)	C _{ac} (μF)
۱	۰,۹۹۹	۴,۳۱۵	۲,۳۲	۶,۴۲۸
۲	۰,۹۹۹	۳,۵۷۸	۱,۷۴۴	۷,۱۸۷
۳	۰,۹۹۹	۳,۳۵۲	۲,۴۶۷	۷,۱۸۷
۴	۰,۹۹۹	۳,۱۵۵	۲,۴۶۵	۷,۱۸۷
۵	۰,۹۹۸	۲,۹۱۷	۲,۳۱۱	۸,۱۰۹
۶	۰,۹۹۸	۲,۴۳۹	۲,۵۱۹	۸,۴۸
۷	۰,۹۹۸	۲,۳۲۱	۲,۵۷۷	۹,۳۳۵
۸	۰,۹۹۸	۲,۱۰۷	۲,۴۱۴	۹,۳۳۵
۹	۰,۹۹۷	۱,۵۸۳	۲,۴۶۲	۱۱,۰۷۲
۱۰	۰,۹۹۵	۱,۳۴۲	۲,۴۹	۱۳,۶۳۲
۱۱	۰,۹۹۳	۱,۲۶۲	۲,۳۹۹	۱۵,۲۸۹
۱۲	۰,۹۹۱	۱,۱۷۲	۲,۵۰۵	۱۷,۶۹۳
۱۳	۰,۹۸۹	۱,۰۴۲	۲,۳۸۴	۱۹,۴۹۶
۱۴	۰,۹۷۵	۰,۹۸۸	۱,۸۸۵	۲۹,۴۶۹
۱۵	۰,۹۷۳	۰,۹۲۳	۱,۸۶۵	۳۰,۴۵۱
۱۶	۰,۹۶۷	۰,۸۸۳	۲,۳۸۹	۳۳,۶۳۷
۱۷	۰,۹۶۲	۰,۸۲۳	۲,۴۰۴	۳۶,۳۷۸
۱۸	۰,۹۶۱	۰,۷۹۷	۲,۵۲۶	۳۶,۵۲۹
۱۹	۰,۹۵۹	۰,۷۴۸	۲,۳۳۸	۳۷,۹۹۵
۲۰	۰,۹۵۶	۰,۶۵۸	۲,۴۴۲	۳۹,۲۳۲

شکل (۵-۵)-الف، جریان و ولتاژ شبکه را به‌ازای مقادیر ردیف شماره ۱۰ جدول (۵-۲)، نشان می‌دهد. مقدار ضریب توان و THD جریان ورودی حاصل از شبیه‌سازی به ترتیب برابر ۰,۹۹۴۵ و ۱,۳۸ درصد بوده، که نتایج حاصل از محاسبات را تایید می‌نماید. در صورت حذف میرایی فعال بهینه طراحی شده، مقدار THD جریان ورودی به ۳,۹ درصد افزایش یافته که در شکل (۵-۵)-ب، قابل

مشاهده است. این مطلب به دلیل عدم توانایی ذاتی فیلتر LC مرتبه ۲، جهت کنترل میرایی سیستم ایجاد شده است.

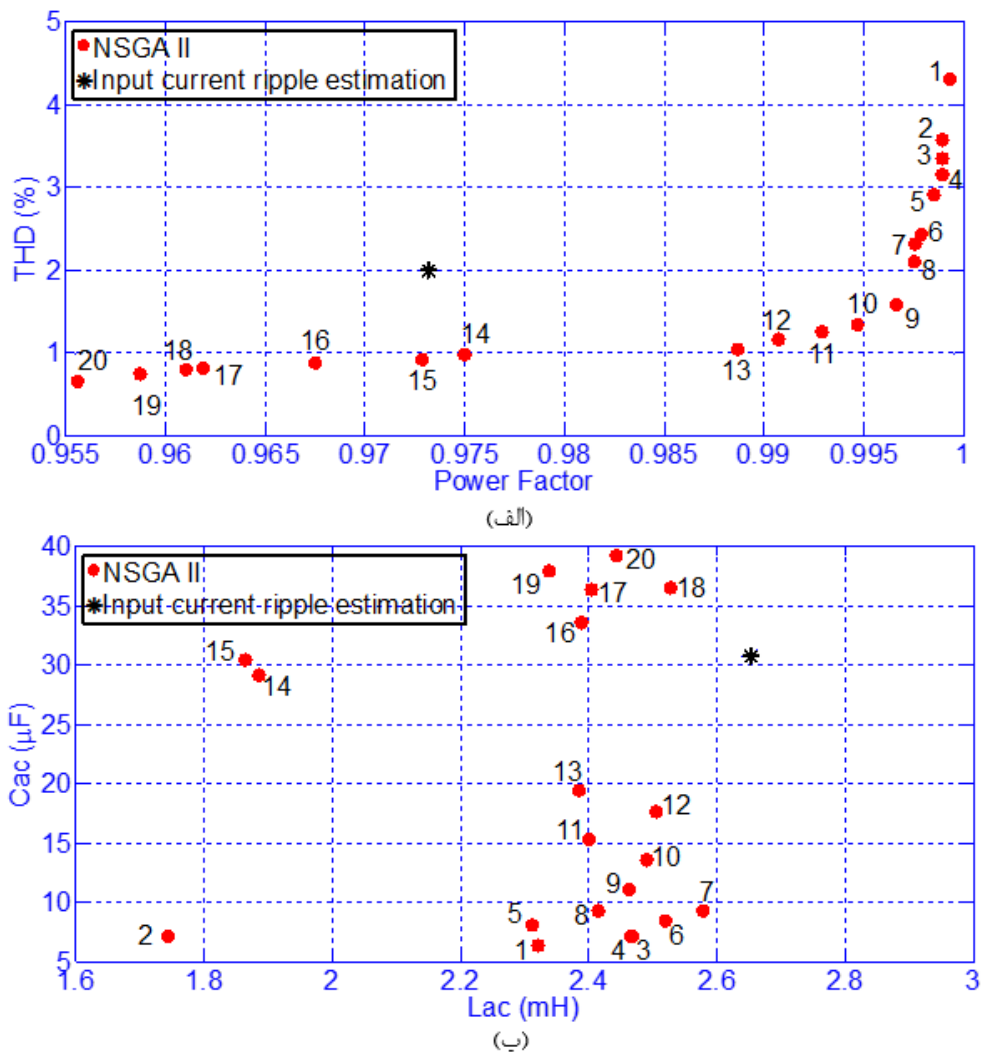


شکل (۵-۵) نتایج شبیه‌سازی فیلتر طراحی شده با استفاده از روش پیشنهادی. الف) ولتاژ و جریان شبکه به همراه میرایی فعال. ب) ولتاژ و جریان شبکه بدون میرایی فعال.

۳. مقایسه نتایج شبیه‌سازی

به منظور مقایسه روش پیشنهادی و روش تخمین ریپل جریان ورودی ارائه شده در مرجع [۲۸]، نتایج حاصل از طراحی فیلتر ورودی برای هر دو روش در شکل (۵-۶) نشان داده شده است. با توجه به مقادیر THD و ضریب توان مربوط به هر دو روش، کاملاً واضح است که فیلتر طراحی شده با استفاده از روش تخمین ریپل جریان ورودی، توسط نتایج حاصل از روش پیشنهادی مغلوب می‌شود. علاوه بر این با توجه به شکل (۵-۶) ب- واضح است که با مقادیر سلف و خازن کوچک‌تری می‌توان به نتایج بهتر

برای THD_{is} و ضریب توان ورودی دست یافت. به عبارت دیگر، می‌توان با هزینه و حجم کم‌تر، راندمان و عملکرد مبدل را بهبود بخشید.



شکل (۶-۵) مقایسه نتایج حاصل از طراحی فیلتر ورودی الف) توابع هدف. ب) مقادیر فیلتر طراحی شده.

به عنوان مثال، در پاسخ شماره ۱۰ جدول (۵-۲)، ضریب توان و THD جریان ورودی، به ترتیب برابر ۰,۹۹۵ و ۱,۳۴ درصد و مقدار سلف و خازن فیلتر ورودی نیز به ترتیب ۲,۴۹ میلی‌هانری و ۱۳,۶۳ میکروفاراد می‌باشد، که در مقایسه با پاسخ روش تخمین ریپل جریان ورودی که دارای THD ۲ درصد و ضریب توان ۰,۹۷۷ می‌باشد، دارای توابع هدف مطلوب‌تری است. این مهم نیز باید در نظر گرفته شود که، مقدار سلف و خازن فیلتر شماره ۱۰، کم‌تر از مقادیر طراحی شده، به روش تخمین ریپل

جریان ورودی است. به عبارت دیگر مقدار سلف و خازن آن به ترتیب ۰,۹۲ و ۰,۴۲ مقادیر طراحی شده با استفاده از روش تخمین ریپل جریان ورودی می‌باشد، که از دید طراحی نکته بسیار مهمی است. این بدان معناست که بهبود کیفیت عملکرد مبدل، همراه با کاهش حجم، وزن و تلفات (در صورت ایده‌آل نبودن فیلتر) آن صورت گرفته است.

همان‌طور که ذکر شد، THD و ضریب توان در این مبدل با یکدیگر تعارض دارند، که این مطلب به‌وضوح در شکل (۵-۶)-الف، قابل مشاهده می‌باشد. به بیان دیگر، با حرکت بر روی نمودار در جهت بهبود THD به سمت کاهش ضریب توان حرکت می‌نمائیم.

۵-۲-۱-۳- مدل‌سازی کلید و طراحی اسنابر در نرم‌افزار **Simplorer**

یکی از نقاط ضعف نرم‌افزار متلب، عدم توانایی در مدل‌سازی دقیق یک کلید قدرت براساس اطلاعات دیتاشیت آن می‌باشد. به همین دلیل به‌منظور طراحی اسنابر برای کلید قدرت به ناچار باید از نرم‌افزارهایی که در این زمینه توانمند هستند، کمک گرفت. یکی از این نرم‌افزارها **Ansys Simplorer** می‌باشد. توانایی این نرم‌افزار به حدی است که در طی ۱۲ مرحله، تمامی اطلاعات عملی کلید قدرت، شامل مقاومت، سلف و خازن کلید در بخش‌های مختلف، مشخصه حرارتی، مشخصه ولتاژ گیت-امیتر برحسب جریان کلکتور و غیره را از کاربر دریافت کرده و مدل دقیق کلید را ارائه می‌دهد. شاید در نظر اول این فرآیند کمی زمانبر تلقی شود، اما باید گفت که این نرم‌افزار با ایجاد امکاناتی همچون **sheet scan** محیطی کاربرپسند ایجاد کرده است. به عبارت دیگر برای دادن اطلاعات نمودارهای این مبدل به نرم‌افزار، کافی است چند نقطه از عکس گرفته شده از نمودارهای دیتاشیت کلید را با کلیک کردن برای نرم‌افزار تعیین نمائیم.

جهت ساخت مبدل از کلید **IRG4PH50UD** ساخت شرکت **IR** استفاده شده است. مشخصات

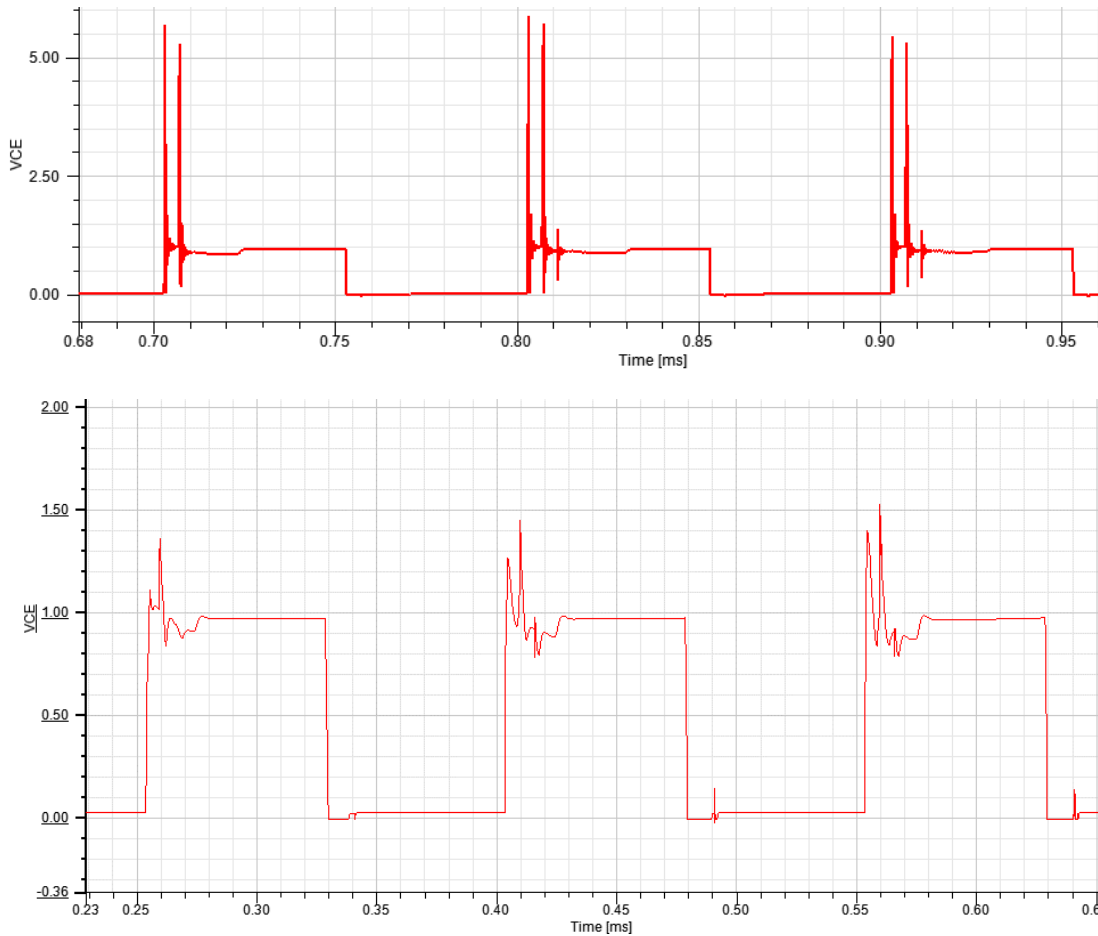
¹ International Rectifier

پایه کلید در جدول (۳-۵) بیان شده است. این اطلاعات از مشخصات فنی موجود در دیتاشیت، اقتباس شده‌اند. همان‌طور که ملاحظه می‌گردد، این کلید قدرت حداکثر قابلیت تحمل ولتاژ ۱۲۰۰ ولت و جریان ۲۴ آمپر در دمای ۱۲۵ درجه سلسیوس را دارد. بنابراین با توجه به توان مبدل، این کلید برای به‌کارگیری در مدار قدرت مناسب می‌باشد.

جدول (۳-۵) مشخصه IGBT استفاده شده در مدار قدرت

IRG4PH50UD		
۱۲۰۰ ولت	ماکزیمم ولتاژ کلکتور - امیتر	V_{CE}
۲۴ آمپر	ماکزیمم مقدار جریان پیوسته نامی کلکتور	I_C
± 20 ولت	ماکزیمم ولتاژ گیت - امیتر	V_{GE}
۴۶ نانوثانیه	مقدار نامی زمان تأخیر روشنایی	$t_{d(on)}$
۲۷ نانوثانیه	مقدار نامی زمان خیزش به روشنایی	t_r
۲۴۰ نانوثانیه	مقدار نامی زمان تأخیر خاموشی	$t_{d(off)}$
۳۳۰ نانوثانیه	مقدار نامی زمان سقوط به خاموشی	t_f

در فصل سوم مطالبی در مورد انواع اسنابرهای ولتاژ ارائه گردید. در این بخش، مبدل در نرم‌افزار **Simplorer** با استفاده از کلید قدرت مدل‌شده، شبیه‌سازی شده است. در این شبیه‌سازی نیز از ۱۳ کلید قدرت مشابه (**IRG4PH50UD**) استفاده گردیده است. اسنابر نوع **RCD** برای یک **IGBT** سری با دیود طراحی شده است. طراحی اسنابر با توجه به نکات عملی بیان شده در فصل قبل و سعی و خطا به نحوی صورت گرفته که پیک ولتاژ دو سر کلید به حداقل برسد. مقدار خازن و مقاومت اسنابر طراحی شده به ترتیب برابر ۲۲۰ نانوفاراد و ۶۸ اهم تعیین گردیده است. شکل (۵-۷) نتیجه این طراحی را نشان می‌دهد. همان‌طور که مشاهده می‌گردد، مقدار پیک ولتاژ کلید قدرت از ۵ برابر مقدار نامی به ۱,۵ برابر آن کاهش یافته است، که این نشان‌دهنده عملکرد مناسب اسنابر ولتاژ می‌باشد.



شکل (۷-۵) ولتاژ کلکتور-امیتر کلید قدرت IRG4PH50UD در طراحی اسنابر، بالا بدون اسنابر و پایین با اسنابر

۵-۲-۱-۴- شبیه‌سازی کنترل‌کننده و سیستم حلقه بسته

در فصل قبل، معادلات حالت سیستم نوشته شد. این معادلات در دستگاه abc مرتبه ۸ غیرخطی بودند. با انتقال این معادلات به دستگاه dq0 و در نظر گرفتن محور ولتاژ خازن فیلتر ورودی در راستای محور d سیستم به دو مجموعه معادله مستقل در دستگاه dq0 تبدیل گردید. بنابراین کنترل‌کننده سمت AC و کنترل‌کننده سمت DC مبدل، به طور جداگانه طراحی شدند. در این بخش شبیه‌سازی سیستم حلقه بسته صورت گرفته و نتایج آن ارائه گردیده است.

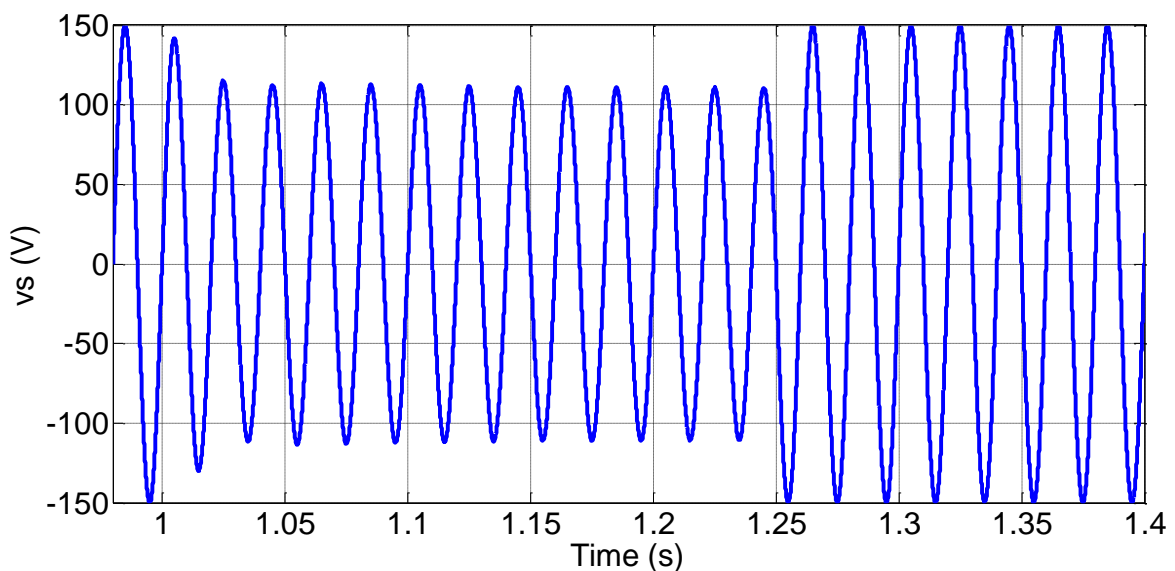
۱. پاسخ سیستم به اغتشاشات

○ اغتشاش در ولتاژ شبکه:

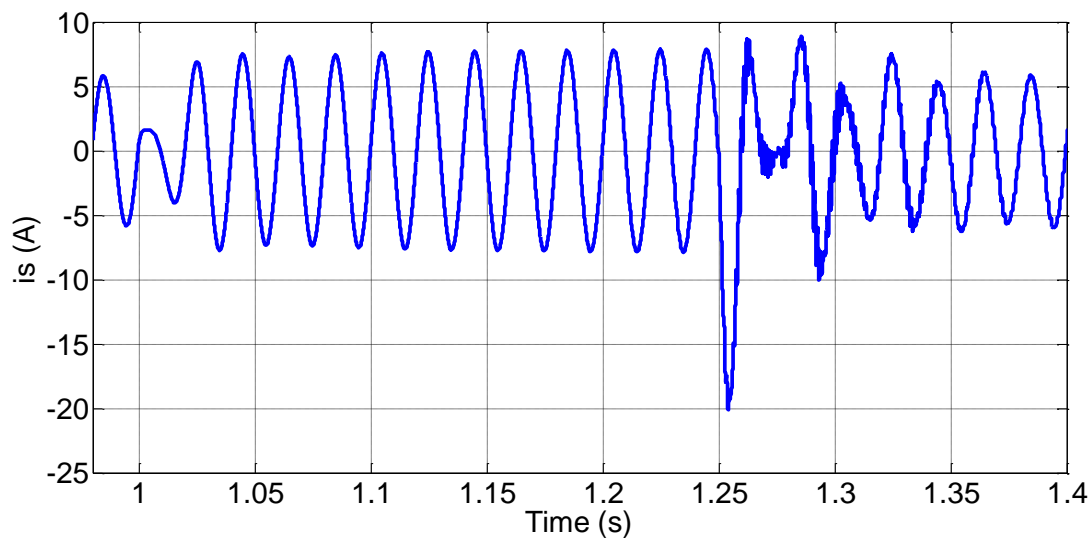
به منظور بررسی پاسخ سیستم به اغتشاش در ولتاژ شبکه، در لحظه ۱ ثانیه یک مقاومت ۵ اهم به صورت ناگهانی با منبع ولتاژ ورودی سری می‌گردد و در لحظه ۱,۲۵ ثانیه این مقاومت اتصال کوتاه می‌گردد. در این لحظه افت ولتاژی در ولتاژ ورودی مبدل ایجاد می‌گردد (شکل (۵-۸)). با توجه به رابطه اندیس مدولاسیون در این مبدل و برابر توان ورودی و خروجی مبدل، می‌توان اندیس مدولاسیون را بر حسب ولتاژ ورودی و خروجی و ضریب توان مبدل بیان نمود:

$$m_a = \frac{I_p}{I_d} = \frac{V_o}{1.5V_{sp} \cos(\theta)} \quad (۲-۵)$$

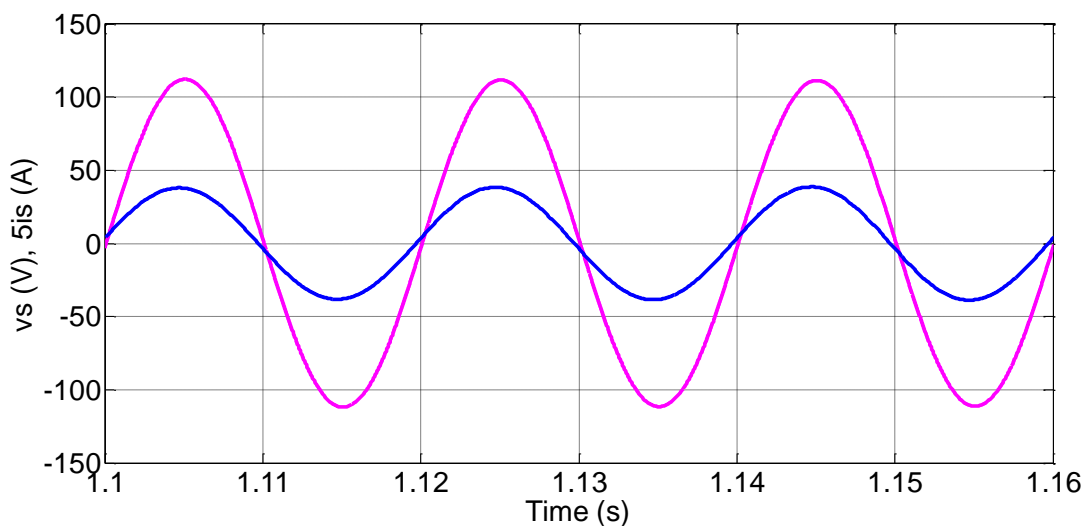
با توجه به اینکه مقدار پیک ولتاژ شبکه در زمان افت برابر ۱۱۲ ولت فاز بوده و مقدار ولتاژ مرجع برابر ۹۶ ولت و اختلاف فاز میان ولتاژ و جریان با توجه به شکل (۵-۱۰) برابر ۵,۶ درجه است، مقدار اندیس مدولاسیون بر طبق (۲-۵) در این بازه زمانی باید برابر ۰,۵۷ باشد. شکل (۵-۱۱) اندیس مدولاسیون که خروجی کنترل‌کننده است را نشان می‌دهد. همانطور که مشاهده می‌شود مقدار اندیس مدولاسیون در این بازه برابر ۰,۵۷ می‌باشد. همچنین مقدار THD جریان ورودی در حالت دائمی در زمان افت در ولتاژ شبکه برابر ۱,۲ درصد است.



شکل (۵-۸) تغییر در ولتاژ شبکه با افزودن مقاومت ۵ اهم سری در لحظه ۱ ثانیه و حذف آن در ۱,۲۵ ثانیه

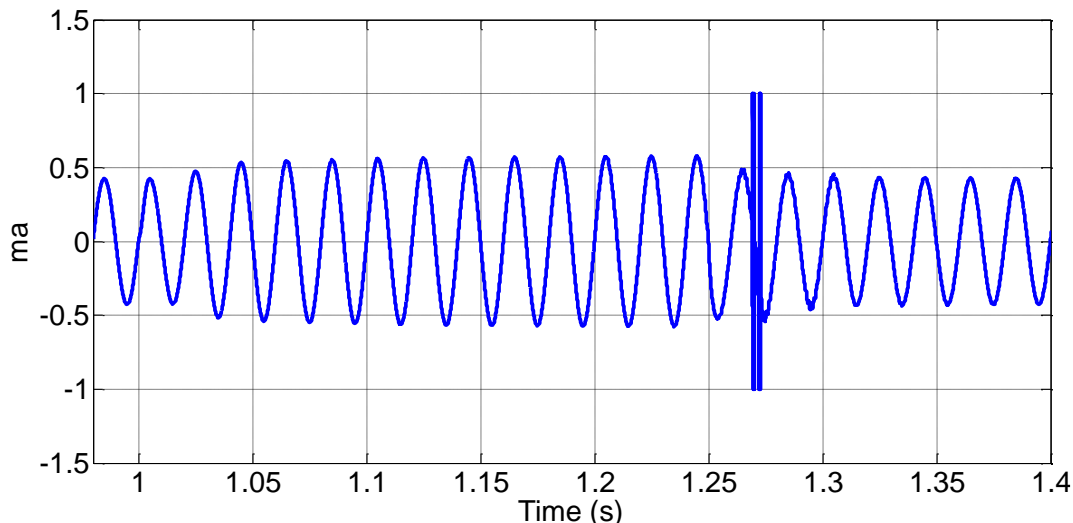


شکل (۹-۵) جریان ورودی به‌ازای تغییر در ولتاژ شبکه

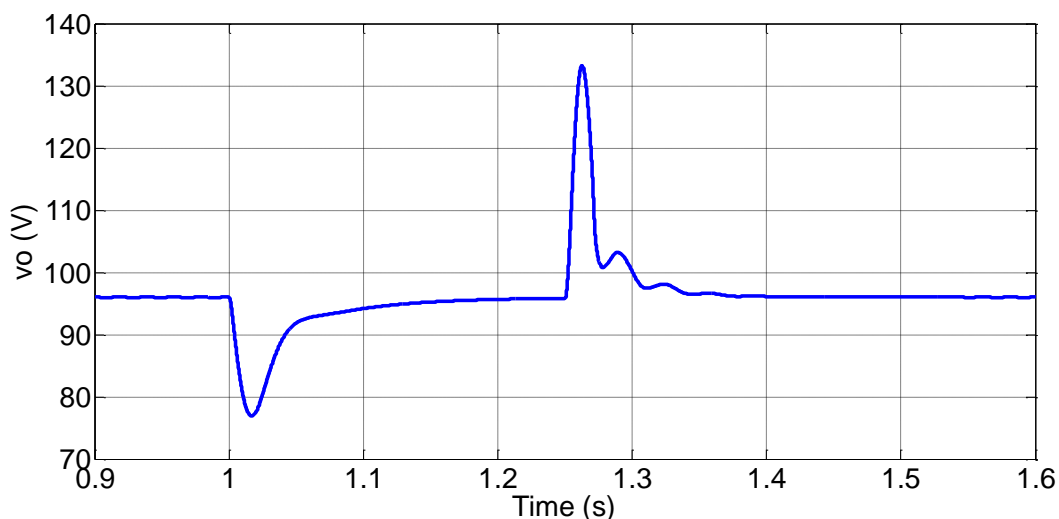


شکل (۱۰-۵) جریان و ولتاژ ورودی به‌ازای افت در ولتاژ شبکه

شکل (۱۲-۵) ولتاژ خروجی مبدل را به‌ازای افت در ولتاژ شبکه نشان می‌دهد. همانطور که دیده می‌شود به‌ازای افت ولتاژ ۲۵ درصدی در ولتاژ شبکه کنترل‌کننده به خوبی ولتاژ خروجی را در مقدار مرجع حفظ کرده است. بنابراین سیستم در برابر این نوع اغتشاش عکس‌العمل مناسبی داشته و پایدار باقی مانده است.



شکل (۱۱-۵) سیگنال خروجی کنترل‌کننده (اندیس مدولاسیون) به‌ازای تغییر در ولتاژ شبکه

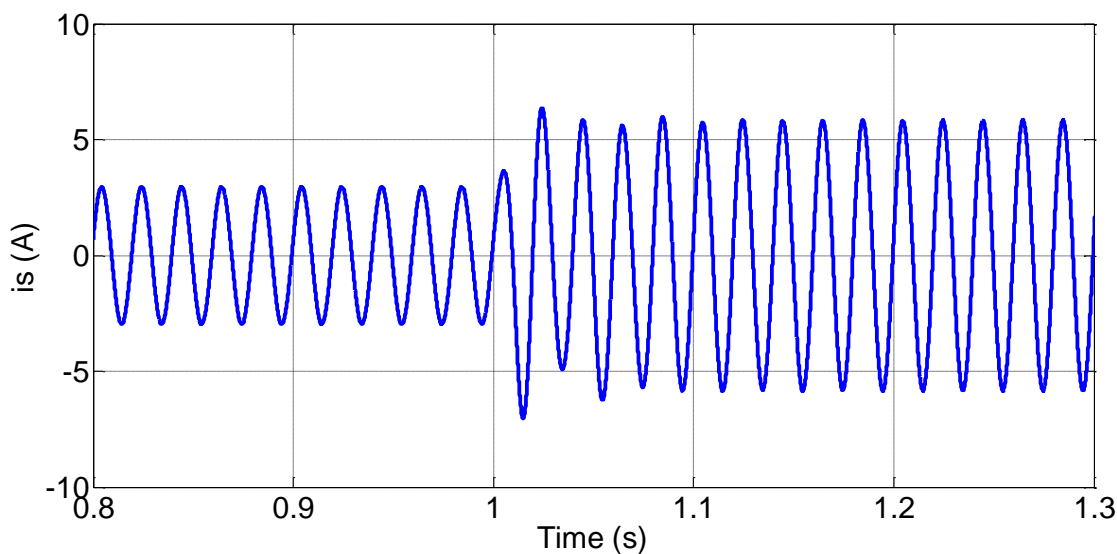


شکل (۱۲-۵) ولتاژ خروجی به‌ازای تغییر در ولتاژ شبکه

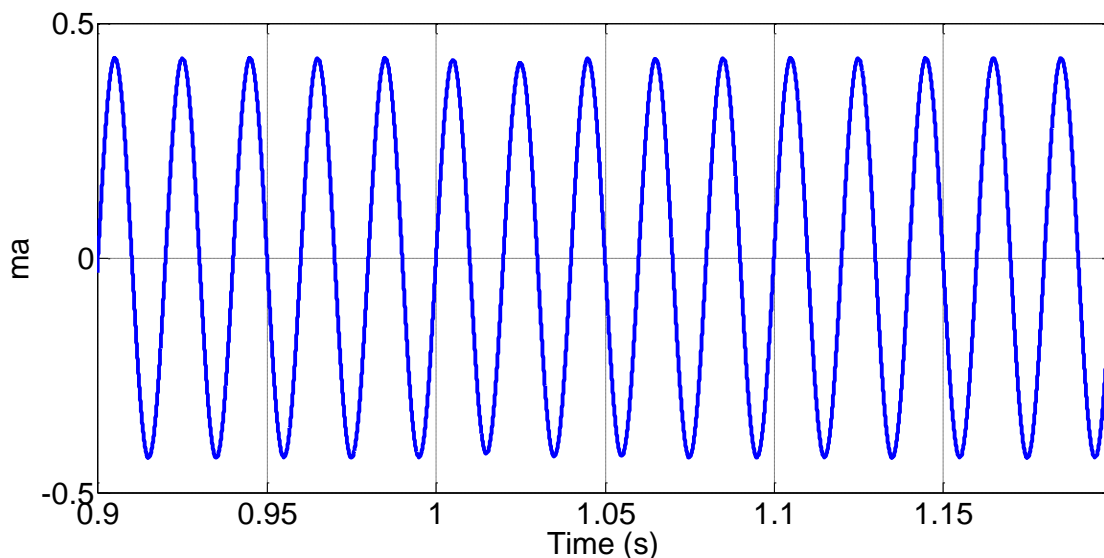
○ تغییر در جریان خروجی

جهت ارزیابی مبدل به‌ازای اغتشاش در جریان خروجی، در لحظه ۱ ثانیه به صورت ناگهانی مقدار بار از ۵۰ درصد نامی به بار نامی افزایش می‌یابد. تغییر در بار خروجی، نباید سبب تغییر در اندیس مدولاسیون شود، بلکه با تغییر جریان ورودی و خروجی با نسبت یکسان باید ولتاژ خروجی نیز ثابت بماند. تغییر در جریان ورودی در شکل (۱۳-۵) نشان داده شده است. شکل (۱۴-۵) نیز، اندیس مدولاسیون را نشان می‌دهد. در لحظه ۱ ثانیه به صورت لحظه‌ای اندیس مدولاسیون مبدل افزایش یافته

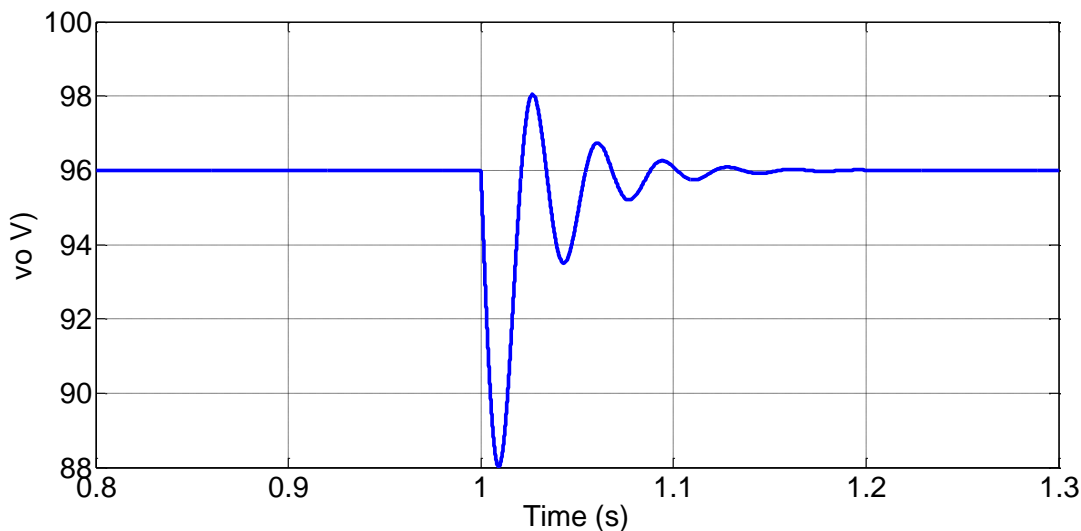
و در نهایت به مقدار قبلی خود (۰,۴۳) بازگشته است. این موضوع، پایداری سیستم در برابر اغتشاش بار خروجی را نشان می‌دهد. ولتاژ خروجی نیز پس از زمانی کوتاه (حدود ۰,۱ ثانیه) به مقدار مرجع باز می‌گردد (شکل (۵-۱۵)). در بار کامل و در حالت دائمی اختلاف فاز ولتاژ و جریان شبکه با توجه به شکل (۵-۱۶) برابر ۶ درجه و THD جریان ورودی برابر ۱,۲۳ درصد می‌باشد. بنابراین ضریب توان مبدل بر طبق (۳-۴۰) برابر ۰,۹۹۴ می‌باشد.



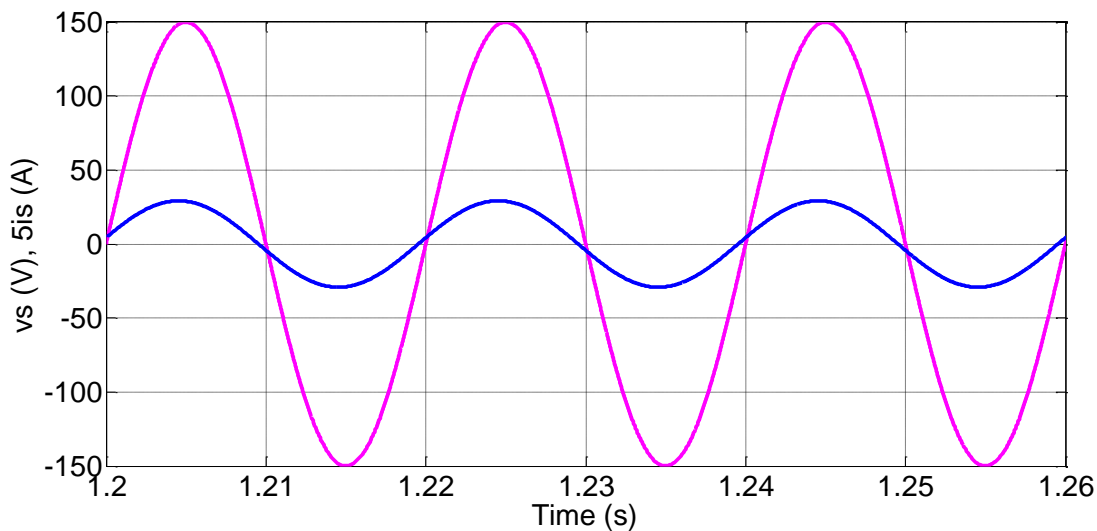
شکل (۵-۱۳) جریان ورودی به‌ازای تغییر در جریان خروجی



شکل (۵-۱۴) سیگنال خروجی کنترل‌کننده (اندیس مدولاسیون) به‌ازای تغییر در جریان خروجی



شکل (۵-۱۵) ولتاژ خروجی به‌ازای تغییر در جریان خروجی



شکل (۵-۱۶) جریان و ولتاژ ورودی به‌ازای تغییر در جریان خروجی

۲. پاسخ سیستم به تغییر ولتاژ مرجع خروجی:

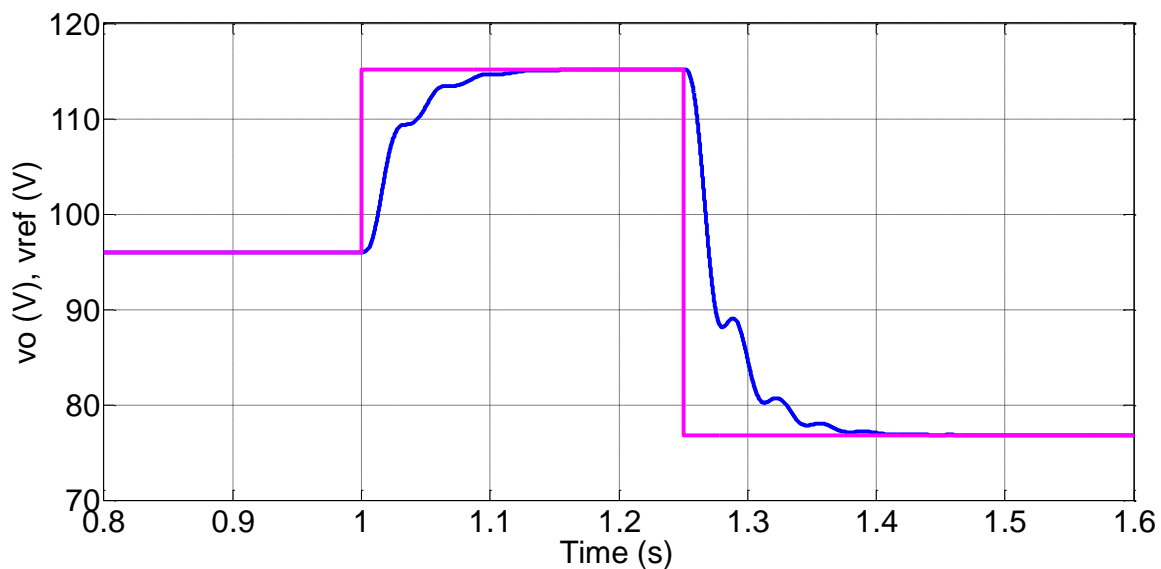
بدین منظور در لحظه ۱ ثانیه به صورت ناگهانی مقدار مرجع از ۲۰ درصد افزایش می‌یابد. سپس در ۱,۲۵ ثانیه مقدار ولتاژ مرجع ۴۰ درصد کاهش یافته و برابر ۷۷ ولت می‌گردد. همان‌گونه که در شکل (۵-۱۷) ملاحظه می‌شود، ولتاژ خروجی با تاخیری برابر ۰,۱ ثانیه به مقدار مرجع می‌رسد. اختلاف فاز میان ولتاژ و جریان به‌ازای مرجع‌های مختلف در جدول (۵-۴) بیان شده است.

با توجه به مرجع ۱۱۵ ولت، کنترل‌کننده باید در ابتدا براساس (۵-۲) دارای اندیس مدولاسیون

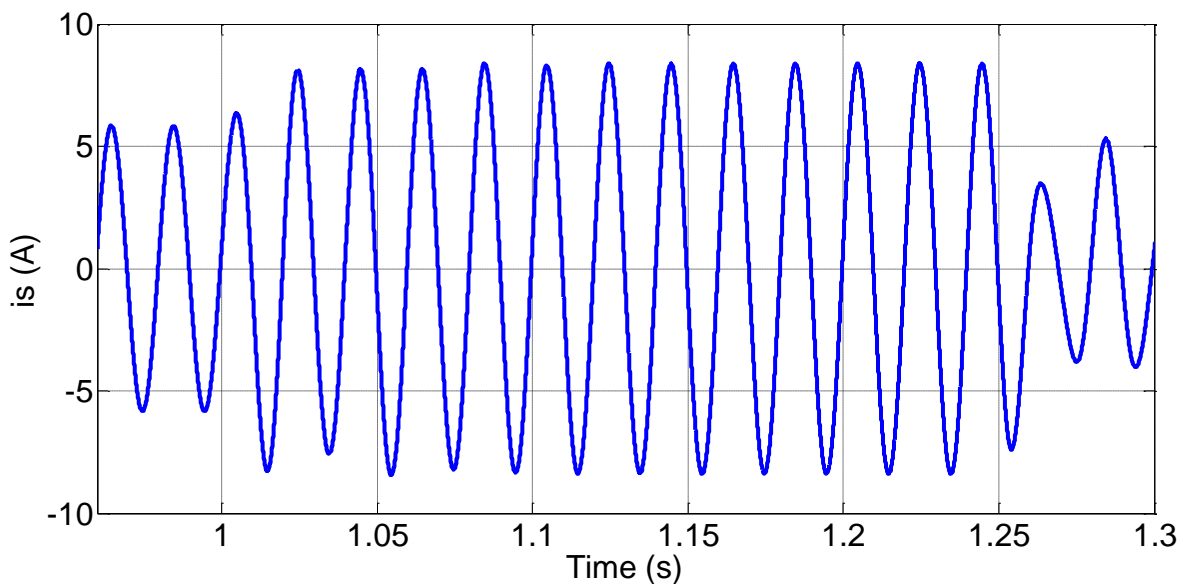
و سپس با تغییر مرجع به ۹۶ ولت برابر ۰,۴۳ و در نهایت به‌ازای مرجع $ma = \frac{V_o}{1.5V_{ps}\cos(\theta)} = 0.52$

۷۷ ولت برابر ۰,۳۴ شود. پاسخ کنترل‌کننده در شکل (۵-۱۹) نشان داده شده است. این شکل، درستی

عملکرد مبدل را نشان می‌دهد.



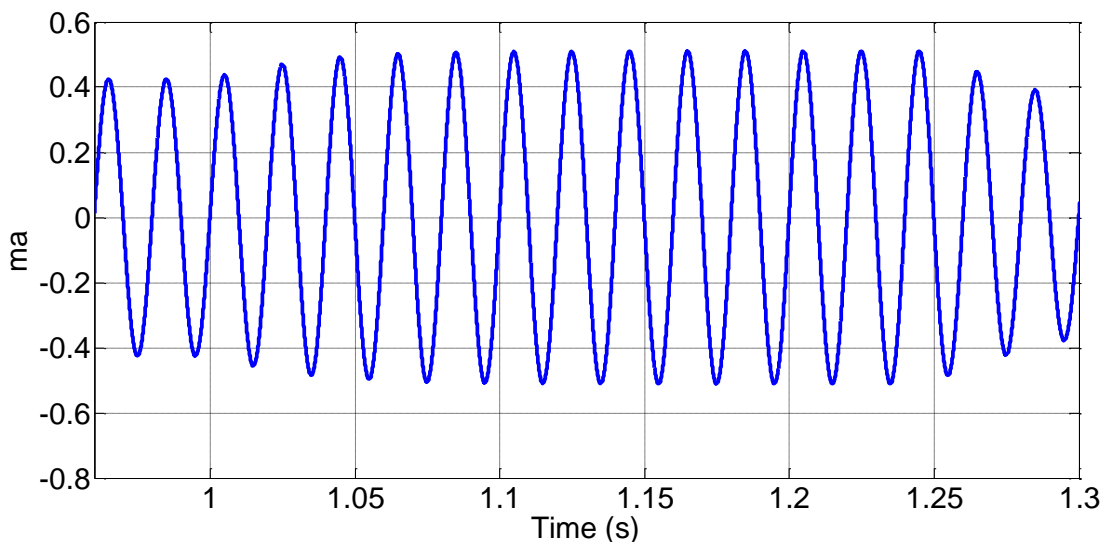
شکل (۵-۱۷) ولتاژ خروجی به‌ازای تغییر مرجع ولتاژ



شکل (۵-۱۸) جریان ورودی به‌ازای تغییر مرجع ولتاژ

جدول (۴-۵) اختلاف فاز ولتاژ و جریان شبکه و THD جریان ورودی به‌ازای تغییر مرجع ولتاژ خروجی

مرجع ولتاژ (ولت)	اختلاف فاز ولتاژ و جریان (درجه)	THD (درصد)
۹۶	۵,۵	۱,۳۵
۱۱۵	۷	۱,۲
۷۷	۸	۱,۱



شکل (۵-۱۹) سیگنال خروجی کنترل‌کننده (اندیس مدولاسیون) به‌ازای تغییر مرجع ولتاژ خروجی

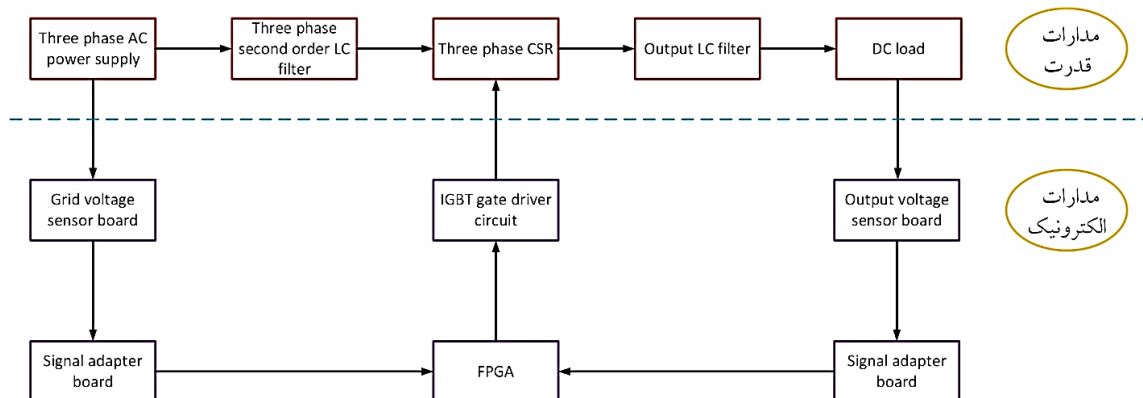
۵-۳- نتایج حاصل از ساخت نمونه آزمایشگاهی یکسوکننده

در این بخش، نتایج حاصل از ساخت یک نمونه آزمایشگاهی یکسوکننده تصحیح‌کننده ضریب توان کاهنده شش سوئیچه بیان و مورد بحث قرار خواهد گرفت. در ابتدا به صورت اجمالی دستگاه ساخته شده، معرفی و نکات مربوط به آن بیان شده است. در نهایت نتایج حاصل راه‌اندازی مبدل در شرایط مختلف ارائه گردیده است. در اینجا به‌ازای فیلترهای بهینه مختلف مبدل راه‌اندازی شده و نتایج آن مورد ارزیابی قرار گرفته است.

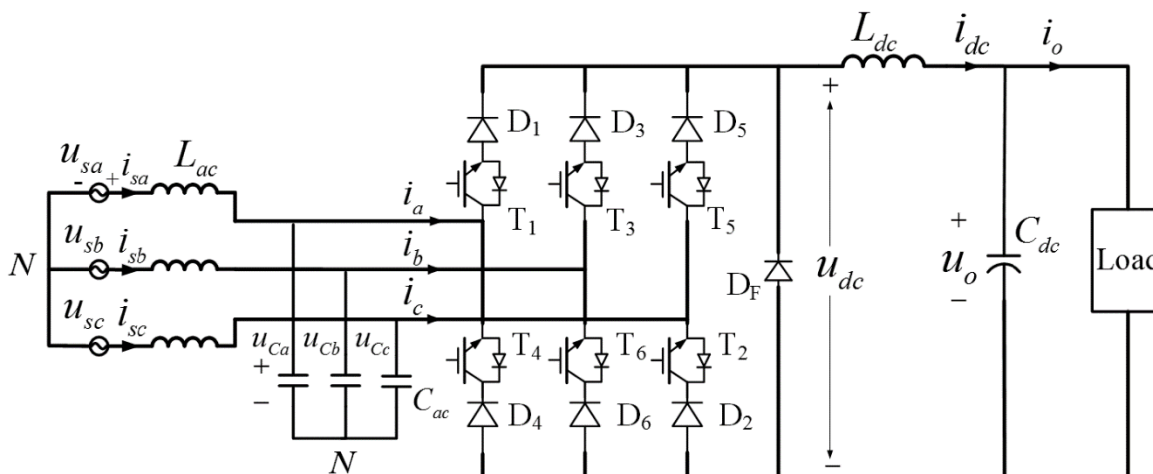
۵-۳-۱- پیاده‌سازی سخت افزار و برنامه مبدل

یکسوکننده سه‌فاز شش سوئیچه مورد بررسی، در آزمایشگاه الکترونیک صنعتی دانشگاه صنعتی

شاهرود، طراحی و ساخته شده است. بلوک دیاگرام اتصال سیستم ساخته شده در شکل (۵-۲۰) نمایش داده شده است. همچنین شماتیک کلی مدار قدرت مبدل در شکل (۵-۲۱) نشان داده شده است. شکل (۵-۲۲) نیز، تصویری از مبدل ساخته شده در آزمایشگاه را نشان می دهد.

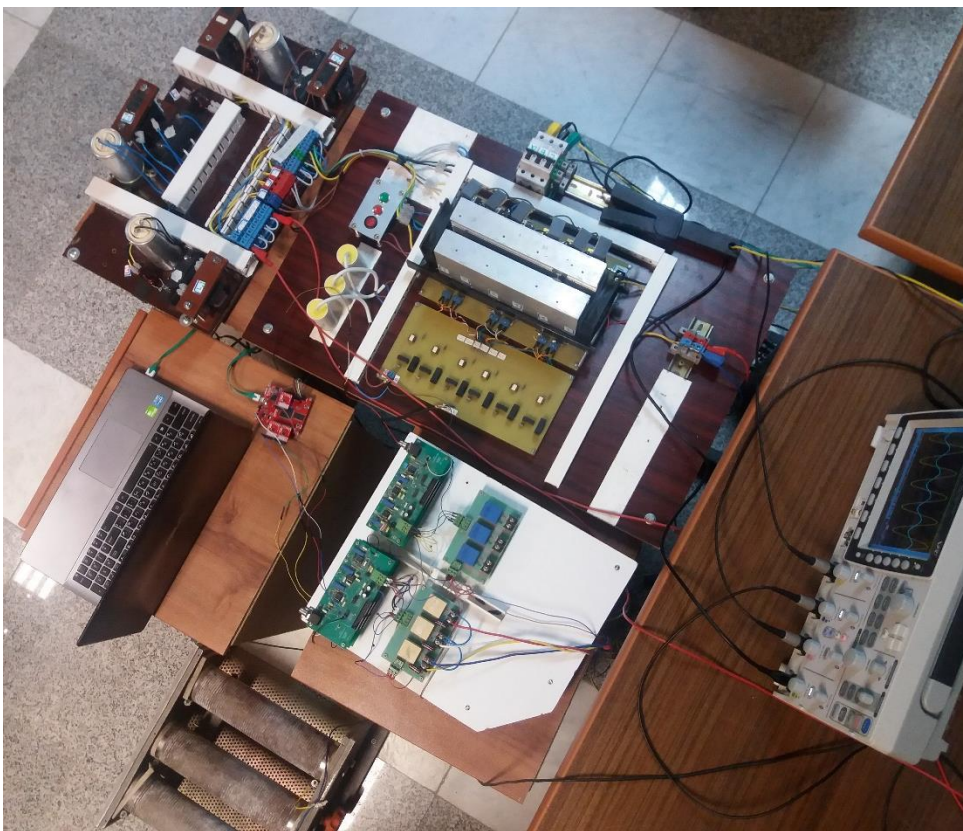
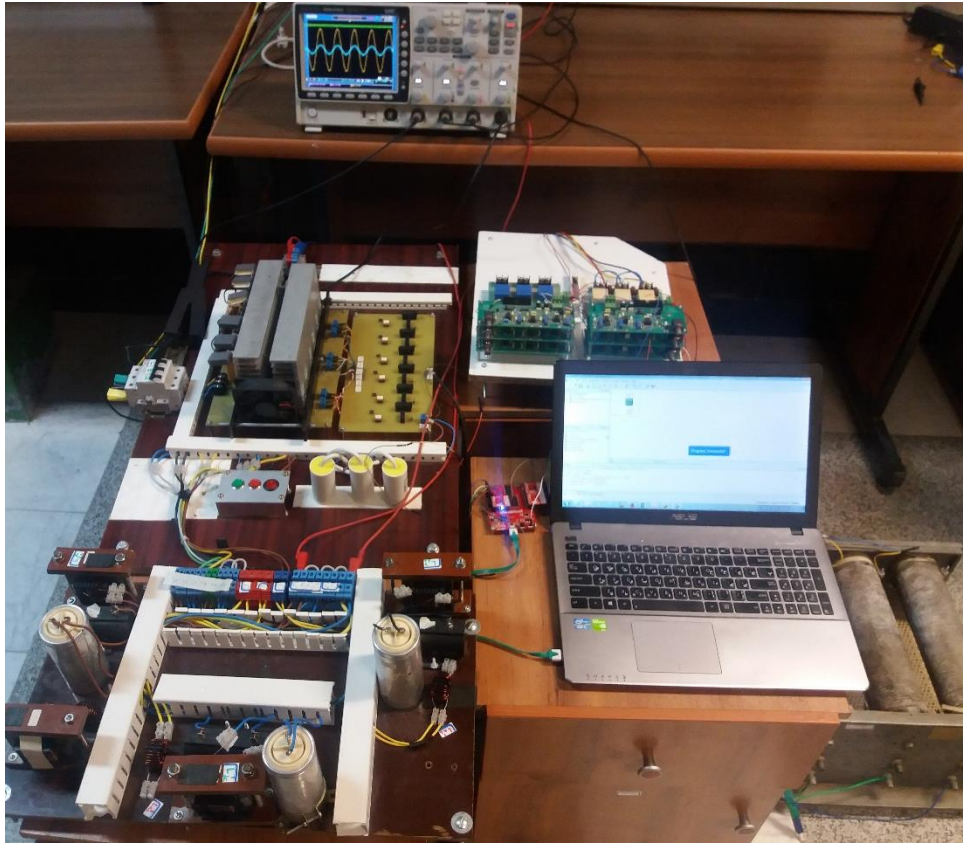


شکل (۵-۲۰) بلوک دیاگرام ارتباط سخت افزار ساخته شده برای یکسوکننده سه فاز شش سوئیچه



شکل (۵-۲۱) شماتیک مدار قدرت برای یکسوکننده سه فاز شش سوئیچه ساخته شده

با توجه به شرایط و دستگاه های موجود در آزمایشگاه دانشگاه، یکسوکننده سه فاز شش سوئیچه با توان ۱۳۰۰ وات ساخته و مورد بهره برداری قرار گرفته است. پارامترهای مبدل ساخته شده بر مبنای روش پیشنهادی بوده و در جدول (۴-۱) ارائه گردیده است.



شکل (۵-۲۲) نمایی از دستگاه ساخته شده در آزمایشگاه

با توجه به اینکه دیودهای مورد استفاده در مدار قدرت ساخته شده باید از نوع سریع بوده و جریان و ولتاژ نامی آن‌ها همانند IGBTها باشد، از ۱۳ IGBT در بخش قدرت استفاده شده است. هریک از این IGBTها دارای دیود معکوس موازی می‌باشند. به عبارت دیگر، در شش عدد آن‌ها از ترانزیستور کلید و ۷ عدد آن‌ها از دیود معکوس موازی استفاده شده است. هر دیود به صورت سری با شش کلید دیگر قرار گرفته است. همچنین یک کلید، به منظور کاهش تلفات کلیدزنی در حالت همزمان روشن شدن دو کلید موجود در یک ساق، به عنوان دیود هرزگرد در خروجی قرار داده شده است. به منظور حفاظت از مبدل، در ورودی آن سه عدد فیوز سریع ۱۰ آمپر قرار داده شده است تا در صورت بروز خطا، آسیبی به مبدل نرسد. در برد یکسوکنده ساخته شده از ۱۳ کلید قدرت به نحوی که در بالا توضیح داده شد، استفاده شده است. جهت حفظ تقارن مدار قدرت و اطمینان کامل از خنک شدن کلیدها و مقاومت‌های اسنابر دو هیت‌سینک به صورت نشان داده شده در شکل (۵-۲۳) جایگذاری شده‌اند. مقاومت‌های اسنابر، باید انرژی راکتانس‌های موجود در مدار قدرت را به نحوی جذب کنند که از آسیب رسیدن به کلید جلوگیری شود. با توجه به این نکته، مقاومت‌های طلایی اسنابر نیز، باید خنک شوند تا آسیبی را متحمل نشوند. بهترین روش جهت خنک کردن آن‌ها، قرار دادن مقاومت‌ها بر روی سطح هیت‌سینکی است که به طور دائم، توسط فن خنک می‌شود.



شکل (۵-۲۳) ساختار سیستم خنک‌کننده و قرارگیری مقاومت‌های اسنابر بر روی هیت‌سینک جهت خنک‌کنندگی بهتر

جهت مونتاژ راحت‌تر مبدل، هیت‌سینک به وسیله پیچ بر روی برد قدرت نصب شده است. سپس در عوض اینکه ۱۲ عدد کلید، توسط ۱۲ عدد پیچ و مهره به روی هیت‌سینک متصل شوند، جهت اتصال کلیدها از دو تسمه با دو پیچ بلند استفاده شده است (شکل (۵-۲۳)). یک کلید باقی‌مانده که نقش دیود هرزگرد را در مدار دارد، جهت حفظ تقارن در بین دو هیت‌سینک قرار گرفته است. دو فن با ولتاژ ۱۲ ولت و ۰٫۱۶ آمپر نیز به صورت مکشی و دمشی در دو طرف هیت‌سینک‌ها قرار داده شده‌اند.

نکته ای که ذکر آن ضروری به نظر می‌رسد این است که، در هر پروسسوری تولید عملیات ریاضی و منطقی مربوط به کنترل و سایر عملیات‌های واحد پردازنده در مدت زمانی معین صورت می‌گیرد. یعنی پس از اعمال سیگنال از ADC به پردازنده، سیگنال خروجی با زمان تاخیر T_d در خروجی FPGA ظاهر می‌شود. در اینجا پس از نوشتن برنامه در نرم‌افزار ISE حداکثر مقدار زمان تاخیر توسط خود نرم‌افزار با توجه به تاخیر هر گیت منطقی قابل محاسبه است. این مقدار برابر ۱۳۰٫۵ نانوثانیه بوده که با در نظر گرفتن حاشیه اطمینان ۲۰ نانوثانیه‌ای، مقدار تاخیر ۱۵۰ نانوثانیه در نظر گرفته شده است. از طرفی، زمان انجام محاسبات باید کم‌تر از نصف یک پرپود کلیدزنی باشد. بنابراین حد بالایی فرکانس کلیدزنی سیستم برابر است با:

$$\frac{1}{2F_s} \geq 150ns \rightarrow F_s \leq 3.33Mhz \quad (۳-۵)$$

جهت فراهم کردن بار، از بارهای مقاومتی موجود در آزمایشگاه، به صورت سری و موازی استفاده شده، به طوری که مقدار مقاومت لازم فراهم گردیده است. ولتاژهای سه‌فاز شبکه و ولتاژ خروجی برای کنترل اندازه‌گیری می‌شوند. این ولتاژها از طریق سنسور ایزوله به مدل NV25-P اندازه گرفته می‌شوند. کلیه سیگنال‌های اندازه‌گیری شده، در بردهای مخصوصی (Signal adaptor) از طریق تقویت‌کننده به سطح قابل قبول در واحد پردازنده تبدیل شده و سیگنال‌های حفاظت نیز در این برد ایجاد می‌گردند. همه این سیگنال‌ها به برد پروسسور منتقل شده تا ضمن انجام عملیات مناسب و تولید پالس‌های PWM، حفاظت لازم از مبدل صورت گیرد.

۵-۳-۱-۲- نتایج حاصل از ساخت

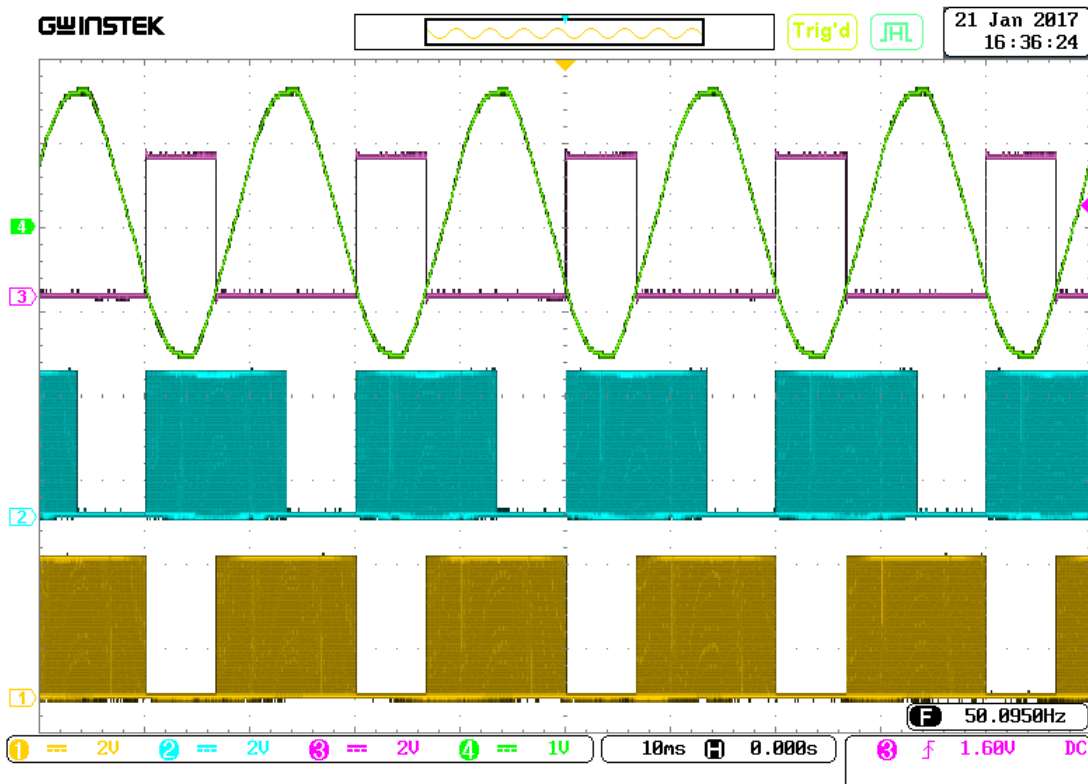
در این قسمت، نتایج حاصل از ساخت مبدل به‌ازای مقادیر مختلف فیلتر ورودی بیان و مورد بحث قرار گرفته است. همانگونه که در بخش قبل بیان شد، تنظیمات و اتصالات دستگاه چه در بحث نرم‌افزار و چه در بحث سخت‌افزار فراهم شده است. در این آزمایش، از اسکوپ دیجیتال چهار کاناله GW-Instek-3154 که دارای فرکانس نمونه برداری ۵ گیگا سمپل در ثانیه می‌باشد، استفاده شده است. پارامترهای مربوط به ساخت مبدل در جدول (۴-۱) ارائه شده است.

جهت بررسی مدولاسیون مبدل و تست مدار فرمان قبل از راه‌اندازی بخش قدرت، در شرایط مختلف سیگنال‌های خروجی FPGA و مدار فرمان مورد بررسی قرار گرفته‌اند. با توجه به قواعد کلیدزنی مبدل، در زمان حداکثر یا حداقل بودن ولتاژ یک فاز، باید تنها یک کلید متصل به آن فاز PWM شده و دیگری خاموش باشد. این نکته در شکل (۵-۲۴) به‌ازای حداقل بودن ولتاژ فاز مربوطه نشان داده شده است. در این شکل یک پالس که نشان‌دهنده حداقل بودن ولتاژ یک فاز نسبت به دوفاز دیگر می‌باشد نشان داده شده است که در زمان حداقل بودن ولتاژ برابر یک منطقی و در غیر این صورت برابر صفر می‌باشد (همچنین برای حالت ماکزیمم بودن ولتاژ). شکل (۵-۲۵) و شکل (۵-۲۶) به ترتیب فرمان پالس اعمالی به سه کلید در ردیف بالا و سه کلید در ردیف پایین را به نمایش می‌گذارد. همان‌طور که مشاهده می‌شود، در هر لحظه هیچ دو کلیدی از ردیف بالا (یا پایین) همزمان روشن نمی‌باشند (عدم اتصال کوتاه شدن فازهای ورودی). همچنین تنها دو کلید در یک ردیف PWM می‌شوند و دیگری خاموش می‌باشد. جهت بررسی هم‌فاز بودن جریان ایجاد شده با ولتاژ فاز مربوطه سیگنال‌های گیت مربوط به یک ساق به همراه تفاضل آن‌ها در شکل (۵-۲۷) نشان داده شده است. با توجه به اینکه در لحظه اعمال فرمان به کلید جریان از آن عبور می‌نماید، تفاضل پالس‌های اعمالی به کلیدهای موجود در یک ساق برابر تفاضل جریان‌های عبوری از همان دو کلید می‌باشد. بنابراین با استفاده از قابلیت ریاضی اسکوپ می‌توان هم‌فاز بودن جریان هر فاز با ولتاژ آن را با استفاده از تفاضل پالس‌های اعمالی به کلیدها، قبل از راه‌اندازی

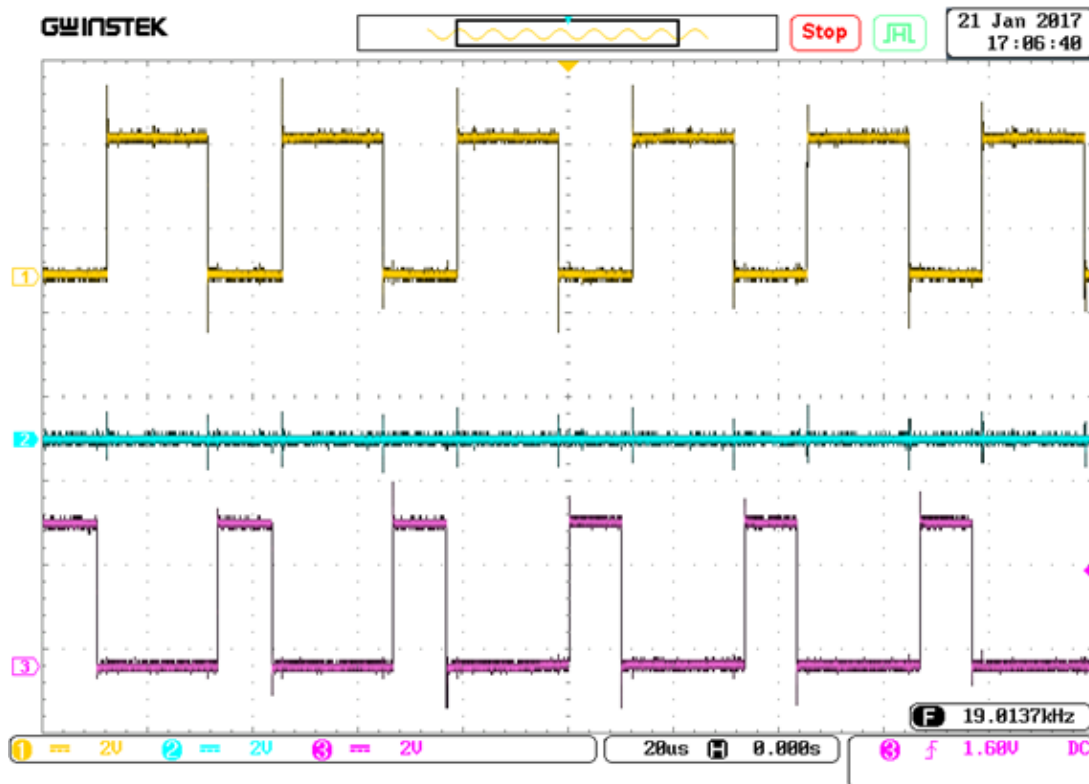
بخش قدرت بررسی نمود.

پس از بررسی درستی بخش الکترونیک مدار، بخش قدرت راه‌اندازی می‌گردد. در ابتدا ولتاژ دو سر کلیدها به همراه اسنابر اندازه‌گیری شده و در شکل (۵-۲۸) نشان داده شده است. همانطور که ملاحظه می‌گردد پیک ولتاژ دو سر کلید تا حد زیادی دمپ شده و این نشان‌دهنده درستی طراحی مدار اسنابر برای سوئیچ قدرت در نرم‌افزار **Simplorer** می‌باشد.

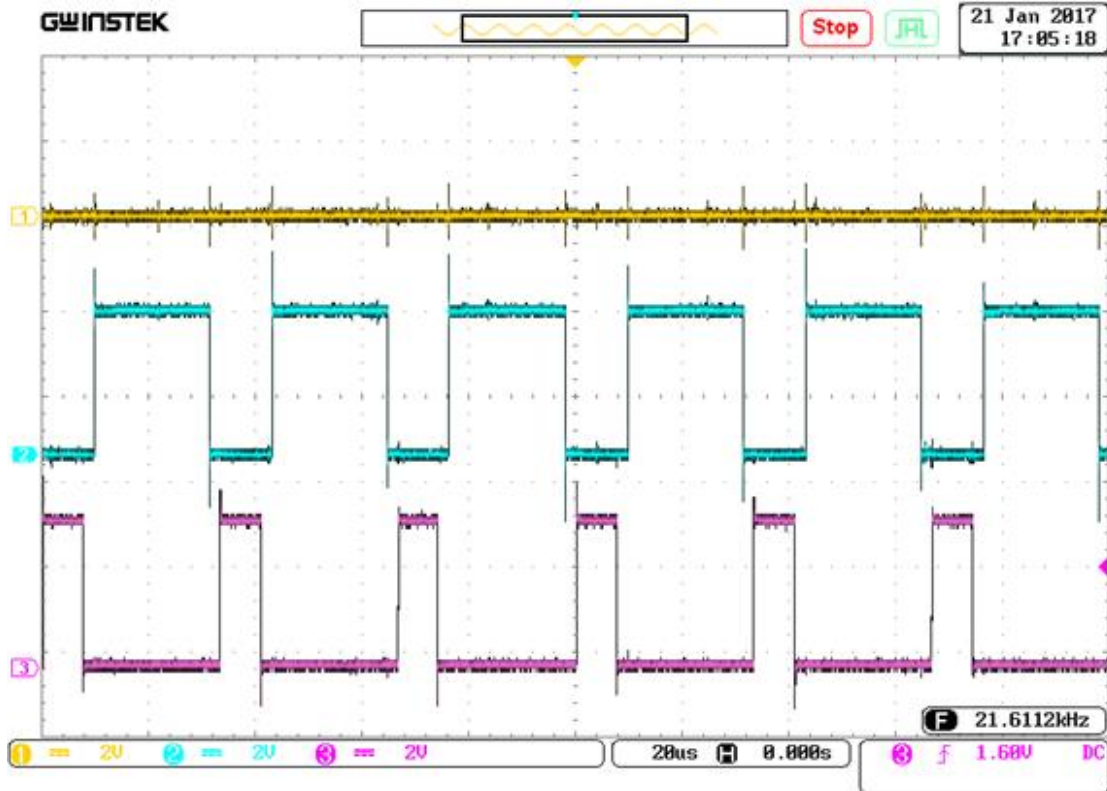
شکل (۵-۲۹) جریان ورودی فیلترشده و فیلترنشده و ولتاژ مربوط به همان فاز را نشان می‌دهد. همانطور که ملاحظه می‌گردد این جریان تقریباً هم‌فاز با ولتاژ بوده و THD مناسبی دارد. مقدار هارمونیک‌های موجود در جریان ورودی به همراه THD آن در شکل (۵-۳۰) نشان داده شده است. مقدار THD جریان برابر $2,57$ می‌باشد. مقدار اختلاف فاز جریان ورودی با ولتاژ شبکه با استفاده از شکل (۵-۳۱) برابر 7 درجه می‌باشد، که در این حالت ضریب توان مبدل با توجه به (۳-۴۰) برابر با $0,9925$ است. مقادیر بیان‌شده، نشان‌دهنده کارآیی روش پیشنهادی طراحی مبدل می‌باشد. با توجه به مقدار ولتاژ و جریان در هر واحد اسکوپ مقدار توان مبدل برابر $P = 1.5V_p I_p \cos(\theta) = 1.5 \times$ از طرفی با توجه به اندیس مدولاسیون $0,42$ و پیک جریان ورودی $5,7$ آمپر، جریان خروجی باید معادل $13,6$ آمپر باشد. این جریان در شکل (۵-۳۲) نشان داده شده است. با توجه به اینکه در طراحی سلف خروجی مقدار $0,05$ ریپل مجاز برای جریان خروجی در نظر گرفته شده است، باید مقدار این ریپل حداکثر برابر $13,6 \times 0,05$ یعنی $0,7$ آمپر باشد. بازه تغییرات جریان خروجی در شکل (۵-۳۲) تقریباً برابر $0,8$ آمپر می‌باشد که تقریباً معادل ریپل $0,05$ است. تمامی مقادیر مذکور بیانگر صحت روش طراحی پیشنهاد شده می‌باشد.



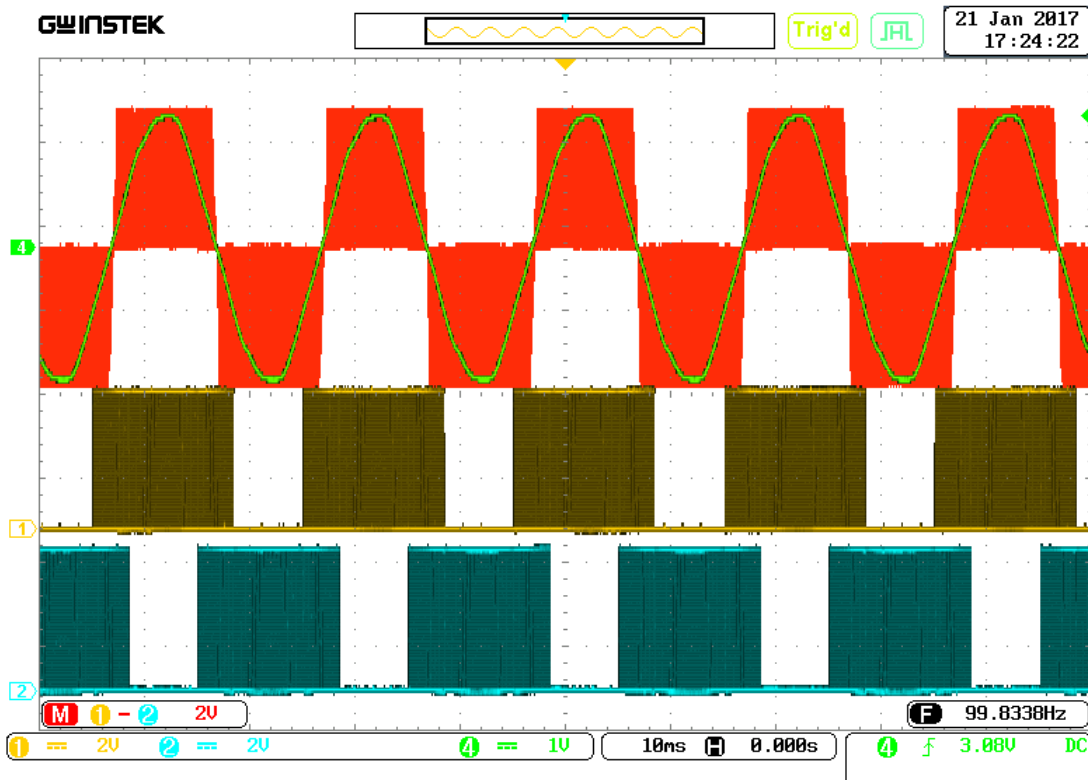
شکل (۲۴-۵) ولتاژ یکی از فازها و مینیمم بودن آن، به همراه پالس PWM کلیدهای متصل به همان فاز



شکل (۲۵-۵) فرمان PWM سه کلید بالایی و بررسی روشن نبودن همزمان آن‌ها برای زمان مرده و PWM



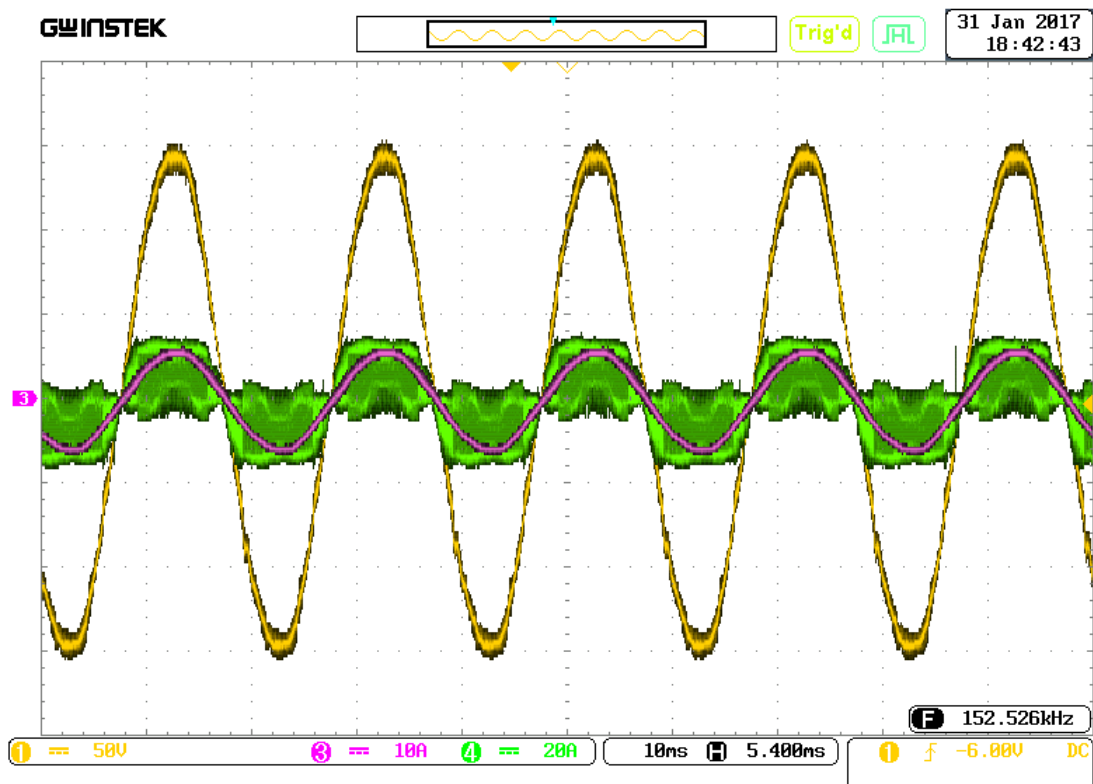
شکل (۵-۲۶) فرمان PWM سه کلید پایینی و بررسی روشن نبودن همزمان آن‌ها برای زمان مرده و PWM



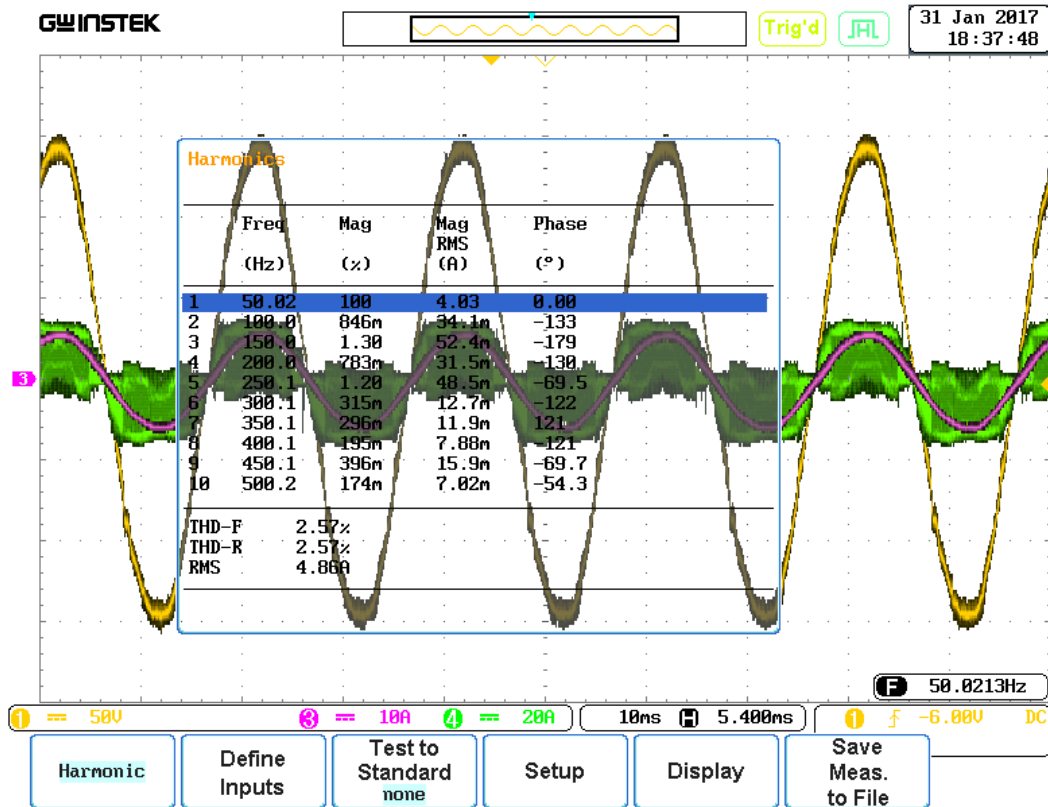
شکل (۵-۲۷) ولتاژ یکی از فازها به همراه جریان PWM فیلتر نشده همان فاز و پالس‌های مربوط به کلیدهای همان فاز



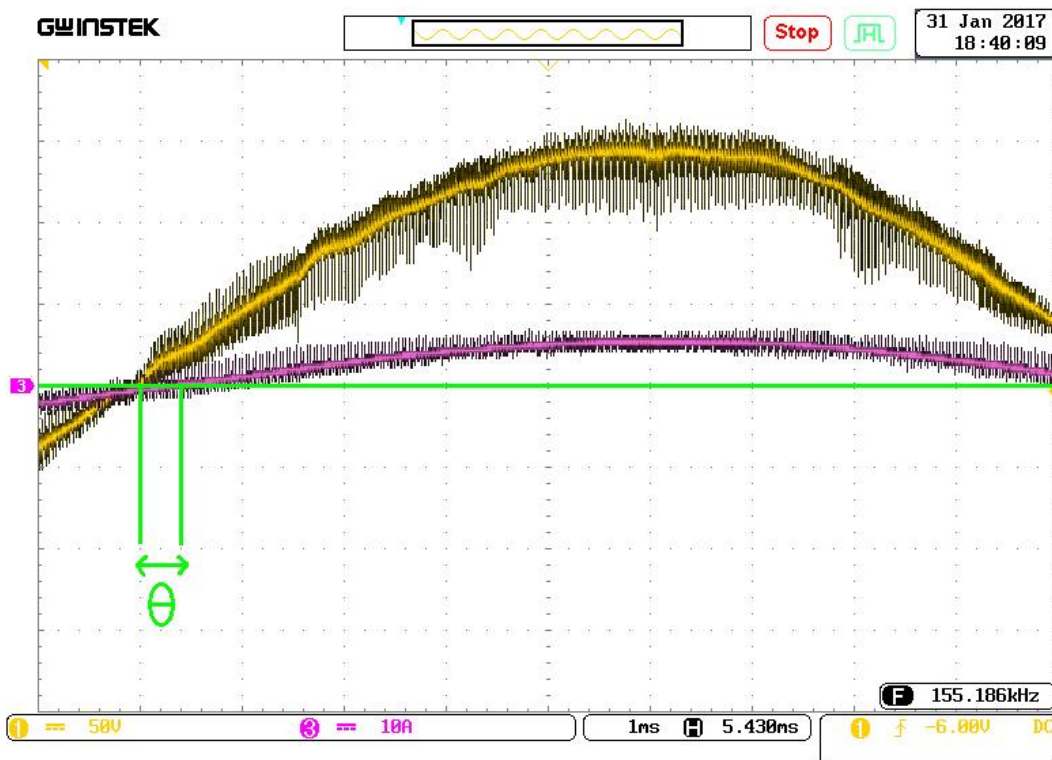
شکل (۵-۲۸) شکل موج ولتاژ دو سر کلید با اسنابر



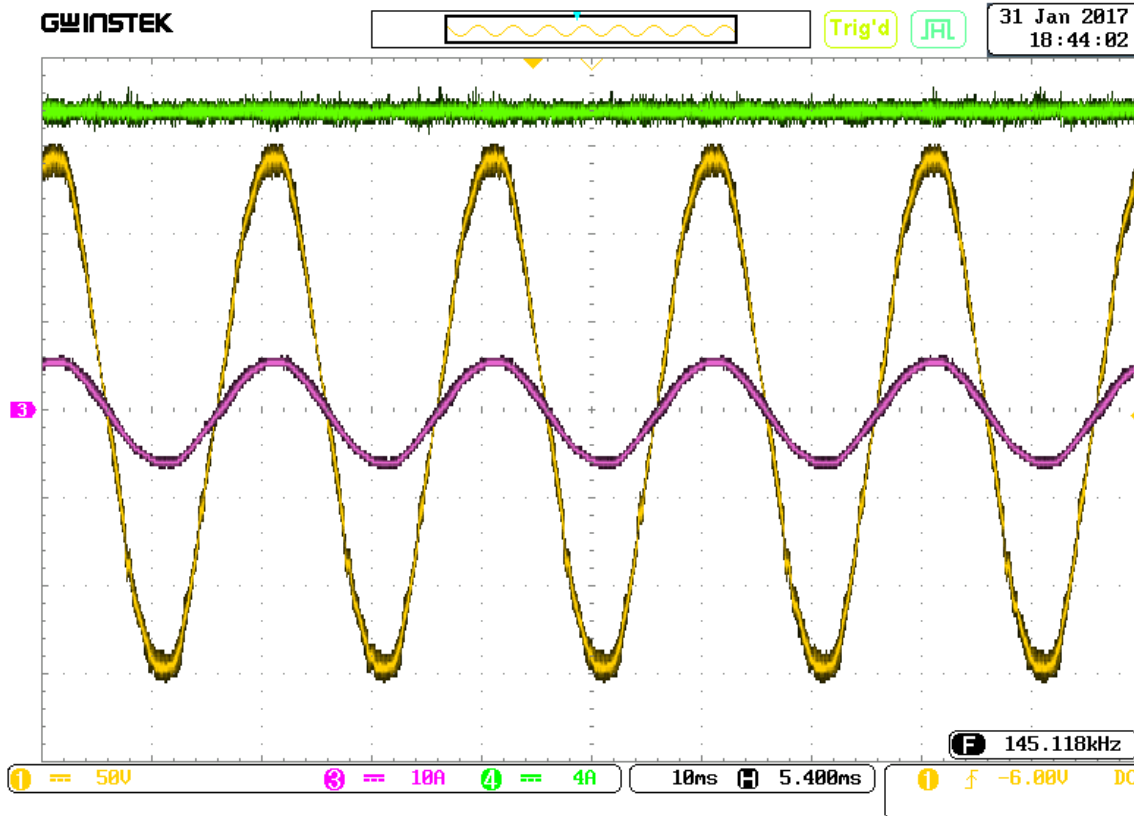
شکل (۵-۲۹) جریان PWM، جریان ورودی فیلتر شده و شکل موج ولتاژ ورودی



شکل (۳۰-۵) هارمونیک‌های جریان ورودی و THD آن



شکل (۳۱-۵) اختلاف فاز ولتاژ و جریان ورودی



شکل (۳۲-۵) جریان ورودی، جریان خروجی و شکل موج ولتاژ ورودی

۴-۵- خلاصه فصل

در این فصل، روش پیشنهادی طراحی یکسوکننده سه‌فاز کاهنده شش‌سوئیچه در دو بخش شبیه‌سازی و ساخت پیاده‌سازی گردید و نتایج آن ارائه شد. این نتایج شامل، عملکرد فیلتر ورودی و خروجی، عملکرد اسنابر و کنترل‌کننده می‌باشد. نتایج حاصل از ساخت و شبیه‌سازی هر دو تئوری‌های بیان شده در فصل سوم و چهارم را مورد تایید قرار می‌دهند.

فصل ۶: نتیجه‌گیری و پیشنهادها

۶-۱- نتیجه‌گیری

یکسوکننده سه‌فاز شش‌سوئیچه کاهنده سه‌فاز به دلیل ویژگی‌هایی همچون کاهنده بودن بدون نیاز به ادوات مغناطیسی همچون ترانس، اصلاح‌کننده ضریب توان، حفاظت ذاتی در برابر اتصال کوتاه و غیره می‌تواند به‌عنوان یک یک‌سوساز کاهنده ایده آل در صنعت مورد استفاده قرار گیرد.

در این پایان‌نامه، مروری بر روش‌های کنترل، انواع مدولاسیون، طراحی فیلتر ورودی و خروجی و طراحی اسنابر مبدل که به‌صورت رایج‌تر مورد استفاده قرار می‌گیرند، صورت پذیرفت. با توجه به غیرخطی بودن معادلات حالت مبدل، بهترین روش در بین روش‌های کنترلی موجود، تبدیل معادلات حالت غیرخطی به معادلات خطی می‌باشد، که این کار با انتقال معادلات حالت به دستگاه $dq0$ صورت پذیرفت. سپس برای معادلات خطی سیستم، با توجه به دیاگرام بود آن، یک کنترل مطلوب، همراه با میرایی فعال تعیین گردید. همان‌گونه که در نتایج حاصل از طراحی کنترل دیده شد، این کنترل‌کننده، با سرعتی بسیار بالا ردیابی مرجع را انجام داده و در برابر ورود اغتشاشات بسیار مقاوم و پایدار است. همچنین پاسخ پله سیستم به تغییرات اندیس مدولاسیون دارای فراجهدش ۲۱ درصد و زمان نشست ۵٫۵ میلی‌ثانیه می‌باشد. در مورد اغتشاشات نیز پاسخ پله به اغتشاش تغییر ولتاژ شبکه در زمان کم‌تر از ۷ میلی‌ثانیه به صفر رسیده و پاسخ پله سیستم به ازای اغتشاش جریان خروجی در همه زمان‌ها بسیار ناچیز بوده است. اما باید در نظر گرفت که پیاده‌سازی این روش، به دلیل وجود PLL در طراحی کنترل‌کننده، نیازمند یک پروسسور قدرتمند می‌باشد. به همین دلیل در مواردی که قیمت پروسسور نسبتاً بالاست، از روش‌های دیگر همچون خطی‌سازی معادلات حالات و یا حتی سعی و خطا جهت طراحی کنترل‌کننده مبدل استفاده می‌گردد.

در میان مدولاسیون‌ها، سه نوع مدولاسیون موج حامل، مدولاسیون برداری باهدف حداقل مقدار تلفات کلیدزنی و مدولاسیون حذف هارمونیک‌های انتخابی ۵، ۷، ۱۱ و ۱۳ مورد بررسی قرار گرفت. تمام

این مدولاسیون ها با توجه به کاربرد مبدل می تواند مورد استفاده قرار گیرد. به عنوان مثال در مواردی که توان مبدل بسیار بالاست و کلیدزنی در فرکانس بالا سبب افزایش فوق العاده تلفات کلیدزنی مبدل می شود، باید از روش SHE استفاده نمود. در مواردی که قابلیت افزایش فرکانس کلیدزنی نیز وجود دارد می توان از مدولاسیون برداری باهدف حداقل نمودن تلفات کلیدزنی استفاده نمود تا علاوه بر کاهش این تلفات، حجم، وزن و مقدار فیلتر نیز کاهش یابد.

در بخش طراحی اسنابر برای محافظت از کلید در برابر پیک های ناشی از وجود اندوکتانس در مدار، چند مدار اسنابر مورد تحلیل، بررسی و شبیه سازی در نرم افزار Simplorer قرار گرفت. در واقع همان طور که ذکر شد، طراحی اسنابر بحثی کاملاً عملی است و تنها در صورتی می توان این طراحی عملی را شبیه سازی کرد که کلید قدرت موجود در شبیه سازی نیز از نظر عملکرد همانند یک کلید واقعی در شبیه سازی رفتار کند. نرم افزار Simplorer با داشتن قابلیتی همچون Sheet scan که می توان مشخصه کلید را از روی دیتاشیت آن برای نرم افزار Scan نمود، قادر به انجام طراحی اسنابر نیز خواهد بود. در فصل قبل این شبیه سازی انجام شده و نتایج حاصل از کاهش پیک ولتاژ دو سر کلید در دو حالت بدون اسنابر و با اسنابر ارائه و مقایسه شده اند. به طور کلی می توان نتیجه گرفت، استفاده از چنین نرم افزارهایی که حتی قابلیت مدل کردن ترک های برد الکترونیک و قدرت و حتی اتصال سیم بندی ها را دارند، کمک شایانی به روند طراحی کرده و باعث حذف روش های اشتباه در طراحی همچون سعی و خطا می گردند.

در مقالات مرور شده، روش هایی جهت طراحی فیلتر ورودی و خروجی نیز ارائه گردیده است. در این پایان نامه، روندی جدید به منظور طراحی گام به گام و بهینه فیلتر ورودی و میرایی فعال، برای یکسوکننده منبع جریانی شش سوئیچه ارائه شد. طراحی فیلتر ورودی باید برحسب هارمونیک های موجود در جریان PWM یکسوکننده صورت پذیرد. این پایان نامه روشی تحلیلی برای محاسبه دقیق کلیه هارمونیک های موجود در این جریان، برای انواع مدولاسیون سینوسی، برداری و SHE ارائه داده

است. طراحی بر مبنای معادلات THD جریان شبکه و ضریب توان مستخرج، برحسب مقادیر سلف و خازن فیلتر و نوع مدولاسیون می‌باشد. این طراحی، ضریب توان حداکثر، حداقل THD جریان شبکه و میرایی فعال بهینه را با استفاده از الگوریتم بهینه‌سازی NSGA_II به دنبال دارد. همچنین قیودی برای محدودیت مقادیر سلف و خازن فیلتر ورودی با تعیین حداکثر مقدار افت ولتاژ مجاز روی سلف و فرکانس قطع فیلتر در نظر گرفته شده است. یک نمونه طراحی کامل برای یک مبدل ۵ کیلووات به منظور تأیید روش پیشنهادی ارائه شده است. مقایسه این نتایج با سایر روش‌های موجود، در نرم‌افزار MATLAB/Simulink، بیانگر بهبود THD جریان شبکه و ضریب توان مبدل با مقادیر سلف و خازن کوچک‌تر، بدون افزودن المان اضافی به سیستم می‌باشند. علاوه بر این، با استفاده از روش‌های بهینه‌سازی هوشمند چندهدفه، به جای یک پاسخ، چندین پاسخ بهینه به دست آمده و با توجه به بهینه بودن این پاسخ‌ها، این مهم، سبب کاهش حجم، وزن، قیمت و درنهایت طراحی ساده‌تر کنترل‌کننده خواهد شد.

در این پایان‌نامه جهت بررسی و شناخت بهتر عملکرد یک‌سوساز سه‌فاز PFC کاهنده و نیز ارزیابی روش پیشنهادی طراحی فیلتر، یک نمونه دستگاه ساخته شده است که با توجه به شرایط و امکانات موجود، آزمایش‌ها و بارگذاری‌های مختلفی روی آن انجام شده است. این دستگاه شامل مجموعه مدارات قدرت و مدارات الکترونیکی است.

مدار یکسوساز سه‌فاز تصحیح‌کننده ضریب توان سه‌فاز به نحوی ساخته شده است که دارای توان نامی ۵ کیلووات می‌باشد که در آزمایشگاه با جریان خروجی ۱۳٫۶ آمپر و ولتاژ خروجی ۹۶ ولت مورد بهره‌برداری قرار گرفته است. همچنین پارامترهای فیلتر LC سه‌فاز پایین گذر در ورودی و فیلتر LC پایین گذر در خروجی به صورت بهینه با استفاده از روش پیشنهادی تعیین شده است. در این دستگاه از ۱۳ کلید قدرت با پارت‌نامبر IRG4PH50UD به عنوان کلیدها و دیودها در مسیر قدرت استفاده شده، که هر یک شامل یک IGBT موازی با یک دیود معکوس می‌باشند. منبع ورودی و بار دستگاه نیز با

توجه به امکانات آزمایشگاه فراهم آمده است.

مجموعه مدارات الکترونیک شامل بردهای سنسور ولتاژ، بردهای تطبیق‌دهنده سیگنال، مدار فرمان‌های قدرت و برد پروسسور می‌باشد که همگی با دقت طراحی و ساخته شده‌اند. وظیفه این مجموعه، فراهم کردن سیگنال‌های فیدبک به واحد پردازنده (FPGA) و همچنین ارسال سیگنال‌های PWM به کلیدهای قدرت می‌باشد. کلیه مدارات الکترونیک در نرم‌افزار Altium Designer طراحی و به صورت متالیزه و ضخامت ۱,۶ میلی‌متر چاپ شده‌اند. جهت پیاده‌سازی و کنترل مجموعه ساخته شده از پردازنده FPGA مدل Spartan6 LX9 شرکت Xilinx استفاده شده است که دارای سرعت پردازش بسیار بالا می‌باشد. روش کنترل پیشنهادی با استفاده از زبان قدرتمند VHDL در نرم‌افزار ISE نوشته و پیاده‌سازی شده است. با انجام محاسبات لازم برای تعیین محدوده کلیدزنی، حداکثر فرکانس کلیدزنی برابر ۳,۳۳ مگاهرتز تعیین گردید که برای انجام پروژه‌های الکترونیک قدرت، فرکانس بسیار بالایی است. نتایج حاصل از تست دستگاه ساخته شده با به‌کارگیری روش پیشنهادی طراحی بهینه فیلتر در چند حالت مختلف اخذ و تحلیل گردیده است. شکل موج‌های خروجی با استفاده از یک اسیلوسکوپ چهارکاناله دیجیتال به دست آمده که قادر به تحلیل و اندازه‌گیری THD، ضریب توان و مقایسه هارمونیک‌های موجود در سیستم با استانداردهایی همچون IEC-61000 می‌باشد. با توجه به نتایج ضریب توان مبدل و THD جریان ورودی آن دارای تعارض بوده که همین موضوع دلیلی بر طراحی فیلتر ورودی با استفاده از روش پیشنهادی (استفاده از NSGA_II) می‌باشد. نتایج حاصل از بهینه‌سازی در هر دو حالت شبیه‌سازی و پیاده‌سازی مورد تأیید بوده و نتایج حاصل از سایر روش‌های موجود را مغلوب می‌نماید.

در مجموع می‌توان گفت این پایان‌نامه به طراحی یکسوکننده سه‌فاز کاهنده PFC پرداخته که در آن یک روشی طراحی فیلتر جدید ارائه گردیده و صحت عملکرد این روش در حالت شبیه‌سازی با نرم‌افزار MATLAB و Simplorer مورد تأیید قرار گرفته است. یک دستگاه نمونه ۱۳۰۰ وات

آزمایشگاهی به همراه تجهیزات لازم، ساخته شده که برای بررسی عملکرد روش پیشنهادی طراحی فیلتر مبدل مورد استفاده قرار گرفته است. نتایج حاصل از ساخت، درستی مطالب تئوری ارائه شده را تأیید می‌نماید.

۲-۶- پیشنهادها

- (۱) در این پروژه، جهت ساخت پالس PWM مناسب از روی ولتاژ شبکه از پروسور FPGA استفاده شده است. این پروسور دارای قابلیت‌های بسیار است. از طرفی پروسورهای همچون DSP که سرعت پردازش نسبتاً خوب (نه بسیار بالایی) دارند، دارای قابلیت‌هایی همچون ADC، DAC و غیره می‌باشند. در ساخت مبدل‌های الکترونیک قدرت، وجود برنامه مدولاسیون برداری به صورت پیش فرض در یک پروسور کمک شایانی به پیاده‌سازی راحت تر مبدل خواهد کرد. در نهایت پیشنهاد می‌گردد، برنامه مربوط به این مبدل در سایر پردازنده‌های مذکور نوشته شده و از جوانب مختلف با FPGA مورد مقایسه و ارزیابی قرار گیرد.
- (۲) در این پایان‌نامه تنها مدولاسیون برداری باهدف حداقل‌سازی تلفات کلیدزنی مورد بررسی قرار گرفته است. پیشنهاد می‌شود پیاده‌سازی مدولاسیون‌های برداری با اهداف دیگر، همانند حداقل‌سازی EMI، حداقل‌سازی THD جریان ورودی و غیره مورد بررسی و پیاده‌سازی قرار گیرد.

مراجع

- [1] J. Kolar, T. Friedli, and M. Hartmann, "Three-phase PFC rectifier and ac-ac converter systems—Part I, Tutorial," in *26th IEEE Applied Power Electronics Conf. and Exposition APEC*, 2011, pp. 6-10.
- [2] J. W. Kolar and T. Friedli, "The essence of three-phase PFC rectifier systems—Part I," *IEEE Transactions on Power Electronics*, vol. 28, pp. 176-198, 2013.
- [3] J. Kikuchi, M. D. Manjrekar, and T. A. Lipo, "Performance Improvement of Half Controlled Three Phase PWM Boost Rectifier".
- [4] T. B. Soeiro, T. Friedli, and J. W. Kolar, "Design and implementation of a three-phase buck-type third harmonic current injection PFC rectifier SR," *IEEE Transactions on Power Electronics*, vol. 28, pp. 1608-1621, 2013.
- [5] M. Salo and H. Tuusa, "A vector controlled current-source PWM rectifier with a novel current damping method," *IEEE Transactions on Power Electronics*, vol. 15, pp. 464-470, 2000.
- [6] B. Guo, F. F. Wang, R. Burgos, and E. Aeloiza, "Modulation Scheme Analysis for High-Efficiency Three-Phase Buck-Type Rectifier Considering Different Device Combinations," *IEEE Transactions on Power Electronics*, vol. 30, pp. 4750-4761, 2015.
- [7] B. Guo, F. F. Wang, and E. Aeloiza, "A Novel Three-Phase Current Source Rectifier With Delta-Type Input Connection to Reduce the Device Conduction Loss," *IEEE Transactions on Power Electronics*, vol. 31, pp. 1074-1084, 2016.
- [8] T. Nussbaumer, M. Baumann, and J. W. Kolar, "Comprehensive design of a three-phase three-switch buck-type PWM rectifier," *IEEE transactions on power electronics*, vol. 22, pp. 551-562, 2007.
- [9] L. Malesani and P. Tenti, "Three-phase AC/DC PWM converter with sinusoidal AC currents and minimum filter requirements," *IEEE Transactions on Industry Applications*, pp. 71-77, 1987.
- [10] V. F. Pires, J. F. Silva, and G. Marques, "Space-vector $\alpha\beta$ modulator and sliding mode control of the three-phase buck type rectifier with freewheeling diode," in *IECON 02 [Industrial Electronics Society, IEEE 2002 28th Annual Conference of the]*, 2002, pp. 341-346.
- [11] H. Zheng, X. Zhou, N. Yang, and Y. Ding, "Current source rectifier based on fuzzy two closed loop control system," in *2010 International Conference on Computer, Mechatronics, Control and Electronic Engineering*, 2010, pp. 103-106.
- [12] Y. W. Li, "Control and resonance damping of voltage-source and current-source converters with filters," *IEEE Transactions on Industrial Electronics*, vol. 56, pp. 1511-1521, 2009.
- [13] D. Graovac and V. Katic, "Online control of current-source-type active rectifier using transfer function approach ", *IEEE Transactions on Industrial Electronics*, vol. 48, pp. 526-535, 2001.
- [14] X. Wang and B.-T. Ooi, "Real-time multi-DSP control of three-phase current-source unity power factor PWM rectifier," *IEEE transactions on power electronics*, vol. 8, pp. 295-300, 1993.
- [15] J. Huang, A. Zhang, H. Zhang, Z. Ren, J. Wang, L. Zhang, *et al.*, "Improved direct power control for rectifier based on fuzzy sliding mode," *IEEE Transactions on Control Systems Technology*, vol. 22, pp. 1174-1180, 2014.
- [16] Q. Guo, H. Liu, and Y. Zhang, "A New Control Strategy for a Three-Phase PWM Current-Source Rectifier in the Stationary Frame," *Journal of Power Electronics*, vol. 15, pp. 994-1005, 2015.

- [17] P. Cortes, J. Kolar, and J. Rodriguez, "Comparative evaluation of predictive control schemes for three-phase buck-type PFC rectifiers," in *Power Electronics and Motion Control Conference (IPEMC), 2012 7th International*, 2012, pp. 666-672.
- [18] Y. Zhang, Y. Yi, P. Dong, F. Liu, and Y. Kang, "Simplified Model and Control Strategy of Three-Phase PWM Current Source Rectifiers for DC Voltage Power Supply Applications," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 3, pp. 1090-1099, 2015.
- [19] Y. Suh, J. K. Steinke, and P. K. Steimer, "Efficiency comparison of voltage-source and current-source drive systems for medium-voltage applications," *IEEE Transactions on Industrial Electronics*, vol. 54, pp. 2521-2531, 2007.
- [20] E. P. Wiechmann, P. Aqueveque, R. Burgos, and J. Rodriguez, "On the efficiency of voltage source and current source inverters for high-power drives," *IEEE Transactions on Industrial Electronics*, vol. 55, pp. 1771-1782, 2008.
- [21] R. M. Cuzner and G. Venkataramanan, "Current Source Rectifiers in Discontinuous Conduction Modes of Operation," *IEEE Transactions on Industry Applications*, vol. 51, pp. 470-478, 2015.
- [22] A. Stupar, T. Friedli, J. Minibock, and J. W. Kolar, "Towards a 99% efficient three-phase buck-type PFC rectifier for 400-V DC distribution systems," *IEEE Transactions on Power Electronics*, vol. 27, pp. 1732-1744, 2012.
- [23] A. Abdelsalam, M. Masoud, S. Finney, and B. Williams, "Medium-voltage pulse width modulated current source rectifiers using different semiconductors: loss and size comparison," *IET power electronics*, vol. 3, pp. 243-250, 2009.
- [24] M. Su, H. Wang, Y. Sun, J. Yang, W. Xiong, and Y. Liu, "AC/DC matrix converter with an optimized modulation strategy for V2G applications," *IEEE Transactions on Power Electronics*, vol. 28, pp. 5736-5745, 2013.
- [25] H. F. Bilgin and M. Ermis, "Design and implementation of a current-source converter for use in industry applications of D-STATCOM," *IEEE Transactions on Power Electronics*, vol. 25, pp. 1943-1957, 2010.
- [26] A. A. A. Radwan and Y. A.-R. I. Mohamed, "Analysis and active suppression of AC- and DC-side instabilities in grid-connected current-source converter-based photovoltaic system," *IEEE Transactions on Sustainable Energy*, vol. 4, pp. 630-642, 2013.
- [27] Y. Sato and T. Kataoka, "A current-type PWM rectifier with active damping function," *IEEE Transactions on Industry Applications*, vol. 32, pp. 533-541, 1996.
- [28] K. Basu, A. K. Sahoo, V. Chandrasekaran, and N. Mohan, "Grid-side AC line filter design of a current source rectifier with analytical estimation of input current ripple," *IEEE Transactions on Power Electronics*, vol. 29, pp. 6394-6405, 2014.
- [29] V. A. Katic and D. Graovac, "A method for PWM rectifier line side filter optimization in transient and steady states," *IEEE Transactions on Power Electronics*, vol. 17, pp. 342-352, 2002.
- [30] N. R. Zargari, G. Joos, and P. D. Ziogas, "Input filter design for PWM current-source rectifiers," *IEEE Transactions on Industry Applications*, vol. 30, p. 1573, 1994.
- [31] H. Zhou, Y. W. Li, N. R. Zargari, Z. Cheng, and J. He, "Input resonance investigation and LC filter design for PWM current source rectifiers," in *2010 IEEE Energy Conversion Congress and Exposition*, 2010, pp. 2079-2086.
- [32] J. R. Espinoza and G. Joós, "State variable decoupling and power flow control in PWM current-source rectifiers," *IEEE Transactions on Industrial Electronics*, vol. 45, pp. 78-87, 1998.

- [33] C.-J. Ye and M.-X. Huang, "Multi-objective optimal power flow considering transient stability based on parallel NSGA-II," *IEEE Transactions on Power Systems*, vol. 30, pp. 857-866, 2015.
- [34] M. Mirjafari, S. Harb, and R. S. Balog, "Multiobjective Optimization and Topology Selection for a Module-Integrated Inverter," *IEEE Transactions on Power Electronics*, vol. 30, pp. 4219-4231, 2015.
- [35] B. Han, Q. Xu, and Q. Yuan, "Multiobjective Optimization of a Combined Radial-Axial Magnetic Bearing for Magnetically Suspended Compressor," *IEEE Transactions on Industrial Electronics*, vol. 63, pp. 2284-2293, 2016.
- [36] J. Shang and Y. W. Li, "A Space-Vector Modulation Method for Common-Mode Voltage Reduction in Current-Source Converters," *IEEE Transactions on Power Electronics*, vol. 29, pp. 374-385, 2014.
- [37] T. Halkosaari and H. Tuusa, "Optimal vector modulation of a PWM current source converter according to minimal switching losses," in *Power Electronics Specialists Conference, 2000. PESC 00. 2000 IEEE 31st Annual*, 2000, pp. 127-132.
- [38] H. R. Karshenas, H. A. Kojori, and S. B. Dewan, "Generalized techniques of selective harmonic elimination and current control in current source inverters/converters," *IEEE transactions on Power Electronics*, vol. 10, pp. 566-573, 1995.
- [39] Z. Bai, H. Ma, D. Xu, B. Wu, Y. Fang, and Y. Yao, "Resonance damping and harmonic suppression for grid-connected current-source converter," *IEEE Transactions on Industrial Electronics*, vol. 61, pp. 3146-3154, 2014.
- [40] R. C. Dorf and R. H. Bishop, *Modern control systems*: Prentice Hall, 2011.
- [41] E. Zitzler and L. Thiele, "Multiobjective evolutionary algorithms: a comparative case study and the strength Pareto approach," *IEEE transactions on Evolutionary Computation*, vol. 3, pp. 257-271, 1999.
- [42] C. C. Coello, G. B. Lamont, and D. A. Van Veldhuizen, *Evolutionary algorithms for solving multi-objective problems*: Springer Science & Business Media, 2007.
- [43] P. Chaudhary and P. Sensarma, "Front-end buck rectifier with reduced filter size and single-loop control," *IEEE Transactions on Industrial Electronics*, vol. 60, pp. 4359-4368, 2013.
- [44] S. Buso and P. Mattavelli, "Digital control in power electronics," *Lectures on power electronics*, vol. 1, pp. 1-158, 2006.
- [45] T. Instruments, "Inc., USA, ADC128S102–8-channel, 500 kpsps to 1 Msps, 12-bit A/D converter," ed.
- [46] A. García-Caraveo, Á. Soto, R. González, and P. Bañuelos-Sánchez, "Brief review on snubber circuits," in *Electronics, Communications and Computer (CONIELECOMP), 2010 20th International Conference on*, 2010, pp. 271-275.
- [47] S. J. Finney, B. W. Williams, Green, and T. C., "The RCD snubber revisited," in *Industry Applications Society Annual Meeting, 1993, Conference Record of the 1993 IEEE*, 1993, pp. 1267-1273.
- [48] D. Toshiba, "TLP250 (INV) Rev," ed: B, 2002.
- [49] R. C. Dorf and R. H. Bishop, "Modern control systems," 1998.

Abstract:

This thesis proceed on introducing, modeling, and control of three phase six-switch PWM buck rectifier, and propose a new input and output filter design method. The proposed filter design method is based on mathematical equations describing the circuit for sinusoidal, vector, and SHE modulations. Optimum design of input filter (inductor, capacitor and active damping) is based on the input current THD minimization and power factor maximization. The unknown values of input filter inductor and capacitor in mathematical equations, are determined by multi objectives evolutionary algorithms, due to the contrast between power factor and input current THD. The output inductor is designed so that the output current ripple is minimized and the converter can operate in continuous current mode. In order to control the converter, state space equations have been transferred into the dq0 frame therefore, the AC and DC models are determined. Based on this model, a control strategy composed of a state variable feedback control method for the DC side and an active-damping control method for the AC side is used. To test the proposed design method in real condition, an experimental setup of three phase six-switch PWM buck rectifier has been established with its additional requirements. In this thesis, the setup has been introduced and implementation procedure has been presented. Simulation and experimental results are presented to prove the superiority of the proposed design methodology over other methods.

Keywords: Three phase six-switch PWM buck rectifier, Power factor correction, Current source rectifier, State variable feedback control, Active Damping, Filter design, and multi objective evolutionary algorithm.



Shahrood University of Technology
Department of Electrical and Robotic Engineering

M.Sc Thesis in Power Electronic and Machin Engineering

**Design of three phase six-switch buck rectifier in
Simplorer Software, simulation and
Implementation**

By:
Ali Nikbahar

Supervisor:
Dr. Ali Dastfan

Advisor:
Javad Borsalani

February 2017