بسم الله الرحمن الرحيم

دانشکده‌ی پردیس خوارزمی

رشته مهندسی برق گرایش الکترونیک

پایان‌نامه کارشناسی ارشد

طراحی یک مرجع ولتاژ بندگپ با فن‌آوری CMOS بدون استفاده از مقاومت

نگارنده: عابد اسماعیلی

استاد راهنما:

دکتر عماد ابراهیمی

شهریور ۹۵

دانشگاه صنعتی شاهرود

دانشکده : پردیس خوارزمی

گروه : الکترونیک

پایان نامه کارشناسی ارشد آقای عابد اسماعیلی به شماره دانشجویی: ۹۲۴۵۲۲۴

تحت عنوان: طراحی یک مرجع ولتاژ بندگپ با فن‌آوری CMOS بدون استفاده از مقاومت

در تاریخ ۹۵/۶/۱۶ توسط کمیته تخصصی زیر جهت اخذ مدرک کارشناسی ارشد مهندسی الکترونیک مورد ارزیابی و با درجه ..... مورد پذیرش قرار گرفت.

اساتید راهنما	امضاء	اساتید مشاور	امضاء
نام و نام خانوادگی : عماد ابراهیمی		نام و نام خانوادگی :	
نام و نام خانوادگی :		نام و نام خانوادگی :	

اساتید داور	امضاء	نماینده تحصیلات تکمیلی	امضاء
نام و نام خانوادگی : محمد اشرف		نام و نام خانوادگی : علی عباس‌نژاد	
نام و نام خانوادگی : جواد قالیبافان			
نام و نام خانوادگی :			
نام و نام خانوادگی :			

قدردانی و تشکر

با تشکر فراوان از استاد ارجمندم، جناب آقای دکتر ابراهیمی که همیشه مشوق من در تمام مراحل انجام این پایان‌نامه بودند و با حوصله فراوان و راهنمایی‌های ارزشمند خود، راه را برای به نتیجه رسیدن این پایان‌نامه، هموار نمودند.

تعهد نامه

اینجانب عابد اسماعیلی دانشجوی دوره کارشناسی ارشد رشته مهندسی الکترونیک دانشکده پردیس خوارزمی دانشگاه شاهرود نویسنده پایان نامه طراحی یک مرجع ولتاژ بندگپ با فن‌آوری CMOS بدون استفاده از مقاومت تحت راهنمائی آقای دکتر عماد ابراهیمی متعهد می شوم.

- تحقیقات در این پایان نامه توسط اینجانب انجام شده است و از صحت و اصالت برخوردار است.
- در استفاده از نتایج پژوهشهای محققان دیگر به مرجع مورد استفاده استناد شده است.
- مطالب مندرج در پایان نامه تاکنون توسط خود یا فرد دیگری برای دریافت هیچ نوع مدرک یا امتیازی در هیچ جا ارائه نشده است.
- کلیه حقوق معنوی این اثر متعلق به دانشگاه شاهرود می باشد و مقالات مستخرج با نام « دانشگاه صنعتی شاهرود » و یا « Shahrood University of tecnology» به چاپ خواهد رسید.
- حقوق معنوی تمام افرادی که در به دست آمدن نتایج اصلی پایان نامه تأثیرگذار بوده اند در مقالات مستخرج از پایان نامه رعایت می گردد.
- در کلیه مراحل انجام این پایان نامه ، در مواردی که از موجود زنده (یا بافتهای آنها) استفاده شده است ضوابط و اصول اخلاقی رعایت شده است.
- در کلیه مراحل انجام این پایان نامه، در مواردی که به حوزه اطلاعات شخصی افراد دسترسی یافته یا استفاده شده است اصل رازداری ، ضوابط و اصول اخلاق انسانی رعایت شده است .

تاریخ

امضای دانشجو

مالکیت نتایج و حق نشر

- کلیه حقوق معنوی این اثر و محصولات آن (مقالات مستخرج، کتاب، برنامه های رایانه ای، نرم افزارها و تجهیزات ساخته شده است) متعلق به دانشگاه صنعتی شاهرود می‌باشد. این مطلب باید به نحو مقتضی در تولیدات علمی مربوطه ذکر شود.
- استفاده از اطلاعات و نتایج موجود در پایان نامه بدون ذکر مرجع مجاز نمی باشد.

چکیده

در این پژوهش، دو مدار مرجع ولتاژ زیر یک ولت ارائه شده، که در آن‌ها به جای ترانزیستورBJT از ترانزیستور CMOS در ناحیه زیر آستانه استفاده شده است. در ضمن در مدار آن‌ها از مقاومت استفاده نشده است و ساختار هر دو مدار مبتنی بر ایجاد ولتاژ CTAT و PTAT با استفاده از ترانزیستور CMOS در ناحیه زیرآستانه است.

در ساختار آن‌ها برای تولید ولتاژ CTAT به‌جای ترانزیستور دوقطبی از ترانزیستورهای CMOS در ناحیه کاری زیرآستانه استفاده شده است. با این عمل جریان مصرفی به مقدار قابل توجهی کاهش می‌یابد. در مدار نخست، برای تولید ولتاژ PTAT از دو مدار CTAT استفاده شده است، که اختلاف آن‌ها ولتاژ PTAT را بوجود می‌آورد. برای افزایش دقت ولتاژ خروجی، از تقویت‌کننده عملیاتی کسکود تاشده، به خاطر بهره بیشتر استفاده شده است. مدار در سه مرحله کلیدزنی ولتاژ مرجع حدود ۰/۹ ولت در خروجی ایجاد می‌کند. وابستگی رفتار مدار به دما بسیارکم و تغییرات ولتاژ خروجی نسبت به تغییرات دما حدود 22 ppm در بازه دمایی صفر تا ۹۰ درجه سانتی‌گراد می‌باشد. لازم به ذکر است مدارهای پیشنهادی در فن‌آوری 0.18 µm و توسط نرم‌افزار ADS شبیه‌سازی گردیده است. تحلیل مونت‌کارلو نشان می‌دهد، مقدار میانگین ولتاژ مرجع (μ) برابر۰/۸۹۹ ولت، انحراف‌معیار آن (σ) برابر ۰/۰۶۲ و در نتیجه σ/μ =۶/۹٪ می‌باشد.

در ساختار پیشنهادی دوم با حذف تقویت‌کننده عملیاتی و ساخت ولتاژهای PTAT و CTAT به‌طور جداگانه، و اضافه‌کردن مدار ترکیب‌کننده ولتاژ PTAT و CTAT در انتهای مدار، جریان مصرفی مدار به نحو قابل ملاحظه‌ای کاهش یافته و حدود ۳۴۵ نانوآمپر شده است. ولتاژ خروجی این مدار، برابر ۷۴۵ میلی‌ولت و تغییرات ولتاژ خروجی نسبت به تغییرات دما، برابر 38.28 ppm در بازه دمایی صفر تا ۹۰ درجه سانتی‌گراد است. با تحلیل مونت‌کارلو، مقدار میانگین ولتاژ مرجع (μ)

برابر۰/۷۴۵ ولت و انحراف‌معیار آن (σ) برابر ۰/۰۰۰۹۵ اندازه‌گیری شده و ٪۰/۱۲= σ/μ بدست آمده است.

در هر دو ساختار پیشنهادی می‌توان ولتاژ مرجع خروجی را با تغییر نسبت ابعاد ترانزیستورها و دیگر المان‌های مدار تنظیم نمود.

کلیدواژه: شکاف باند، PTAT، CTAT، زیرآستانه، CMOS، مونت‌کارلو، مرجع ولتاژ

فهرست مطالب

عنوان صفحه

فهرست جدول‌ها ..... ی

فهرست شکل‌ها ..... ک

فصل ۱- پیش‌گفتار ۱

۱-۱ مقدمه ۲

۱-۲ انگیزه این پژوهش ۲

۱-۳ نحوه تقسیم بندی پایان نامه و نوآوری‌های آن ۴

فصل ۲- مراجع ولتاژ شکاف‌باند ۷

۲-۱ مقدمه ۸

۲-۲ مرجع ولتاژ ویدلار ۱۰

۲-۳ اولین مرجع ولتاژ شکاف‌باند، با استفاده از تقویت‌کننده‌عملیاتی ۱۳

۲-۴ مرجع ولتاژ بروکا ۱۵

۲-۵ مرجع ولتاژ با استفاده از ترازیستورCMOS در ناحیه زیرآستانه ۱۶

۲-۶ تولید ولتاژ PTAT خودآبشاری ۱۶

۲-۷ اولین مدار جبران ساز انحنای منحنی در پیوند بیس امیتر ۱۷

۲-۸ جبران ساز انحنای منحنی در پیوند بیس امیتر ۱۸

۲-۹ استفاده ترانزیستورCMOS در مدارات کلیدخازنی ۱۹

۲-۹-۱ استفاده از ترانزیستور MOS به عنوان کلید ۱۹

۲-۹-۲ کاربرد ترانزیستورNMOS در مدارکلید خازنی ۱۹

۲-۹-۳ کاربرد ترانزیستور PMOS در مدارکلید خازنی ۲۱

۲-۱۰ مرجع ولتاژ شکاف‌باند کلیدخازنی بدون مقاومت ۲۲

۲-۱۱ مرجع ولتاژ شکاف‌باند کلیدخازنی بدون مقاومت با حذف تاثیر ولتاژ آفست ۲۶

فصل ۳- چالش‌های موجود در طراحی مراجع ولتاژ شکاف‌باند ۲۹

۳-۱ مقدمه ۳۰
۳-۲ طراحی تقویت‌کننده‌های عملیاتی ۳۰
۳-۲-۱ اثر گین محدود op-amp ۳۱
۳-۲-۲ تقویت‌کننده عملیاتی معمولی تک‌سر ۳۳
۳-۲-۳ تقویت‌کننده کسکود تاشده تک‌سر ۳۶
۳-۲-۴ نتیجه‌گیری ۳۹
۳-۳ طراحی و شبیه‌سازی مدارمرجع ولتاژ شکاف‌باند کلیدخازنی ۳۹
۳-۳-۱ شبیه‌سازی مدارمرجع ولتاژ شکاف‌باند کلیدخازنی با آپ امپ معمولی ۴۰
۳-۳-۲ شبیه‌سازی مدارمرجع ولتاژ شکاف‌باند کلیدخازنی با آپ امپ کسکود تاشده ۴۲
۳-۴ طراحی و شبیه‌سازی مدارمرجع ولتاژ شکاف‌باند کلیدخازنی زیر یک ولت ۴۶
۳-۵ شبیه‌سازی مدار مرجع شکاف باند با حذف ولتاژ آفست [۲۹] ۵۰
فصل ۴- طراحی مدار مرجع ولتاژ کلیدخازنی پیشنهادی با استفاده از ترانزیستور CMOS ۵۵
۴-۱ مقدمه ۵۶
۴-۲ (الف) مرجع ولتاژ کلیدخازنی پیشنهادی با مولد CTAT زیرآستانه ۵۷
۴-۲ (ب) مرجع ولتاژ پیشنهادی با ترانزیستور CMOS با هدف حذف آپ‌امپ ۶۷
۴-۳ نتیجه‌گیری ۷۳
فصل ۵- نتیجه‌گیری و ارائه پیشنهادات ۷۵
۵-۱ نتیجه‌گیری ۷۶
۵-۲ ارائه پیشنهادات ۷۶
منابع ۷۷

عنوان **فهرست جدول ها** صفحه

جدول (۳-۱) ابعاد ترانزیستورهای استفاده شده در مدار شکل (۳-۲).....۳۵

جدول (۳-۲) ابعاد جدید ترانزیستورهای استفاده شده در مدار شکل (۳-۲) برای افزایش بهره.....۳۶

جدول (۳-۳) ابعاد ترانزیستورهای استفاده شده در مدارتقویت کننده کسکودتاشده شکل (۳-۶).....۳۸

جدول (۳-۴) ابعاد ترانزیستورهای استفاده شده در مدار شکل (۳-۱۵) ۴۴

جدول (۳-۵) مقایسه مرجع ولتاژ کلیدخازنی شکل (۳-۱۵) با سایر کارها.....۴۵

جدول (۳-۶) مقایسه مرجع ولتاژ شکاف‌باند زیر یک ولت شکل (۳-۱۸) با سایر کارها.....۴۹

جدول (۳-۷) مقایسه مرجع ولتاژ شکاف‌باند با حذف ولتاژ آفست با کارهای دیگر.....۵۳

جدول (۴-۱) ابعاد مدار پیشنهادی مدار مرجع ولتاژ کلیدخازنی شکل (۴-۷).....۶۶

جدول(۴-۲) مقایسه مرجع ولتاژ کلیدخازنی بدون مقاومت در ناحیه زیرآستانه با کارهای قبل.....۶۷

جدول (۴- ۳) ابعاد مدار پیشنهادی مرجع ولتاژ با هدف حذف آپ‌امپ شکل (۴-۱۵).....۷۳

جدول (۴-۴) مقایسه مدار پیشنهادی مرجع ولتاژ با هدف حذف آپ‌امپ با کارهای انجام شده قبل.....۷۳

عنوان | فهرست شکل‌ها | صفحه

شکل (۱-۱) بلوک دیاگرام افزاره‌های تراشه پیشرفته، مربوط به یک ریز پردازنده سیستم ارتباطی [۸] ۴

شکل (۲-۱) عوامل موثر در تغییر اندازه مرجع ولتاژ [۹] ۹

شکل(۲-۲) مفهوم اساسی یک مرجع ولتاژ شکاف باند[۳]..... ۹

شکل (۲-۳) مرجع ولتاژ شکاف‌باند کلاسیک ویدلار ۱۱

شکل (۲-۴) مرجع ولتاژ شکاف‌باند کوئیج[۱] ۱۳

شکل (۲-۵) مرجع ولتاژ شکاف‌باند بروکا [۴] ۱۵

شکل (۲-۶) مرجع ولتاژ CMOS در ناحیه زیرآستانه[۱۹] ۱۶

شکل (۲-۷) سلول های خودآبشاری PTAT [۲۰] ۱۷

شکل ۲-۸: مدار اصلاح انحنای منحنی ولتاژ مرجع شکاف‌باند، با رفتار خطی شده دمایی ولتاژ بیس- امیتر[۲۱]..... ۱۸

شکل (۲-۹) مفهوم جبران‌ساز انحنای منحنی ولتاژ پیوند بیس ـ امیتر توسط سونگ ـ گری [۲] ۱۹

شکل (۲-۱۰) کاربرد NMOS در مدار کلیدخازنی درین ورودی[۱۳] ۲۰

شکل (۲-۱۱)کاربرد NMOS در مدار کلیدخازنی سورس بعنوان ورودی[۱۳] ۲۱

شکل (۲-۱۲)کاربرد PMOS در مدار کلیدخازنی سورس بعنوان ورودی[۱۳] ۲۱

شکل (۲-۱۳) عوامل ایجاد خطا در مراجع ولتاژ متداول [۲۸]..... ۲۲

شکل (۲-۱۴) مرجع ولتاژ شکاف باند کلید خازنی بدون مقاومت [۲۸]..... ۲۳

شکل (۲-۱۵) فاز اول مرجع ولتاژ شکاف‌باند کلیدخازنی بدون مقاومت.[۲۸]..... ۲۳

شکل (۲-۱۶) فاز دوم مرجع ولتاژ شکاف‌باند کلید خازنی بدون مقاومت [۲۸]. ۲۴

شکل (۲-۱۷) فاز سوم مرجع ولتاژ شکاف‌باند کلیدخازنی بدون مقاومت [۲۸]..... ۲۴

شکل (۲-۱۸) فاز چهارم مرجع ولتاژ شکاف‌باند کلیدخازنی بدون مقاومت [۲۸]..... ۲۵

شکل (۲-۱۹) مرجع ولتاژ شکاف‌باند کلیدخازنی بدون مقاومت و حذف ولتاژ آفست [۲۹] ۲۶

شکل (۳-۱) مدار وارونگر با استفاده از تقویت‌کننده عملیاتی ۳۲

شکل (۳-۲) تقویت‌کننده عملیاتی تک سر ۳۳

شکل (۳-۳) نمودار بهره تقویت‌کننده تک‌سر ۳۴

شکل (۳-۴) (الف) تغییرات بهره و (ب) بزرگنمایی تغییرات بهره در بازه دمایی صفر تا ۹۰ درجه سانتی‌گراد ۳۴
شکل (۳-۵) تغییرات بهره در دماهای صفر تا ۹۰ درجه سانتی‌گراد در تقویت‌کننده عملیاتی تک‌سر ۳۶
شکل (۳-۶) مدار تقویت‌کننده کسکود تاشده تک‌سر، با مدار بایاس [۱۵] ۳۷
شکل (۳-۷) بهره تقویت‌کننده کسکود تاشده تک‌سر با تحلیل دمایی صفر تا ۹۰ درجه سانتی‌گراد ۳۸
شکل (۳-۸) تغییرات ولتاژ بیس ـ امیتر نسبت به دما.....۳۹
شکل (۳-۹) منحنی تغییرات ولتاژ بیس- امیتر در دو جریان متفاوت در دماهای متفاوت ۴۰
شکل (۳-۱۰) هسته اصلی مدار مرجع ولتاژ شکاف‌باند کلیدخازنی بدون مقاومت [۱۵] ۴۰
شکل (۳-۱۱) مدار مرجع ولتاژ شکاف باند کلیدخازنی بدون مقاومت با تقویت کننده معمولی تک سر ۴۱
شکل (۳-۱۲) سیگنال‌های کنترل فازهای کلیدزنی در مدار مرجع ولتاژ شکاف‌باند [۱۵] ۴۲
شکل (۳-۱۳) ولتاژ خروجی و ولتاژ مرجع مدار مرجع ولتاژ شکاف‌باند با تقویت‌کننده‌عملیاتی تک سر ۴۲
شکل(۳-۱۴) مدار مرجع ولتاژ شکاف‌باند کلیدخازنی با تقویت‌کننده‌عملیاتی کسکودتاشده[۱۵] ۴۳
شکل (۳-۱۵) (الف) ولتاژ خروجی و (ب) ولتاژ مرجع و (ج) ولتاژ مرجع با بزرگنمایی زیاد ۴۴
شکل (۳-۱۶) نتایج شبیه‌سازی مونت‌کارلو و هیستوگرام مرجع ولتاژ کلیدخازنی.....۴۵
شکل (۳-۱۷) مدار مرجع ولتاژ شکاف‌باند کلیدخازنی زیر یک ولت [۳۱].....۴۶
شکل (۳-۱۸) مدار مرجع ولتاژ شکاف‌باند کلیدخازنی زیر یک ولت در فاز نخست.....۴۶
شکل (۳-۱۹) مرجع ولتاژ شکاف‌باند کلیدخازنی زیر یک ولت در فاز دوم.....۴۷
شکل (۳-۲۰) (الف) ولتاژ خروجی و (ب) ولتاژ خروجی با بزرگ‌نمایی زیاد ۴۸
شکل (۳-۲۱) نتایج شبیه‌سازی مونت‌کارلو و هیستوگرام مرجع ولتاژ کلیدخازنی زیر یک ولت.....۴۹
شکل(۳-۲۲) پالس‌های کلیدزنی در یک دوره، از مدار مرجع ولتاژشکاف‌باند با حذف ولتاژ آفست[۲۹] ۵۰
شکل(۳-۲۳) مدار مرجع ولتاژشکاف‌باند با حذف ولتاژ آفست [۲۹] ۵۱
شکل (۳-۲۴) (الف) ولتاژ خروجی آپ امپ و (ب) ولتاژ مرجع و (ج) ولتاژ مرجع با بزرگ‌نمایی زیاد ۵۲
شکل (۳-۲۵) نمودار مونت‌کارلو و هیستوگرام مرجع ولتاژ کلیدخازنی با حذف ولتاژ آفست ۵۳
شکل (۴-۱) مدار مرجع ولتاژ کلیدخازنی پیشنهادی ۵۷
شکل (۴-۲) مدار تولید ولتاژ CTAT در ناحیه زیرآستانه[۳۷] ۵۸
شکل (۴-۳) مدار تولیدکننده ولتاژ CTAT برای دست‌یابی به ولتاژ کمتر ۵۹

شکل (۴-۴) مدار بایاس زیرآستانه جهت بایاس منابع جریان مدارهای CTAT [۲۳]..... ۶۰
شکل (۴-۵) مولد ولتاژ CTAT با استفاده از MOS زیر آستانه..... ۶۰
شکل (۴-۶) منحنی تغییرات V_x, V_y در دماهای مختلف ۶۱
شکل (۴-۷) مدار کامل مرجع ولتاژ کلیدخازنی بدون مقاومت در ناحیه زیرآستانه ۶۲
شکل (۴-۸) پالس های کلیدزنی مدار مرجع ولتاژ بدون مقاومت در ناحیه زیرآستانه ۶۳
شکل (۴-۹) ولتاژ نقاط x , y , z ۶۵
شکل (۴-۱۰) ولتاژ خروجی op-amp و ولتاژ مرجع ۶۵
شکل (۴-۱۱) نتایج شبیه‌سازی مونت‌کارلو و هیستوگرام مرجع ولتاژ کلیدخازنی پیشنهادی..... ۶۶
شکل (۴-۱۲) شمای کلی مدار مرجع ولتاژ بدون آپ امپ[۳۹]..... ۶۷
شکل (۴-۱۳) مدار پایه تولیدکننده ولتاژ PTAT زیر آستانه[۳۵] ۶۸
شکل (۴-۱۴) مدار تولیدکننده ولتاژ PTAT زیر آستانه[۳۷] ۶۸
شکل (۴-۱۵) مدار مرجع ولتاژ با ترازیستور CMOS در ناحیه زیرآستانه بدون آپ‌امپ ۶۹
شکل (۴-۱۶) تغییرات ولتاژ PTAT و CTAT و ولتاژ مرجع ۷۰
شکل (۴-۱۷) تغییرات ولتاژهای PTAT و CTAT و ولتاژ مرجع، نسبت به دما در زمان ۱۰۰ میکروثانیه..... ۷۱
شکل (۴-۱۸) ولتاژ خروجی مدار مرجع ولتاژ بدون آپ‌امپ..... ۷۱
شکل (۴-۱۹) نتایج شبیه‌سازی مونت کارلو و هیستوگرام مرجع ولتاژ بدون آپ‌امپ..... ۷۲
شکل (۵-۱) تولید ولتاژ CTAT عدم وابسته به ولتاژ منبع[۳۹] ۷۸

فصل ۱

پیش‌گفتار

۱-۱ مقدمه

با توجه به ساخت دستگاه‌های الکترونیکی دقیق، با مصرف انرژی الکتریکی بسیار پایین، هم‌چنین استفاده از باتری به عنوان منبع‌تغذیه در آن‌ها، مشکل ثبات ولتاژ ورودی(باتری)، و تغییر آن بر اثر دشارژ شدن و تغییر عوامل محیطی، مانند دما و غیره مطرح می‌شود. بر این اساس، طراحی یک مرجع ولتاژ شکاف‌باند(BGR)[1] ، با دقت بسیار زیاد و عدم وابستگی به دما مورد نیاز بوده است.

مراجع ولتاژ، همیشه یک بلوک اساسی هر سیستم الکترونیکی بوده و در حال حاضر یک موضوع تحقیقاتی مهم است، که به‌طور گسترده در چند دهه اخیر مورد مطالعه قرارگرفته است. مراجع ولتاژ شکاف‌باند، مداراتی هستند که ولتاژ مبنای مستقل از دما، ولتاژ ورودی و فرآیند ساخت ایجاد می‌کنند و یکی از بلوک‌های پایه‌ای در منابع‌تغذیه هستند، که در هر دستگاه الکترونیکی پیشرفته مانند سیستم‌های ارتباطی، مدارات حافظه، مبدل‌داده و تقویت‌کننده‌های‌عملیاتی به کار می‌روند.

ساختار کلی یک مرجع ولتاژ شکاف‌باند شامل دو ترانزیستور اتصال دیودی و یک تقویت‌کننده عملیاتی است. هر ترانزیستور به‌طور مجزا در جریان ثابتی کار می‌کند. هرگاه حرارت افزایش یابد ولتاژ بیس ـ امیتر آن‌ها کاهش یافته و این عامل (کاهش ولتاژ با افزایش دما را CTAT[2] می‌نامند. از طرفی سطح دو ترانزیستور استفاده شده یکسان نیست و سطح یکی n برابر دیگری است، لذا با افزایش درجه حرارت، اختلاف ولتاژ بیس ـ امیتر $(\Delta V_{BE} = V_{BE1} - V_{BE2})$دو ترانزیستور افزایش می‌یابد، به این عامل نیز PTAT[3] گفته می‌شود [۱].

مدار فوق براساس رابطه $V_{REF} = \alpha V_1 + \beta V_2$ استوار است، که V_1 دارای ضریب حرارتی منفی و همان عامل CTAT و V_2 دارای ضریب حرارتی مثبت و عامل PTAT است و با تنظیم ضرایب α وβ می‌توان به ولتاژی مستقل از دما دست یافت. مشکلاتی که در این مدارات پیش رو است، تغییر مقادیر

[1] Bandgap voltage reference(BGR)
[2] Complementary to absolute temperature (CTAT)
[3] Proportional to absolute temperature (PTAT)

مقاومت‌ها با دما و حتی نسبت به زمان کارکرد و فضای اشغال‌شده آن‌ها و هم‌چنین نویز مقاومت‌ها است [۲].

این تحقیق روش جدیدی برای ساخت مرجع ولتاژ بیان می‌کند، به طوری که در آن به‌جای ترانزیستورBJT[1] از ترانزیستورهای CMOS[2] استفاده شده است و با ساخت ولتاژ CTAT بصورت چند طبقه، و استفاده از دو مدارجداگانه با ابعاد ترانزیستورهای متفاوت، دو نمونه ولتاژ CTAT با شیب خط برابر، ساخته می‌شود. از نکات مهم این پژوهش، بکارگیری ترانزیستورهای CMOS در ناحیه زیرآستانه[3]، جهت ساخت ولتاژ CTAT است. در این ناحیه ترانزیستور می‌تواند با جریان بسیار کمی (حدود نانوآمپر) کار کند، که این امر سبب کاهش توان تلفاتی می‌شود.

۱-۲ انگیزه این پژوهش

مدارهای مرجع ولتاژ خیلی‌دقیق و پایدار، بطورگسترده در مدارهای دیجیتال و آنالوگ مانند مبدل‌های آنالوگ به دیجیتال. تنظیم‌کننده‌های ولتاژ، حافظه‌های دینامیکی، حافظه‌های فلش و سایر دستگاه‌های ارتباطی استفاده می‌شوند. تقاضا برای فضای کمتر، توان مصرفی کم، حساسیت پایین‌تر نسبت به تغییرات درجه حرارت و تغییرات ولتاژ منبع در حال افزایش است.

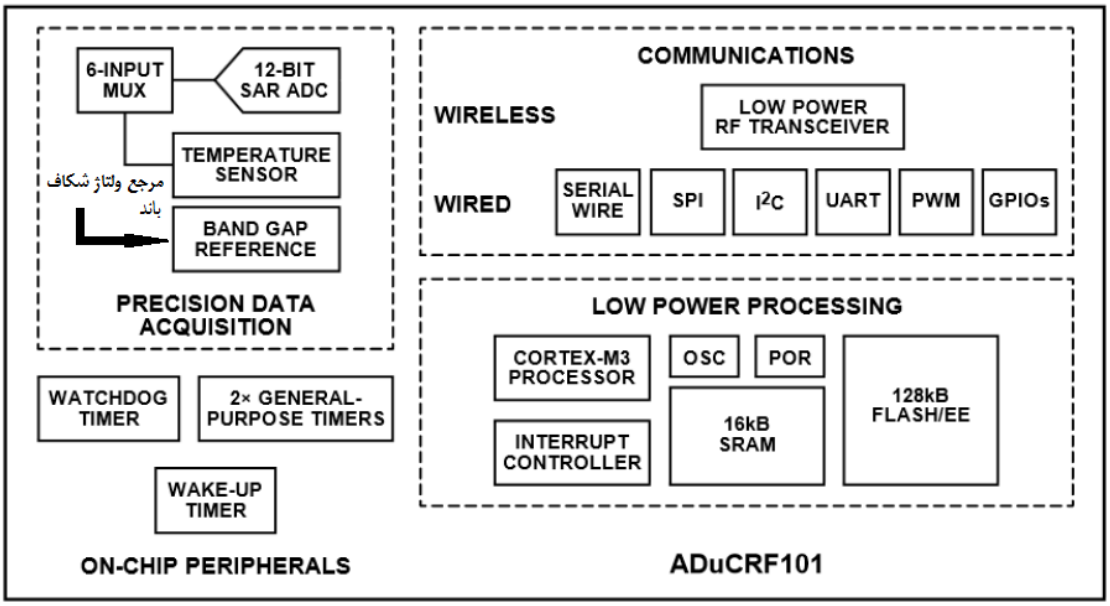
در اکثر مراجع ولتاژ ارائه شده تاکنون، عملکرد مداربه علت استفاده از مقاومت‌های متعدد در هسته مرجع ولتاژ، تحت تاثیر عواملی از جمله سطح اشغالی مقاومت، نویز مقاومت، خطای فرآیند ساخت و تغییرات اندازه مقاومت با دما، قرار می‌گیرد.

علاوه بر این، چون از ولتاژ پیوند p-n در مدار آن‌ها استفاده می‌شود، ولتاژ خروجی، حاصل جمع ولتاژ پیوند و اختلاف دو ولتاژ پیوند در دو سطح متفاوت ترانزیستورها است، لذا ولتاژ این مدارات به حدود بالاتر از ۱/۲ ولت می‌رسد. از طرفی اکثر دستگاه‌ها به لحاظ تقاضای کاربران، بایستی قابل حمل و نقل بوده و در مکان‌های مختلف با شرایط آب و هوایی متفاوت، در دماهای گوناگون قابل استفاده

[1] Bipolar junction transistor(BJT)
[2] Complementary Metal Oxide Semiconductor(CMOS)
[3] Sub-threshold

باشند و هم‌چنین ولتاژ باتری آن‌ها در بازه وسیعی قابل تغییر باشند. لذا مسئله مرجع ولتاژ پایین (زیر یک ولت)، توان مصرفی کم، عدم حساسیت به دما و ولتاژ ورودی و کاهش سطح اشغالی تراشه از مهم‌ترین چالش‌های پیش رو به حساب می‌آید.

شکل (۱-۱) بلوک دیاگرام یک تراشه[1] مدرن از افزاره‌های آنالوگ، که در یک ریزپردازنده مجتمع شده‌اند را نشان می‌دهد و در آن یکی از بلوک‌ها، مرجع ولتاژ شکاف‌باند است.



شکل (۱-۱) بلوک دیاگرام افزاره‌های تراشه پیشرفته، مربوط به یک ریز پردازنده سیستم ارتباطی [۳].

در این پژوهش، با مطالعه انواع مراجع ولتاژ پیشین، سعی شده است تا حد امکان توان مصرفی، مقدار ولتاژ مرجع، حساسیت به دما و تغییرات فرآیند ساخت با ارائه راه حل‌های جدید کاهش داده شود.

۱-۳ نحوه تقسیم بندی پایان‌نامه و نوآوری‌های آن

هدف اصلی و نوآوری‌های این پایان‌نامه، استفاده از ترانزیستورهای CMOS در ناحیه زیرآستانه، به‌جای ترانزیستورBJT است، این کار توان مصرفی را به طور قابل ملاحظه‌ای کاهش می‌دهد.

[1] System on Chip (SoC)

هم‌چنین با استفاده از مدارات تولیدکننده ولتاژ CTAT و PTAT می‌توان به ولتاژ مرجع دلخواه دست یافت. ادامه این پایان‌نامه به چهار فصل تقسیم می‌شود.

در فصل ۲ به معرفی و بررسی چندین مرجع ولتاژ پرداخته خواهد شد و درفصل ۳ به نحوه طراحی و چالش‌های موجود در مراجع ولتاژ شکاف‌باند و تقویت‌کننده‌های عملیاتی بکار رفته در آن‌ها، و هم‌چنین، شبیه‌سازی برخی از این مدارها و مقایسه نتایج آن‌ها پرداخته خواهد شد. در فصل ۴ با ارائه پیشنهادهای جدید مداری، محاسباتی و در نهایت شبیه‌سازی آن‌ها، سعی شده است برخی مشخصه‌ها تا حد امکان بهبود داده شود. ازجمله کارهایی که در این فصل ارائه خواهد شد، به‌کارگیری مدارهای CTAT با استفاده از ترانزیستورهای CMOS است، که چالش‌های طراحی آن‌ها مورد بحث و بررسی قرار خواهد گرفت، در ادامه، دو مدار مرجع ولتاژ با استفاده از ترانزیستور CMOS، طراحی خواهد شد، مدار مرجع نخست، یک مرجع ولتاژ کلیدخازنی شامل تقویت‌کننده عملیاتی، مدار بایاس، و مدارات تولیدکننده ولتاژ CTAT در ناحیه زیرآستانه است. مدار دوم، با حذف تقویت‌کننده عملیاتی و بکارگیری مدارات PTAT و CTAT در ناحیه زیرآستانه، سعی شده است جریان مصرفی مدار، به طور قابل توجهی کاهش داده شود.

در خاتمه این پایان‌نامه در فصل پنجم به نتیجه‌گیری و بیان ادامه کارهای پیش‌رو پرداخته خواهد شد.

فصل ۲

مراجع ولتاژ شکاف‌باند

۲-۱ مقدمه

یکی از بخش‌های مهم مدارات مدیریت توان، مرجع ولتاژ است. با توجه به کاربرد و اهمیت مدیریت توان در تمامی مدارهای مجتمع آنالوگ و دیجیتال، مخلوط‌کننده‌های سیگنال، حافظه‌ها، تقویت کننده‌های عملیاتی و مبدل‌های داده، این بلوک نیز از اهمیت بسیار زیادی برخوردار است.

مرجع ولتاژ باید یک ولتاژ پایدار به منظور استفاده سایر قسمت‌های سیستم فراهم کند. مرجع ولتاژ، چه در یک تقویت‌کننده به منظور تثبیت نقطه‌کار استفاده شود، یا حتی اگر به منظور مقایسه در مبدل‌های داده به کار گمارده شود، دقت کل سیستم را به‌طور مستقیم تحت تاثیرخود قرار می‌دهد.

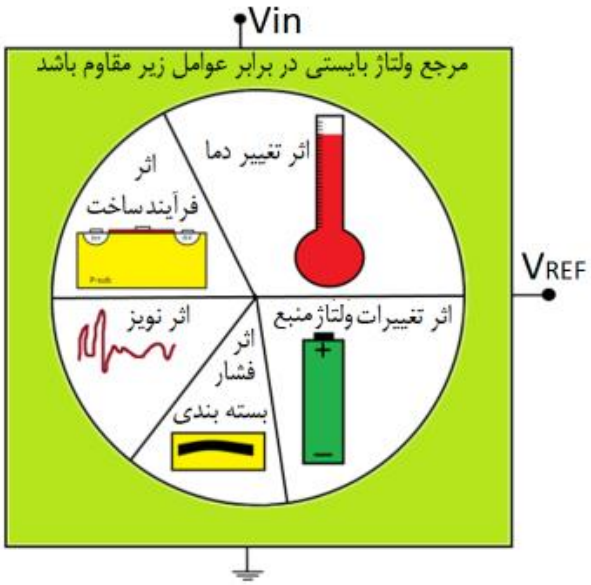
از زمان معرفی مرجع ولتاژ شکاف‌باند توسط ویدلار[1] [۴]، فن‌آوری مراجع ولتاژ شکاف‌باند به‌طور گسترده‌ای برای ایجاد یک مرجع ولتاژ در مدارهای مجتمع استفاده شده است. پایداری حرارتی مدارات مبتنی بر مرجع ولتاژ شکاف‌باند به‌طور مداوم از طریق نوآوری‌هایی در سطح فرآیند ساخت، مانند تنظیم به کمک لیزر و در نوع مداری، جبران‌ساز انحنای منحنی و حذف ولتاژ آفست تقویت‌کننده عملیاتی بهبود داده شده‌اند[۵-۸].

غالب این تلاش‌ها در راستای مستقل نمودن هر چه بیشتر اندازه ولتاژ خروجی نسبت به تغییرات دما، منبع تغذیه و فرآیند ساخت بوده است.

بطور ایده‌آل یک مرجع ولتاژ، مداری است که ولتاژی ثابت و پایدار فراهم کند، تا به تغییرات درجه‌حرارت، ولتاژ منبع‌تغذیه، جریان‌بار و تنوع ساخت حساس نباشد.

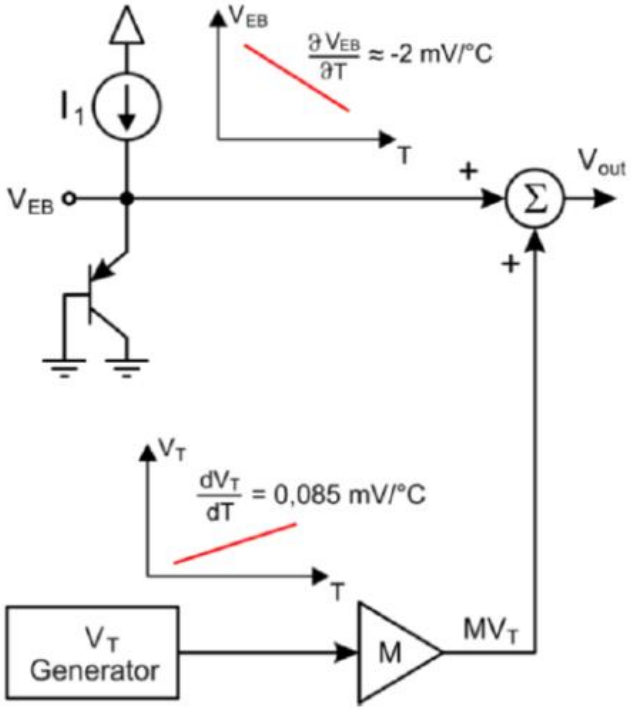
شکل (۲-۱) عوامل اصلی موثر در تغییر اندازه ولتاژ مرجع خروجی، در یک فرآیند ساخت را نشان می‌دهد، که یک مرجع ولتاژ دقیق باید در مقابل همه عوامل مزاحم موجود در این شکل مقاوم باشد. در بین این عوامل، کاهش وابستگی حرارتی ولتاژ مرجع، مهم‌ترین چالش طراحی است. در این قسمت، به معرفی اولین مرجع ولتاژ شکاف‌باند معرفی شده و روابط حاکم بر آن می‌پردازیم.

[1] Robert widlar



شکل (۲-۱) عوامل موثر در تغییر اندازه مرجع ولتاژ [۹].

همه این موارد در هنگام مشخص‌کردن ولتاژ مرجع مهم است. جریان بار ممکن است نادیده گرفته شود، چون خروجی مرجع ولتاژ می‌تواند به گیت MOSFET[1] داده شود، اما پارامترهای دیگر معمولا نگران‌کننده هستند. شکل(۲-۲) مفهوم اساسی یک مرجع ولتاژ شکاف‌باند را نشان می‌دهد.



شکل(۲-۲) مفهوم اساسی یک مرجع ولتاژ شکاف باند[۴].

[1] Metal Oxide Semiconductor Field Effect Transistor (MOSFET)

درشکل(۲-۲) ولتاژ CTAT توسط ترانزیستور BJT با شیب $-2mV/°C$ و ولتاژ PTAT توسط ولتاژ حرارتی (V_T) با شیب $0.085mV/°C$ تولید می‌گردد، که جهت خنثی‌کردن تغییرات حرارتی یکدیگر در M نیز ضرب و ترکیب آن‌ها باعث ایجاد ولتاژ مرجع مستقل از دما خواهد شد.

در حل موضوعات ذکر شده، برای پیاده‌سازی یک مرجع ولتاژ مستقل از دما، به وضوح توسط مرجع شکاف‌باند کلاسیک ویدلار نشان داده شده است، هدف اصلی این پایان‌نامه به این سمت خواهد بود. برای مقایسه عملکرد مراجع ولتاژ، معیارهای زیر در نظر گرفته می‌شوند[۱۰]:

۱) ضریب دمایی موثر (TC_{EFF})[1]
۲) کمترین ولتاژ تغذیه ($V_{DD}, \min$)
۳) توان مصرفی
۴) نویز
۵) حساسیت به ولتاژ تغذیه (LS)[2]
۶) نسبت حذف منبع تغذیه (PSRR)[3]
۷) سطح اشغالی سیلیکن

$$LS = \frac{V_{REF(\max)} - V_{REF(\min)}}{\Delta V_{DD}} \qquad (۱-۲)$$

$$PSRR(j\omega) = \frac{\upsilon_{REF(j\omega)}}{\upsilon_{DD(j\omega)}} \qquad (۲-۲)$$

۲-۲ مرجع ولتاژ ویدلار

مفهوم ولتاژ مرجع شکاف‌باند، اولین‌بار در سال ۱۹۷۱ میلادی توسط رابرت ویدلار معرفی شد. او هم‌چنین فعالیت خود را برای بارهای متغیر توسعه داد، اما تمرکز ما فقط روی مرجع ولتاژ خواهد بود.

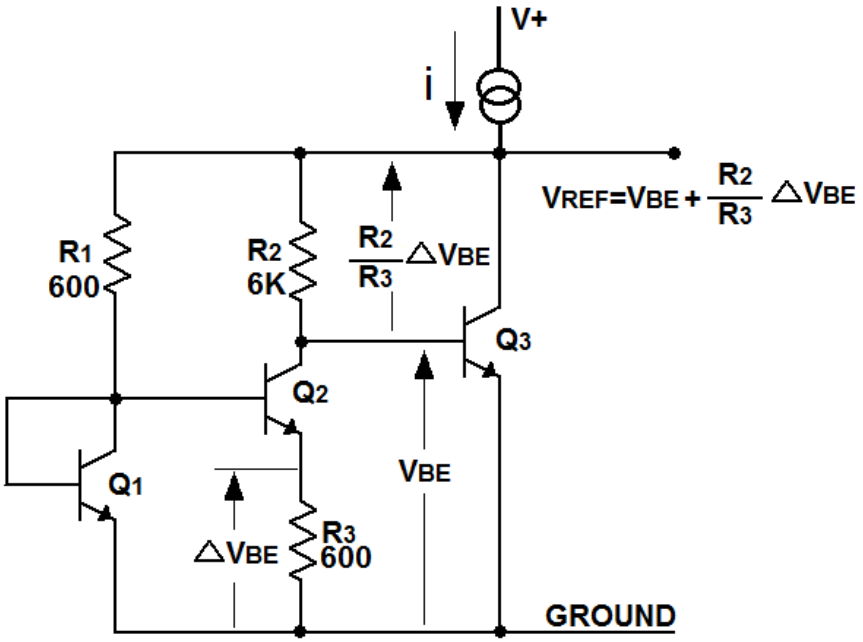
ایده پیشنهادی در شکل (۲-۳) نشان داده شده است. این‌کار در فن‌آوری دو قطبی با ولتاژ کمتر از ولتاژ شکست دیود زنر، پیاده‌سازی شده است. مراجع ولتاژ پیش از این، زیر ۵ ولت ساخته نشده‌اند، زیرا از ولتاژ شکست دیود زنر، که ولتاژ آن در حدود ۵ تا ۶ ولت بود، استفاده می‌کردند[۱۱].

[1] Temperature Coefficient
[2] Line Sensitivity
[3] Power Supply Rejection Ratio

مدار پیشنهادی ویدلار بجای زنر، با استفاده از ضریب حرارتی منفی پیوند دیود بیس ـ امیتر ترانزیستور دوقطبی، جبران شده با یک ضریب حرارتی مثبت، از ولتاژ حاصل از اختلاف دو ولتاژ بیس‌ـ امیتر ترانزیستورهای بکار گرفته شده در جریان‌های متفاوت، استفاده کرده است[۱۲].

از آنجا که مولفه CTAT ولتاژ مرجع، اغلب به کمک ولتاژ دو سر یک دیود یا ترانزیستور اتصال دیودی فراهم می‌شود، برای جبران‌سازی کامل حرارتی، به ولتاژ PTAT به همان مقدار نیاز است، لذا ولتاژ مرجع خروجی تقریبا نزدیک ولتاژ شکاف‌باند سیلیکن به مقدار تقریبی 1.205^{V} می‌رسد[۱۳].

ولتاژ مرجعی که جزئی از آن با پیوند بیس ـ امیتر ساخته می‌شود، از جملات مختلف وابسته به توان‌های مختلف دما تشکیل شده است، که مولفه DC یا غیر وابسته به دمای این ولتاژ، ولتاژ شکاف‌باند سیلیکن می‌باشد[۱۴].



شکل (۲-۳) مرجع ولتاژ شکاف‌باند کلاسیک ویدلار[۴].

در این مدار Q_1 بعنوان یک مولد با چگالی جریان زیاد عمل می‌کند، چگالی جریان Q_2 به اندازه ده‌برابر کمتر از Q_1 است و اختلاف ولتاژ بیس‌ـ امیتر (ΔV_{BE})روی مقاومت R_3 قرار خواهد گرفت.

با توجه به جریان امیتر و جریان کلکتور، اگر بهره ترانزیستور بالا باشد، Q3 بعنوان یک تقویت‌کننده عمل می‌کند. تعریف جریان‌کلکتور ترانزیستورBJT توسط ویدلار در سال ۱۹۷۱ بصورت رابطه (۲-۱) تعریف می‌شود:

$$I_C = I_0 e^{\frac{V_{BE}}{mV_T}-1} \qquad (۳-۲)$$

در اینجا I_0 ضریبی ثابت است و به فرآیند ساخت وابسته است، m ضریب انتشار و V_T ولتاژ حرارتی است، که برابر $(k.T/q)$ می‌باشد، k ثابت بولتزمن، q بار الکترون و T دمای 300 درجه کلوین است.

اگر دو ترانزیستور با چگالی جریان‌های متفاوت کلکتور (J_i) کار کنند ولتاژ بیس- امیتر آن‌ها از رابطه زیر بدست می‌آید[۱۵]:

$$\Delta V_{BE} = V_T \ln\left(\frac{J_1}{J_2}\right) \qquad (۴-۲)$$

در شکل (۲-۱) ارائه شده توسط ویدلار ولتاژ خروجی شکاف‌باند به فرم زیر محاسبه می‌شود:

$$V_{REF} = V_{R2} + V_{BE} = R_2 \times I_{C2} + V_{BE} \qquad (۵-۲)$$

به شرط اینکه بهره Q_2 و Q_3 زیاد باشد می‌توان از جریان بیس آن‌ها صرف‌نظر نمود، پس می‌توان نوشت:

$$V_{REF} = V_{BE} + \frac{R2}{R3} \times \Delta V_{BE} \qquad (۶-۲)$$

مقاومت‌های R_1 و R_2 بایستی طوری انتخاب شوند که نسبت جریان‌های متفاوت Q_1 و Q_2 را فراهم کنند، تا تغییرات ولتاژ خروجی، نسبت به تغییرات دما به صفر برسد. هم‌چنین نسبت R_2 و R_3 در تامین این خواسته، طبق رابطه فوق موثر است.

$$V_{BE} = V_{G0} - C \times T \qquad (۷-۲)$$

$$V_{REF} = V_{G0} - C \times T + \frac{R2}{R3} \times \frac{k.T}{q} \times \ln\left(\frac{J_1}{J_2}\right) \qquad (۸-۲)$$

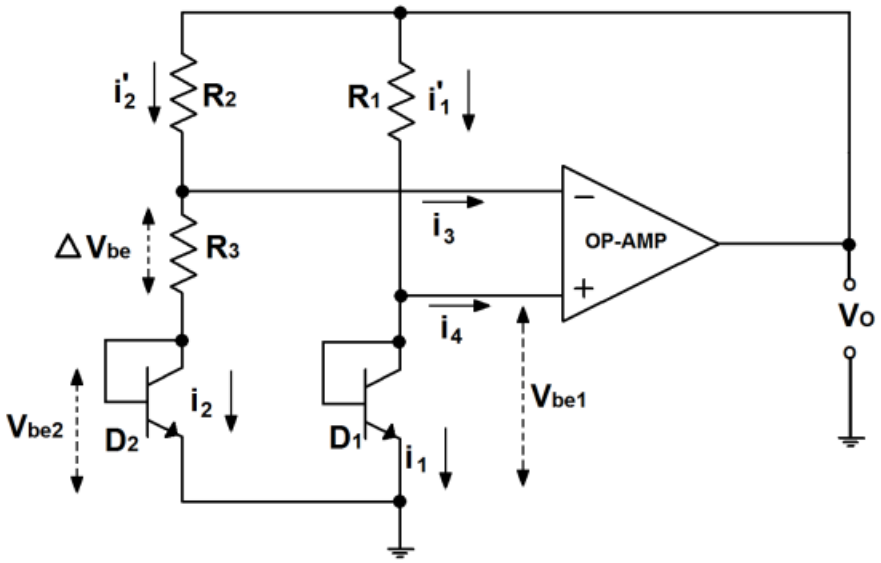
$$\frac{\partial V_{REF}}{\partial T} = -C + \frac{R2}{R3} \times \frac{k}{q} \times \ln\left(\frac{J_1}{J_2}\right) = 0 \qquad (۹-۲)$$

$$C = \frac{R2}{R3} \times \frac{k}{q} \times \ln\left(\frac{J_1}{J_2}\right) \qquad (۱۰-۲)$$

در روابط بالاV_{G0} ولتاژ شکاف‌باند سیلیکن در دمای صفر درجه کلوین، C ضریب یا همان شیب تغییرات ولتاژ نسبت به تغییرات دما و T دمای مطلق است[۱۶].

۲-۳ اولین مرجع ولتاژ شکاف‌باند، با استفاده از تقویت‌کننده‌عملیاتی

کوئیج[1] در سال۱۹۷۳یک مرجع ولتاژ شکاف‌باند با استفاده از تقویت‌کننده عملیاتی و ترانزیستورهای دوقطبی اتصال دیودی ارائه نموده شکل (۲-۴) مدار آنرا نشان می‌دهد.



شکل (۲-۴) **اولین مرجع ولتاژ شکاف‌باند، با استفاده از تقویت‌کننده‌عملیاتی**[۱].

در این مدار ولتاژ R_3 اختلاف ولتاژ دو اتصال دیودی است، چون op-amp[2] در مدار بصورت بازخورد منفی بسته شده است، لذا ولتاژهای ورودی آن بایستی برابر باشند، پس داریم:

$$V_{R3} = \Delta V_{BE} = V_{BE1} - V_{BE2} \qquad (۱۱-۲)$$

[1] KUIJK
[2] Operating amplifier

$$V_O = V_{BE1} + R_2.I'_2 = V_{BE1} + R_2 \times \frac{\Delta V_{BE}}{R_3} \qquad (۱۲-۲)$$

$$\frac{I_1}{I_2} = \frac{R_2}{R_1} \qquad (۱۳-۲)$$

$$V_O = V_{BE1} + \frac{R_2}{R_3} \times \Delta V_{BE} = V_{BE1} + \frac{R_2}{R_3} \times V_T . \ln\left(\frac{I_{02}}{I_{01}} \times \frac{R_2}{R_1}\right) \qquad (۱۴-۲)$$

نسبت‌های R_2/R_1 و R_2/R_3 چندان به دما وابسته نیستند و I_0 از رابطه (۲-۱۵) بدست می‌آید [۱۷]:

$$I_0 = A.T.n_i^2.\bar{\mu}_n \rightarrow n_i^2 = B.T^3.e^{\frac{-V_{G0}}{V_T}} \rightarrow \bar{\mu} = C.T^{-n} \qquad (۱۵-۲)$$

$\bar{\mu}_n$ قابلیت‌تحرک الکترون، n پارامتر وابسته به آلایش[۱]، V_{G0} ولتاژشکاف‌باند در صفر درجه کلوین، برابر 1.205^V و A, B, C پارامترهایی غیر وابسته به دما هستند[۱۸].

$$D = A.B.C \rightarrow I_0 = D.T^{\eta}.e^{\frac{-V_{G0}}{V_T}} \rightarrow \eta = 4 - n \qquad (۱۶-۲)$$

با محاسبه خواهیم داشت:

$$V_O = V_{G0} + (\eta - 1) \times \frac{k.T}{q} - (\eta - 1) \times \frac{k.T}{q} \times \ln\left(\frac{T}{T_0}\right) \qquad (۱۷-۲)$$

اگر $\Delta T / T_0 << 1 \rightarrow T = T_0 + \Delta T$ پس خواهیم داشت:

$$V_O = V_{G0} + (\eta - 1) \times \frac{k.T_0}{q} - \frac{1}{2}(\eta - 1) \times \frac{k.T_0}{q} \times \left(\frac{\Delta T}{T_0}\right)^2 \qquad (۱۸-۲)$$

ولتاژخروجی در $T = T_0$ برابر است با:

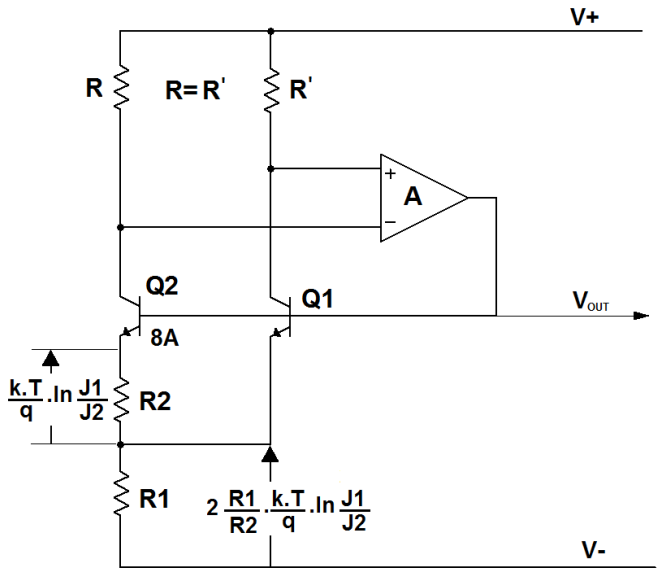
$$(V_O)_{T_0} = V_{G0} + (\eta - 1) \times \frac{k.T_0}{q} \qquad (۱۹-۲)$$

در ناخالصی طبیعی $n \cong 1.8$، تعداد اتم بر سانتی‌متر مکعب برابر 5×10^{16} و $\eta \cong 2.2$. با قرار دادن مقادیر فوق در معادله، مقدار $V_{G0} = 1.205^V$ و $V_{0(300^{\circ}K)} = 1.236^V$ بدست می‌آید. در صورت انحراف درجه حرارت به مقدار $\Delta T = 30^{\circ}k$، تغییرات ولتاژ خروجی به مقدار $-156^{\mu V}$ خواهد رسید.

[1] Doping

۲-۴ مرجع ولتاژ بروکا[1]

در سال ۱۹۷۴ پائول بروکا مدار مرجع ولتاژ شکاف‌باند خود را معرفی نمود[۸]، در این مدار با استفاده از تقویت‌کننده عملیاتی، ولتاژهای دوسر مقاومت‌های R, R' برابر است، لذا جریان‌های کلکتور Q_1و Q_2 با هم برابرند $(I_{C1} = I_{C2})$. در نتیجه دو سر R_2 اختلاف ولتاژ بیس ـ امیتر (ΔV_{BE}) ظاهر خواهد شد و جریان‌های امیتر Q_1و Q_2 از مقاومت R_1 عبور می‌کند. در این‌صورت ولتاژ خروجی از رابطه (۲-۲۰) بدست می‌آید، شکل (۲-۵) مدار معرفی شده توسط بروکا را نشان می‌دهد.



شکل (۲-۵) مرجع ولتاژ شکاف‌باند بروکا [۸].

$$V_O = V_{REF} = V_{BE1} + V_{R1} \qquad (۲۰-۲)$$

$$V_{R1} = R_1 \times 2I_C = R_1 \times 2 \times \frac{\Delta V_{BE}}{R_2} = \frac{2R_1}{R_2}\Delta V_{BE} \qquad (۲۱-۲)$$

$$V_O = V_{REF} = V_{BE1} + \frac{2R_1}{R_2}\Delta V_{BE} = V_{BE1} + \frac{2R_1}{R_2} \times V_T \ln\left(\frac{J_1}{J_2}\right) \qquad (۲۲-۲)$$

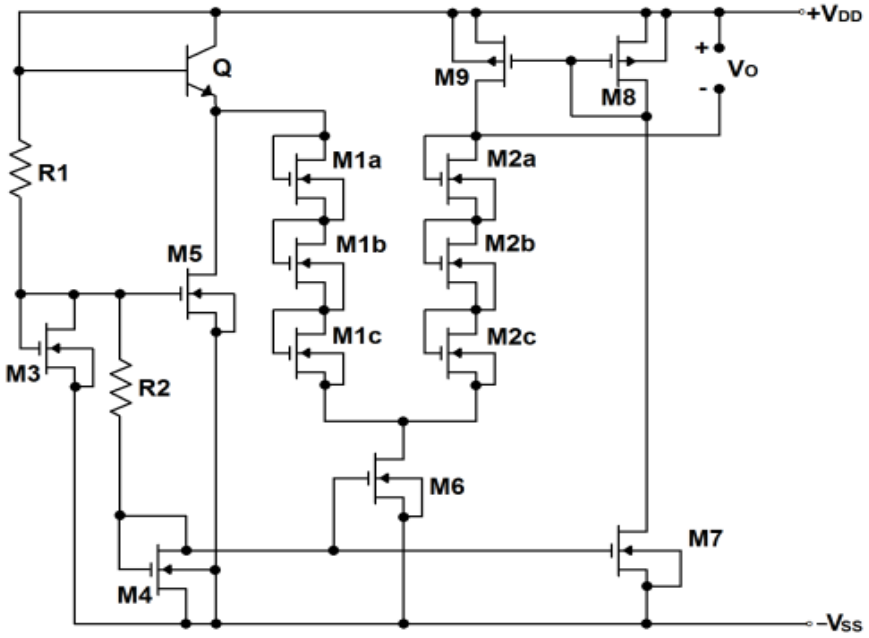
در رابطه (۲-۲۰) نسبت‌های R_1/R_2 وابستگی چندانی به دما ندارند، جمله اول، ولتاژ CTAT را فراهم می‌کند و جمله دوم ولتاژ PTAT را می‌سازد، با تنظیم مقادیر مقاومت‌ها، تغییرات ولتاژ مرجع نسبت به دما می‌تواند به صفر نزدیک شود.

[1] Brokaw

۲-۵ مرجع ولتاژ با استفاده از ترانزیستورCMOS در ناحیه زیرآستانه

در سال ۱۹۷۸ اولمر[1][۱۹]، یک مرجع ولتاژ CMOS طراحی نمود، که در آن یک ترانزیستور NPN بر روی زیرلایه نوع N استفاده شده بود. این مدار تولید ولتاژ PTAT را با استفاده از یک جفت دیفرانسیلی ماسفت نامتعادل شده با عملکرد در ناحیه وارونگی ضعیف انجام می‌داد.

او هم‌چنین تولید چند ولتاژ PTAT بصورت آبشاری، که شامل ترانزیستورهای M_1 و M_2 هستند را برای رسیدن به ولتاژ تقریبی ۰/۶ ولت، بکار گرفت، شکل (۲-۶) مدار آنرا نشان می‌دهد.

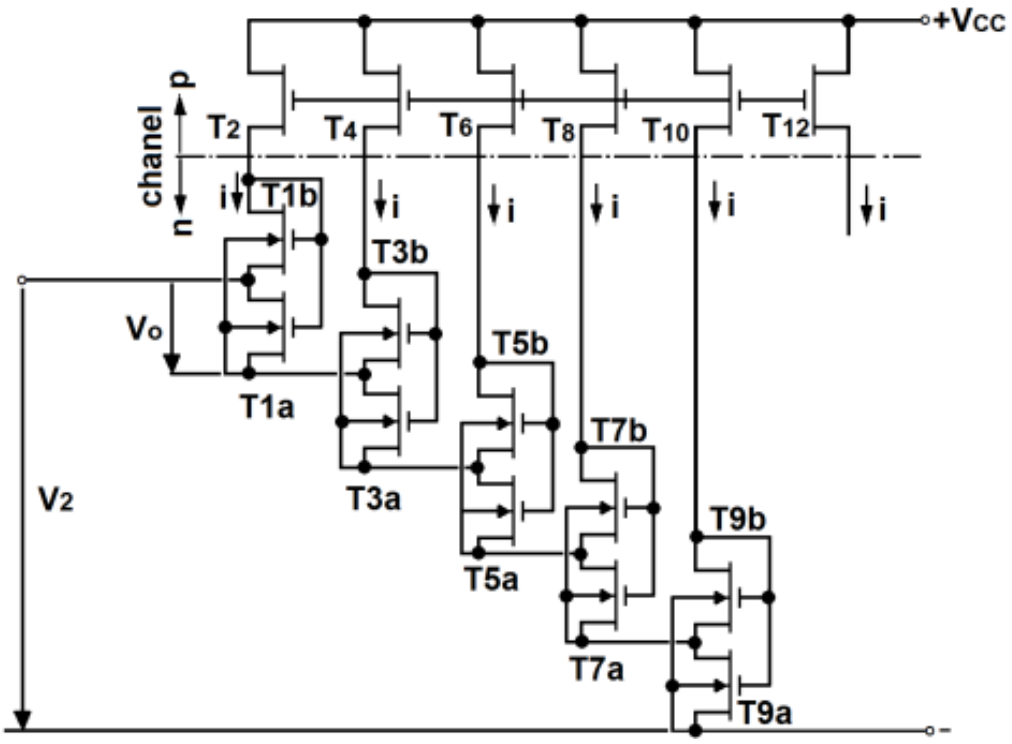


شکل (۲-۶) مرجع ولتاژ CMOS در ناحیه زیرآستانه[۱۹].

۲-۶ تولید ولتاژ PTAT خودآبشاری

در سال ۱۹۷۹ ویتوز و نیرود[2] [۲۰]، مدار ولتاژ PTAT بصورت خودآبشاری[3] را معرفی کرده و هم‌چنین یک مرجع ولتاژ، زیر یک ولت ارائه نمودند. مدار ارائه شده، از پایداری خوبی در حد سه میلی‌ولت در بازه بیشتر از $100^{\circ C}$ برخوردار است، که نتیجه آن حتی در مدارهای امروزی قابل استناد است. ساختار استفاده شده در شکل (۲-۷) آمده است.

[1] ULMER
[2] NEYROUD
[3] Self cascode

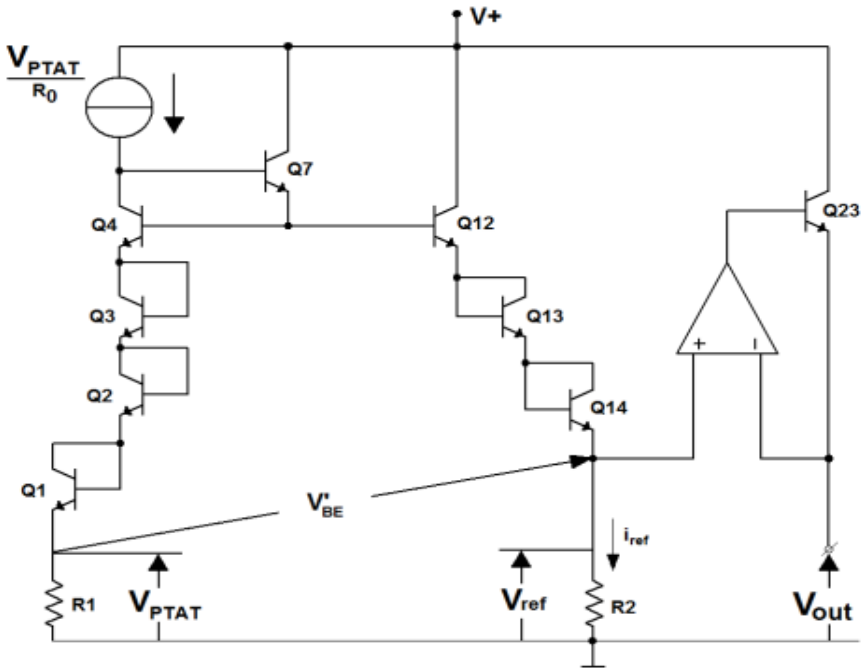


شکل (۲-۷) سلول های خودآبشاری PTAT [۲۰].

۲-۷ اولین مدار جبران‌ساز انحنای منحنی در پیوند بیس_امیتر

در سال ۱۹۸۲ میجر و همکارانش [۲۱] برای اولین بار، طرح جبران‌ساز انحنای منحنی ارائه نمودند، این کار به وسیله چهار اتصال پیوند بیس ـ امیتر، ترانزیستورهای Q_1 تا Q_4 با یک جریان PTAT در برابر سه سری اتصال پیوند بیس ـ امیتر Q_{12} تا Q_{14} که جریان ثابتی دارند، پیاده‌سازی شده است. جریان PTAT ساخته شده توسط Q_1 تا Q_4، ولتاژ بیس ـ امیتری ایجاد خواهد کرد که در برابر تغییرات دما، حدود بیشتر از ۲۵٪ خطی است[۱۰].

با توجه به شکل (۲-۸)، در صورت کاهش سه ولتاژ بیس ـ امیتر از چهار ولتاژ بیس ـ امیتر با کمتر از ولتاژآستانه، بازه غیرخطی ولتاژ V'_{BE} با دما بطور خطی تغییر می‌کند. این بخش خطی از V'_{BE} بوسیله R_1، که یک ولتاژ مرجع قابل دسترس در امیتر Q_{14} می‌سازد از بین می‌رود. در این‌حالت جریان مستقل از دما بدست می‌آید. خروجی مدار با تقویت‌کننده و ترانزیستور عبوری Q_{23} تنظیم می‌گردد.

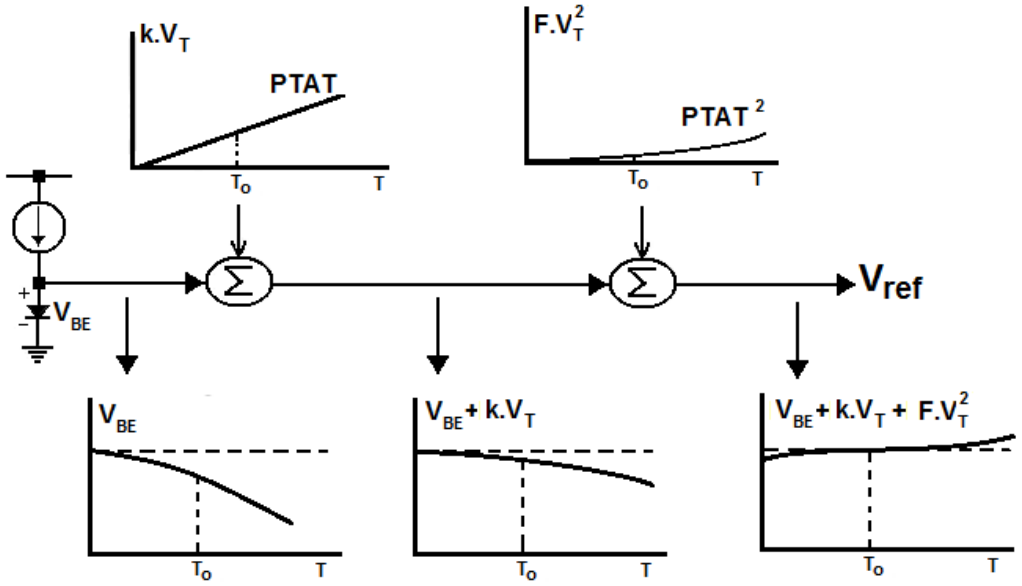


شکل (۲-۸) مدار اصلاح انحنای منحنی ولتاژ مرجع شکاف‌باند، با رفتار خطی شده دمایی ولتاژ بیس- امیتر [۲۱].

۲-۸ جبران ساز انحنای منحنی در پیوند بیس امیتر

نخستین باری که از خازن در اصلاح جبران‌ساز منحنی مدارات شکاف‌باند استفاده شد، مربوط به [۲] است. در این پژوهش خطاهای ناشی از ولتاژ آفست تقویت‌کننده عملیاتی، خطای ناشی از جریان بایاس ترانزیستورهایی که ولتاژ PTAT را می‌سازند و خطای ناشی از مقاومت‌های بایاس با دما مورد بررسی دقیق قرارگرفته و برای کاهش اثر آن‌ها پیشنهاداتی ارائه‌شده است. برای کاهش اثر آفست، دو تقویت‌کننده به صورت متوالی[1]، در مدار قرار دارد و در آن از کلیدهای CMOS بهره گرفته است. برای کاهش اثر جریان بیس، این جریان به امیتر بازخورد شده است. برای ایجاد ثبات در جریان امیتر، از یک منبع جریان استفاده شده و برای کاهش اثر مقاومت بیس ترانزیستور، از نفوذ مقاومت فشرده در چاه n بهره جسته و درنهایت، ولتاژ مرجع $1.192 \pm 1mV$ تولید شده است. ولتاژ تغذیه مدار $5V$ با توان مصرفی $12mW$ و $T_C = 25.6\,ppm$ در بازه دمایی $-55^{\circ}C$ تا $+125^{\circ}C$ می‌باشد. شکل (۲-۹) جبران‌سازی انحنای منحنی و مراحل آنرا نشان می‌دهد.

[1] Cascade



شکل (۲-۹) مفهوم جبران‌ساز انحنای منحنی ولتاژ پیوند بیس ـ امیتر توسط سونگ ـ گری [۲].

۲-۹ مراجع ولتاژ کلیدخازنی

۲-۹-۱ استفاده از ترانزیستور MOS به عنوان کلید

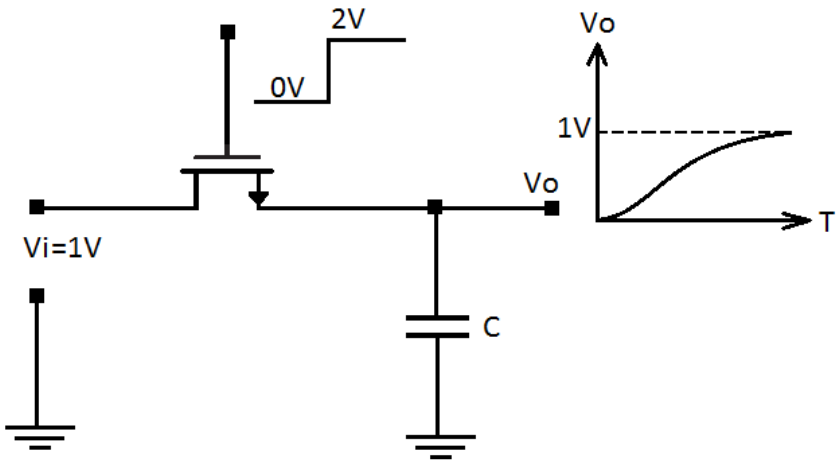
پیاده‌سازی مدار تقویت‌کننده کلیدخازنی در فن‌آوری CMOS بسیار ساده‌تر از دیگر فن‌آوری‌ها است. چون انجام عملیات بطور گسسته در زمان به کلیدهایی احتیاج دارد که نمونه‌برداری کنند و هم‌چنین با داشتن امپدانس ورودی بالا بدون خراب کردن سیگنال آنرا ذخیره کنند[۱۳].

برای یک مدار کلیدخازنی CMOS دو نوع سیگنال احتیاج است. سیگنالی که در زمان خاص از ورودی CMOS به خروجی آن انتقال یابد و دیگری، پالسی که خود CMOS احتیاج دارد تا در زمان خاص بعنوان کلید روشن یا خاموش شود. با توجه به مقدارسیگنال ورودی که می‌خواهد از ورودی به خروجی یک کلید CMOS انتقال یابد، نوع ترانزیستور از نظر NMOS یا PMOS انتخاب خواهد شد[۱۳].

۲-۹-۲ کاربرد ترانزیستورNMOS در مدارکلید خازنی:

اگر پالسی که قرار است به گیت NMOS داده شود، مثبت باشد و سیگنال ورودی به درین تزریق شود، تا زمانی که ولتاژ خروجی به ولتاژ آستانه نرسیده باشد، خروجی ورودی را دنبال خواهد کرد و

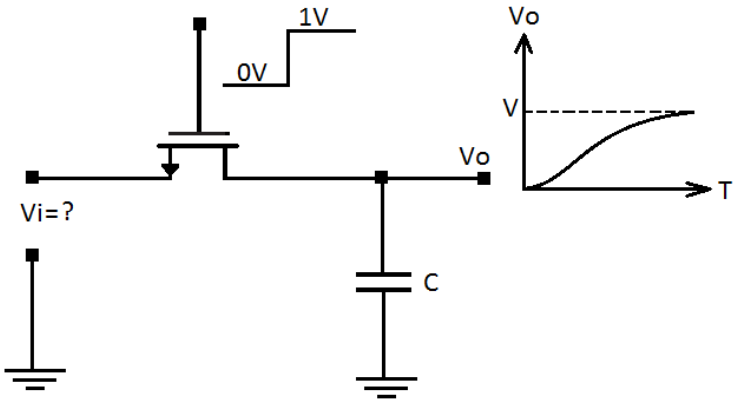
زمانی که ولتاژ سورس نسبت به گیت از ولتاژ آستانه بیشتر باشد خروجی سیگنال ورودی را دنبال نمی‌کند[۱۳]. یکی از مزایای ترانزیستور CMOS نسبت به BJT این است که ترانزیستور می‌تواند با جریان صفر روشن باشد، در حالی‌که در ترانزیستور BJT این عمل غیر ممکن است. از دیگر مزیت‌های CMOS نسبت به BJT این است که اگر ولتاژ گیت تغییر کند، ولتاژ درین و سورس این تغییرات را دنبال نمی‌کنند[۱۳]. شکل (۲-۱۰) عملکرد کلیدی NMOS در یک مدار کلیدخازنی در صورتی که درین ورودی و سورس خروجی باشد را نشان می‌دهد.



شکل (۲-۱۰) کاربرد NMOS در مدار کلیدخازنی درین ورودی[۱۳].

با توجه به شکل فوق، ولتاژ گیت ـ سورس در ابتدا صفر است، با اعمال پالس به گیت آن، $V_{gs}=2V$ می‌شود، در این‌حالت ترانزیستور به اشباع رفته و بعنوان کلید، ورودی را در خروجی ظاهر می‌سازد. این نکته حائز اهمیت است که بایستی ورودی از $(V_{gs}-V_{th})$ کمترباشد. در غیراین‌صورت خروجی، ورودی را دنبال نمی‌کند. در این مثال اگر ولتاژ آستانه ۰/۴۵ولت باشد، ولتاژ ورودی باید زیر ۱/۵۵ ولت باشد، در غیر این‌صورت $V_o=V_i$ نخواهد بود.

شکل (۲-۱۱) عملکرد کلید NMOS را در یک مدار کلیدخازنی در صورتی که سورس ورودی و درین خروجی باشد را نشان می‌دهد. در حالتی‌که ولتاژ گیت صفر است این ترانزیستور بایستی بعنوان کلید باز عمل نماید در این‌حالت ولتاژ سورس نباید از Vth– پایین‌تر باشد در غیر این صورت ترانزیستور روشن شده و سیگنال ورودی را به خروجی انتقال می‌دهد.

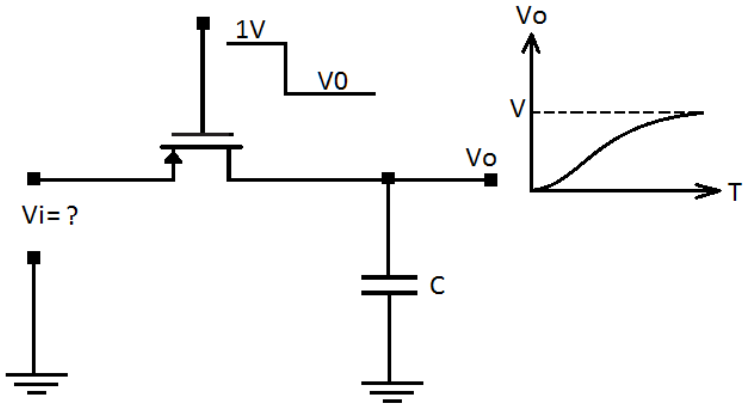


شکل (۲-۱۱)کاربرد NMOS در مدار کلیدخازنی سورس بعنوان ورودی[۱۳].

باتوجه به شکل (۲-۱۱)، بدیهی است این مدار کلیدخازنی، برای ولتاژهای ورودی زیر ۰/۵۵ ولت کار می‌کند و ولتاژهای بالاتر از ۰/۵۵ ولت را دنبال نخواهد کرد. مشکل این مدار، عدم کارایی آن در زمان انتقال ولتاژهای بالاتر از این مقدار است. یعنی $-0.45V < V_i < 0.55V$ باشد.

۲-۹-۳ کاربرد ترانزیستور PMOS در مدارکلید خازنی:

اگر بخواهیم ولتاژهای بالاتر از ۰/۴۵ ولت در حالت قبل را انتقال دهیم، از ترانزیستور PMOS کمک می‌گیریم، به گونه‌ای که سورس ورودی و درین خروجی باشد. بعنوان مثال در شکل زیر با توجه به پالس ساعت، در صورتی‌که V_{th}= -0.45 V باشد، با توجه به پالس ساعت روی گیت، محدوده تغییرات Vi برای اینکه خروجی بتواند ورودی را دنبال کند مورد بررسی قرار می‌گیرد.



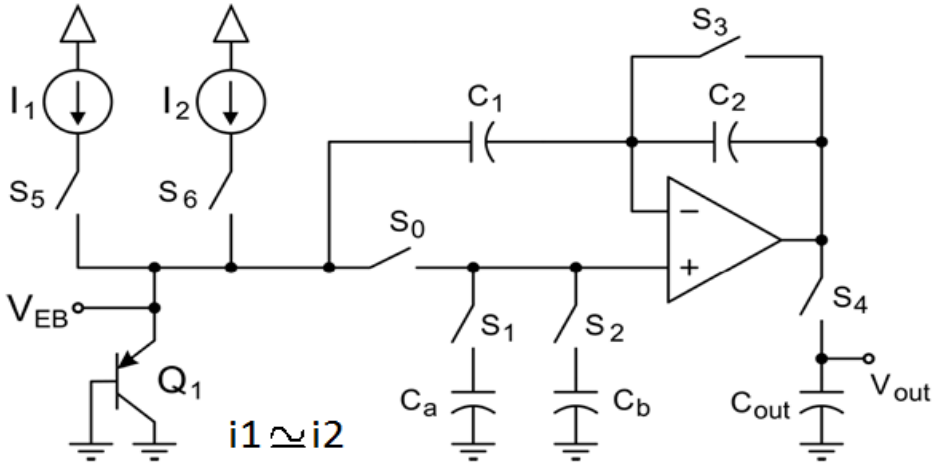
شکل (۲-۱۲)کاربرد PMOS در مدار کلیدخازنی سورس بعنوان ورودی[۱۳].

با توجه به پالس ساعت روی گیت، با اعمال ولتاژ یک ولت به گیت، ترانزیستور باید بعنوان کلید قطع عمل نماید، با فرض اینکه ولتاژآستانه ۰/۴۵- ولت باشد، Vi<1.45V بدست می‌آید. اگر ترانزیستور بخواهد بعنوان کلید وصل عمل کند، باید $V_{gs} < V_{th}$ باشد[۲۰]، در نتیجه Vi>0.45V محاسبه می‌گردد، پس ولتاژ ورودی باید بین ۰/۴۵ولت تا ۱/۴۵ ولت باشد. تا ترانزیستور بتواند رفتار مورد نظر را داشته باشد.

نتایج تحلیل فوق: در کلیدهای NMOS اگر سطح سیگنال ورودی نزدیک به V_{DD} باشد، خروجی نمی‌تواند ورودی را دنبال کند. به‌عبارت دیگر مقاومت حالت روشن کلید به‌صورت چشم‌گیری با نزدیک شدن ولتاژهای ورودی و خروجی به V_{DD}-V_{th} افزایش می‌یابد[۱۳].

۲-۱۰ مرجع ولتاژ شکاف‌باند کلیدخازنی بدون مقاومت

این مرجع ولتاژ شکل (۲-۱۳) در سال ۲۰۱۳ ارائه شد[۱۵]. در این مدار از هیچ‌گونه مقاومتی استفاده نشده است.



شکل (۲-۱۳) مرجع ولتاژ شکاف باند کلید خازنی بدون مقاومت[۲۸].

همان‌طوری‌که می‌دانیم استفاده از مقاومت مشکلات متعددی ایجاد می‌کند، از جمله[۲۲]:

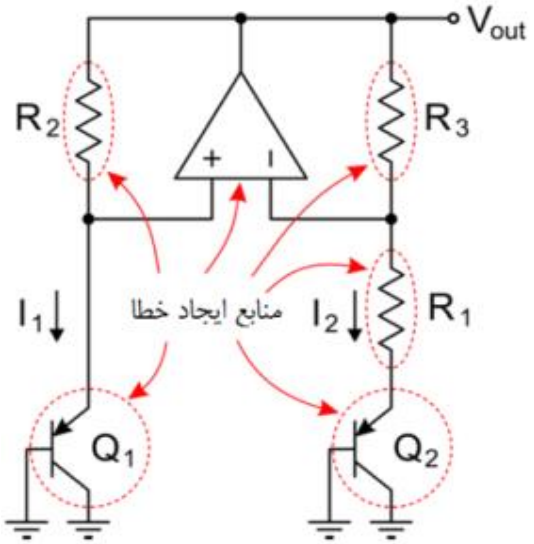
الف) افزایش مساحت

ب) افزایش هزینه

ج) افزایش نویز حرارتی

د) افزایش خطای فرآیند ساخت وخطای مطلق

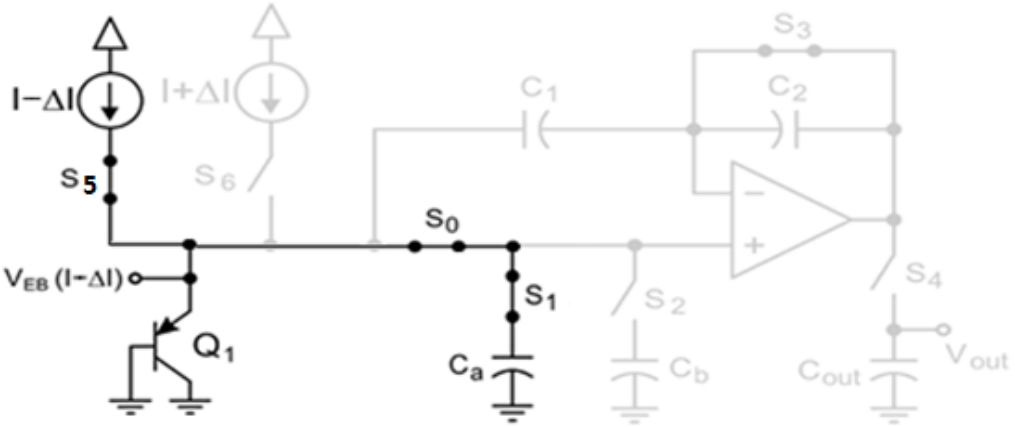
در مدارات مرجع ولتاژ ارائه شده قبلی از دو ترانزیستور BJT استفاده می‌شد، در حالی‌که در این مدار از یک ترانزیستور BJT بهره گرفته شده است [۲۳-۲۷]. شکل (۲-۱۴) شش عامل ایجاد خطا در مدارات مرجع ولتاژ قبلی را نشان می‌دهد.



شکل (۲-۱۴) عوامل ایجاد خطا در مراجع ولتاژ متداول [۲۸].

خازن‌ها بهترین قطعات انطباق‌داده‌شده در فرآیند ساخت CMOS هستند. چون در مدارهای کلیدخازنی، از خازن‌ها با ظرفیت کم استفاده شده است. لذا هم فضای اشغال‌شده و هم تاثیر دما بر روی آن بهبود یافته است.

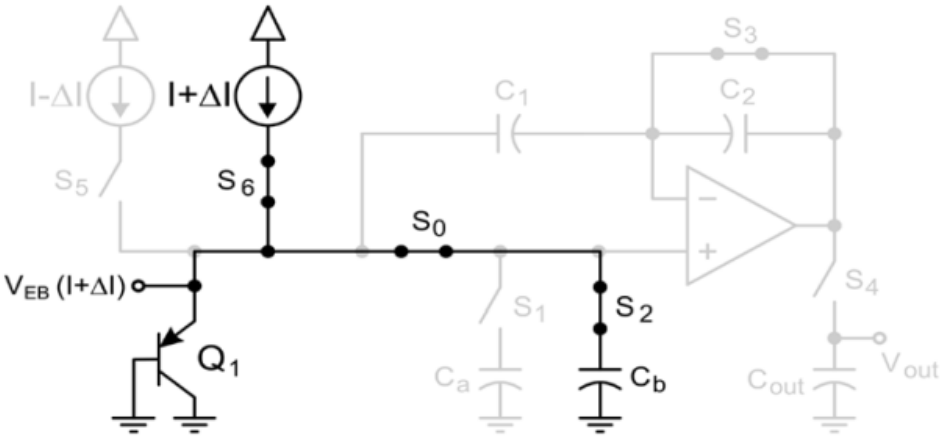
این مدار در چهار فاز کلیدزنی کار می‌کند. در فاز نخست، کلیدهای S_5, S_1, S_0 بسته و بقیه کلیدها باز هستند. در این صورت جریان I_1 خازن C_aرا به اندازه ولتاژ امیتر ـ بیس شارژ می‌کند.



شکل (۲-۱۵) فاز اول مرجع ولتاژ شکاف‌باند کلیدخازنی بدون مقاومت [۲۸].

در فاز دوم کلیدهای S_6, S_2, S_0 بسته و بقیه کلیدها باز هستند. در این صورت جریان I_2 خازن C_b را به اندازه ولتاژ امیتر ـ بیس شارژ می‌کند.

$$V_{cb} = V_{EB(I+\Delta I)} \qquad (۲۳-۲)$$

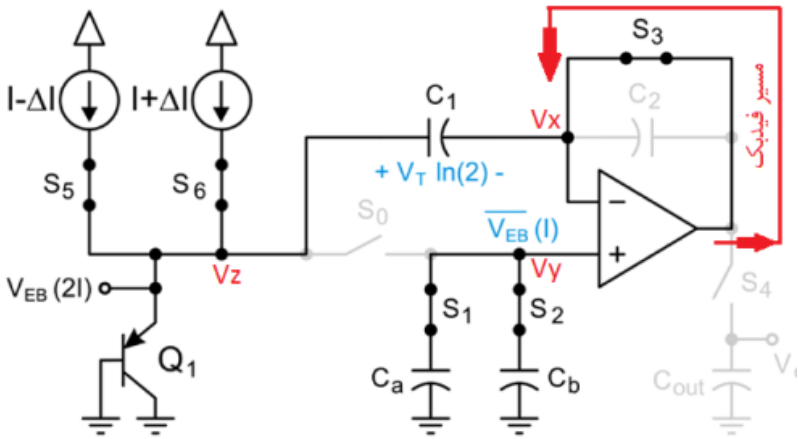


شکل (۲-۱۶) فاز دوم مرجع ولتاژ شکاف‌باند کلید خازنی بدون مقاومت [۲۸].

در این دو فاز سعی براین است که میانگین دو جریان I_2, I_1 روی خازن‌های C_b, C_a قرار گیرد، با این کار خطای ناشی از دو منبع جریان به حداقل ممکن خواهد رسید.

$$\overline{V_{ca}, V_{cb}} = V_{EB_{\frac{(I-\Delta I)+(I+\Delta I)}{2}}} = V_{EB(I)} \qquad (۲۴-۲)$$

در فاز سوم کلیدهای S_6, S_5, S_3, S_2, S_1 بسته و بقیه کلیدها باز هستند. در این فاز چون تقویت‌کننده عملیاتی بصورت بازخورد منفی بسته شده است، لذا دو سر ورودی‌های آن، هم‌پتانسیل بوده و ولتاژ خازن C_1 بصورت شکل (۲-۱۷) بدست می‌آید:



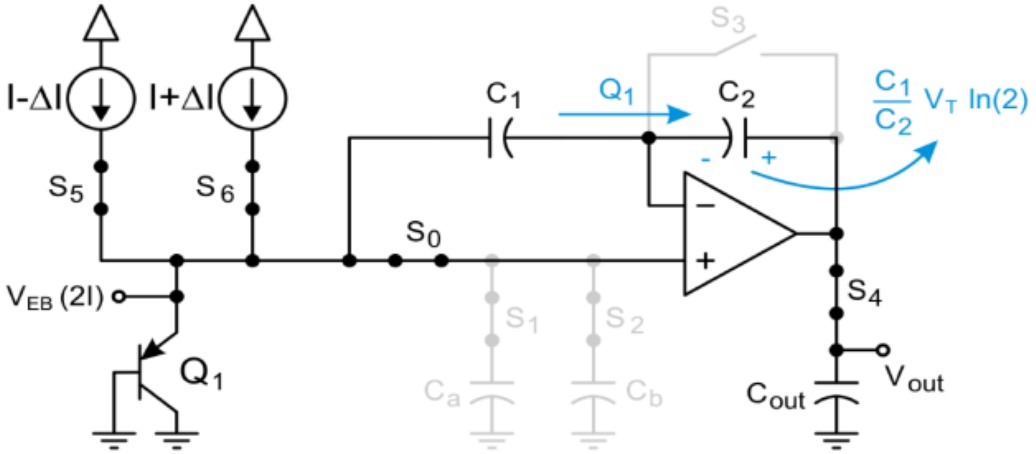
شکل (۲-۱۷) فاز سوم مرجع ولتاژ شکاف‌باند کلیدخازنی بدون مقاومت [۲۸].

$$V_Z = V_{EB(2I)} = V_T \ln \frac{2I}{I_S} \qquad (۲۵-۲)$$

$$V_x = V_y = V_{EB(I)} = V_T \ln \frac{I}{I_S} \qquad (۲۶-۲)$$

$$V_{C1} = V_{EB(2I)} - V_{EB(I)} = V_T \ln\left(\frac{2I}{I_S}\right) - V_T \ln\left(\frac{I}{I_S}\right) = V_T \ln(2) \qquad (۲۷-۲)$$

در فاز چهارم کلیدهای S_6, S_5, S_4, S_0 بسته و بقیه کلیدها مانند شکل (۲-۱۸) باز هستند.



شکل (۲-۱۸) فاز چهارم مرجع ولتاژ شکاف‌باند کلیدخازنی بدون مقاومت [۲۸].

در این‌حالت بار خازن C_1 به C_2 منتقل شده، در نتیجه رابطه زیر برقرار است:

$$V_{C2} = \frac{C_1}{C_2} V_T \ln(2) \qquad (۲۸-۲)$$

با انتقال بار C_1 به C_2 ولتاژ C_1 به صفر می‌رسد، آنگاه ولتاژ خروجی بصورت زیر بدست می‌آید:

$$V_{REF} = V_{out} = V_{C2} + V_{EB} \qquad (۲۹-۲)$$

$$V_{REF} = V_{EB(2I)} + \frac{C_1}{C_2} V_T \ln(2) \qquad (۳۰-۲)$$

رابطه تغییرات ولتاژ امیتر ـ بیس در دماهای T_0 و T بصورت زیر است:

$$V_{EB} = V_{EB}(T_0) - \alpha(T - T_0) \qquad (۳۱-۲)$$

$$V_{REF} = \frac{C_1}{C_2} \times \frac{k.T}{q} \times \ln(2) + V_{EB}(T_0) - \alpha(T - T_0) \qquad (۳۲-۲)$$

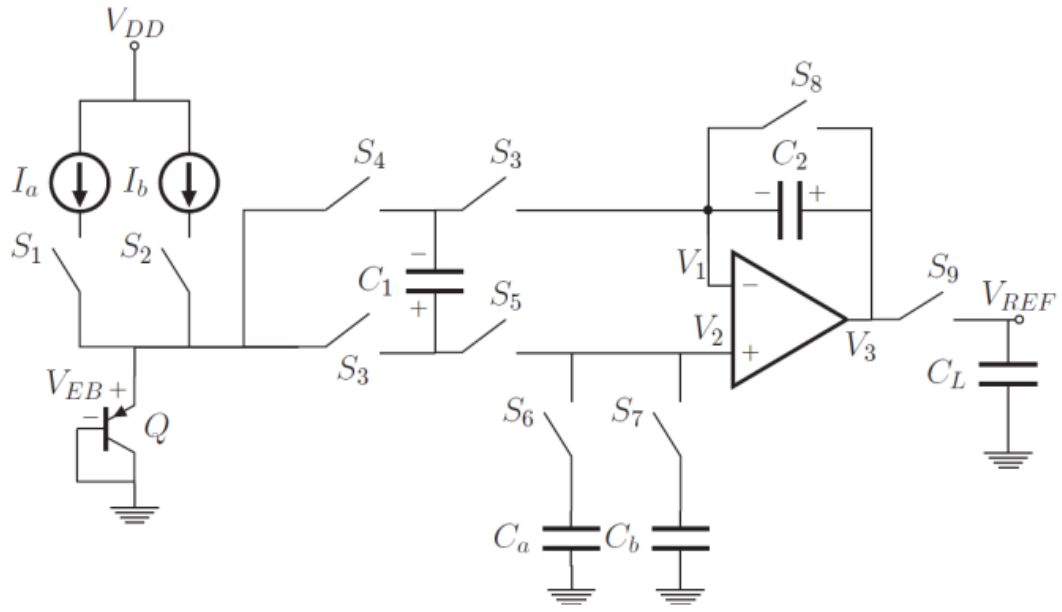
در رابطه فوق ولتاژ امیتر ـ بیس در دمای T_0 ثابت است، برای رسیدن به تغییرات صفر ولتاژ خروجی، بایستی رابطه $\partial V_{REF} / \partial T = 0$ برقرار باشد، در نتیجه نسبت C_1 به C_2 بدست می‌آید:

$$\frac{C_1}{C_2} = \frac{q \times \alpha}{k \times \ln(2)} \qquad (۳۳-۲)$$

مقدار α تقریبا حدود ۲ میلی‌ولت بر درجه سانتی‌گراد است، q بار الکترون و k ثابت بولتزمن است، با توجه به مقادیر ذکر شده، مقدار نسبت C_1 به C_2 تقریبا ۳۳/۴ خواهد بود.

۲-۱۱ مرجع ولتاژ شکاف‌باند کلیدخازنی بدون مقاومت با حذف تاثیر ولتاژ آفست [۲۹]

این مرجع ولتاژ، پس از مرجع ولتاژ قبلی با هدف حذف ولتاژ آفست[1] تقویت‌کننده عملیاتی معرفی شد، این مدار با استفاده از پنج فاز کلیدزنی کار می‌کند و با حذف ولتاژ آفست خطای مدار بهبود می‌یابد، مدار مرجع ولتاژ ذکر شده در شکل (۲-۱۹) آمده است.



شکل (۲-۱۹) مرجع ولتاژ شکاف‌باند کلیدخازنی بدون مقاومت و حذف ولتاژ آفست [۲۹].

در فاز نخست کلیدهای S_8, S_6, S_5, S_3, S_1 بسته و بقیه کلیدها باز هستند. در این‌صورت جریان I_a خازن C_a را به اندازه ولتاژ امیتر ـ بیس، شارژ می‌کند. در این‌حالت آپ‌امپ[2] دارای بازخورد

[1] Offset voltage
[2] Operating amplifier

منفی بوده و ولتاژ دو سر خازن C_1 صفر است. در این حالت $V_{C1}=V_{C2}=0$ و $V_{ca}=V_{EB(I+\Delta I)}$ خواهد بود.

در فاز دوم کلیدهای S_8,S_7,S_5,S_3S_2 بسته و بقیه کلیدها باز هستند. در این فاز خازن C_b به اندازه ولتاژ بیس ـ امیتر، با جریان I_b شارژ خواهد شد. در این‌حالت $V_{cb}=V_{EB(I-\Delta I)}$ و $V_{C1}=V_{C2}=0$ خواهد بود.

در فاز سوم کلیدهای S_8,S_7,S_6,S_3S_2,S_1 بسته و بقیه کلیدها باز هستند. در این فاز بارخازن‌های C_b,C_a بصورت میانگین درمی‌آیند، در نتیجه مقدار $V_2=(V_{Ca}+V_{Ca})/2\approx V_{EB(I)}$ بدست می‌آید، که این عمل عدم انطباق I_a و I_b را کاهش می‌دهد. در این مرحله خازن C_1 به اندازه اختلاف ولتاژ پیوند بیس ـ امیتر و ولتاژ آفست شارژ خواهد شد.

$$V_{C1}=V_{EB(2I)}-V_{EB(I)}+V_{OS} \qquad (۳۴-۲)$$

در فاز چهارم کلیدهای S_5,S_3S_2,S_1 بسته و بقیه کلیدها باز هستند. در این مرحله بار خازن C_1 به خازن C_2 فرستاده می‌شود. اما در این‌جا ولتاژ آفست در C_1 ذخیره است $(V_{C1}=V_{OS})$، در نتیجه خواهیم داشت:

$$V_{C2}=\frac{C1}{C2}\left(V_{EB(2I)}-V_{EB(I)}\right)=\frac{C_1}{C_2}.\frac{kT}{q}.\ln(2) \qquad (۳۵-۲)$$

در فاز آخر کلیدهای S_9,S_5,S_4,S_2,S_1 بسته و بقیه کلیدها باز هستند. در این مرحله جهت ولتاژ دوسرخازن C_1، با جهت ولتاژ آفست تقویت‌کننده با هم مخالف بوده و هم‌دیگر را خنثی می‌کنند. $(-V_{EB(2I)}-V_{C1}+V_{OS}-V_{C2}+V_{REF}=0)$ و در نهایت ولتاژ مرجع طبق رابطه (۲-۳۶) با حذف ولتاژ آفست روی خازن C_L ذخیره خواهد شد.

$$V_{REF}=V_{EB(2I)}+\frac{C_1}{C_2}.\frac{kT}{q}.\ln(2) \qquad (۳۶-۲)$$

فصل ۳

چالش‌های موجود در طراحی مراجع ولتاژ شکاف‌باند

۳-۱ مقدمه

مراجع ولتاژ ارائه شده تاکنون در ساختارهای مقاومتی، بدون مقاومت و کلیدخازنی ارائه شده‌اند و در بیشتر آن‌ها از تقویت‌کننده عملیاتی استفاده شده است. در این بخش به موضوعات و مسائل پیش‌رو در طراحی تقویت‌کننده‌های عملیاتی پرداخته و چند مدار مرجع‌ولتاژ کلیدخازنی با استفاده از آن‌ها طراحی گردیده است. سپس با نرم‌افزار ADS شبیه‌سازی و نتایج حاصل از آن با کارهای دیگر مقایسه شده است.

۳-۲ طراحی تقویت‌کننده عملیاتی

در اکثر مراجع ولتاژ شکاف‌باند، از یک تقویت‌کننده عملیاتی استفاده شده است، مشخصه‌های موثر این تقویت‌کننده‌ها بر عملکرد مرجع ولتاژ عبارتند از[۳۰]:

۱) بهره

۲) سوئینگ[1]

۳) ولتاژ تغذیه

۴) فرکانس بهره واحد[2]

۵) سرعت چرخش[3]

بهره: بهره تقویت‌کننده عملیاتی همان بزرگ‌نمایی خطای ناشی از اختلاف ولتاژ دوسر ورودی تقویت‌کننده است، که هر چه بهره بیشتر باشد خطاهای ریزتر را احساس کرده، با بزرگ‌نمایی قابل توجهی در خروجی ظاهر نموده، با بازخورد منفی به ورودی برگشت داده و باعث اصلاح آن می‌گردد. این عمل در مدارهای مرجع ولتاژ شکاف‌باند، بسیار حائز اهمیت است و اگر بهره کم باشد، در ولتاژ خروجی خطا ظاهر شده و سبب انحراف ولتاژ خروجی از مقدار دقیق آن (مطلوب) می‌گردد. لذا در ادامه، اثر بهره محدود op-amp بررسی خواهد شد.

---

[1] Swing

[2] ω_{UGB} (uniti gain bandwith)

[3] Slew rate

سوئینگ: مقدار سوئینگ در تقویت‌کننده نیز مهم است چون اگر مقدار سوئینگ کم باشد ولتاژ خروجی که همان ولتاژ مرجع است، به مقدار نهایی خود نمی‌رسد.

ولتاژ تغذیه: هر چه ولتاژ تغذیه op-amp کمتر باشد کاربرد بیشتری خواهد داشت و تقاضا در این مورد بیشتر است، ولی کاهش ولتاژ تغذیه محدودیت سوئینگ را بدنبال خواهد داشت.

فرکانس بهره واحد: این فرکانس بر روی زمان نشست[1] تاثیرگذار است، یعنی چه مقدار زمان نیاز است تا بعد از کلاک، خروجی در مقدار نهایی خود نشست کند.

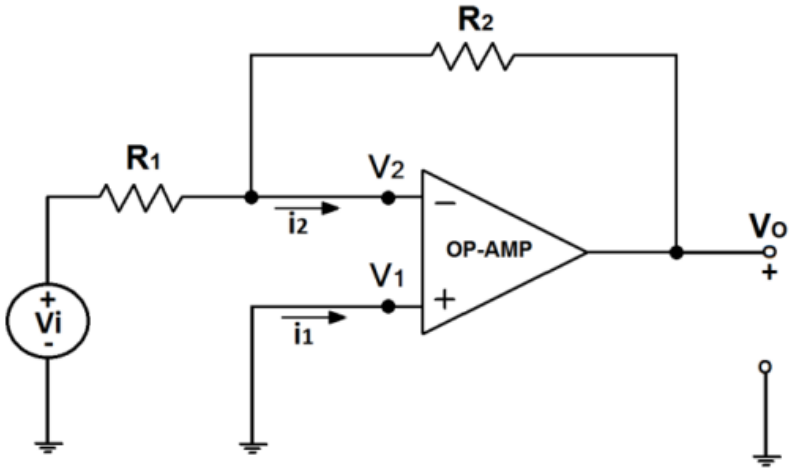
آهنگ چرخش: مقدار زمانی که طول می‌کشد تا ولتاژ از مقدار اولیه به مقدار نهایی خود برسد. هر چه آهنگ چرخش بیشتر باشد این زمان کمتر خواهد بود.

در مرجع ولتاژ کلیدخازنی بدون مقاومت شکل (۲-۱۳) ولتاژ ورودی پایه مثبت آپ‌امپ که همان ولتاژ بیس ـ امیتر ترانزیستور دوقطبی است، در تغییرات دمایی صفر تا ۱۰۰ درجه سانتی‌گراد، از ۰/۷ ولت تا ۰/۵ ولت تغییر می‌کند، چون ولتاژ خروجی به حدود ۱/۳ ولت می‌رسد، لذا سوئینگ تقویت‌کننده عملیاتی باید بتواند حداکثر ۱/۳ ولت و حداقل ۰/۵ ولت داشته باشد. در ضمن بهره آن بالاتر از ۶۰ دسی‌بل باشد و آهنگ‌چرخش حدود ۲۰ ولت بر میکروثانیه و ولتاژ آفست ماکزیمم حدود ۱۰ میلی‌ولت باشد[۲۹]. اعداد ذکر شده در مورد تغییرات ولتاژ بیس- امیتر در بازه دمایی مذکور، سوئینگ و بهره، در مدارات شبیه‌سازی شده این فصل لحاظ شده است.

۳-۲-۱ اثر گین محدود op-amp

در حالت تئوری گین تقویت‌کننده عملیاتی بی‌نهایت در نظرگرفته می‌شود، یعنی ولتاژ دوگره ورودی آن هم‌پتانسیل فرض می‌شود اما در عمل مقدار بهره آپ‌امپ، اگر چه خیلی بزرگ، ولی محدود خواهد بود (غیر بی نهایت). با توجه به بهره زیاد تقویت‌کننده عملیاتی اکثرا در مدار حلقه بسته از آن استفاده می‌شود. مدار وارونگر شکل (۳-۱) را در نظر بگیرید.

[1] Settling time



شکل (۳-۱) مدار وارونگر با استفاده از تقویت‌کننده عملیاتی.

اگر بهره بی‌نهایت در نظر گرفته شود($V_2 - V_1 = V_O/A = 0$) ، دو ورودی یکدیگر را تعقیب نموده و $V_2 - V_1 = 0$ می‌شود. به‌عبارت دیگر این دو ورودی بصورت مجازی به هم وصل می‌شوند و چون V_1 به زمین وصل شده است، V_2 نیز بصورت مجازی زمین فرض می‌شود. روابط زیر، زمانی که بهره نامحدود باشد برقراراست:

$$G = \frac{V_O}{V_I} = -\frac{R_2}{R_1} \qquad (۱-۳)$$

$$V_2 - V_1 = \frac{V_O}{A} = 0 \qquad (۱-۳)$$

حال اگر بهره محدود در نظر گرفته شود، قضیه به صورت دیگری خواهد بود، در این‌حالت اختلاف ولتاژ بین دو ورودی V_O/A خواهد بود، چون ورودی مثبت به زمین وصل شده است، مقدار ولتاژ $-V_O/A$ در ورودی منفی ظاهر خواهد شد، چون امپدانس ورودی خیلی زیاد است $I_1=I_2=0$ در نظر گرفته می‌شود و $I_{R1}=-I_{R2}$ خواهد بود.

$$\frac{V_i - V_O/A}{R_1} = \frac{-V_O + V_O/A}{R_2} \qquad (۱-۳)$$

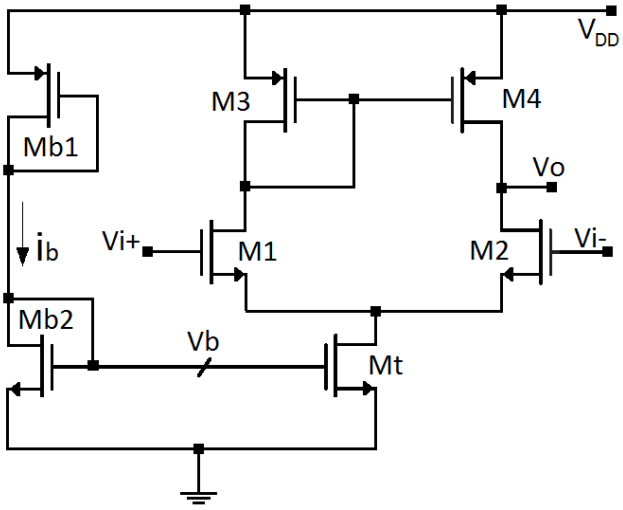
با ساده‌کردن رابطه (۳-۱) بهره آپ امپ بدست می‌آید:

$$V_O = \frac{V_i}{\frac{1}{A} + \frac{R_1}{R_2 A} - \frac{R_1}{R_2}} = \frac{-R_2/R_1}{1-(1+R_2/R_1)/A} V_i \qquad (۲-۳)$$

در مدار حلقه باز، ولتاژ خروجی از رابطه $V_O=\alpha(V^+-V^-)$ بدست می‌آید، اگر بهره $\alpha = 10^3$ باشد، و ولتاژ خروجی 1V در نظر گرفته شود.$(V^+-V^-)=1\ mV$ خواهد بود، یعنی آپ امپ با این بهره (۱۰۰۰)، خطای 1 mV در دو گره ورودی را می‌پذیرد، در حالی‌که اگر بهره $\alpha = 10^6$ باشد، خطا در دو گره ورودی 1 µV خواهد بود، و این امر در معادلاتی که دو گره ورودی آپ‌امپ هم‌پتانسیل فرض می‌شود، به واقعیت نزدیک‌تر است و خطا در ولتاژ خروجی کمتر خواهد شد.

۳-۲-۲ تقویت‌کننده عملیاتی معمولی تک‌سر

در این طراحی، به سوئینگ ۰/۵ تا ۱/۳ ولت نیاز است، لذا تقویت‌کننده عملیاتی معمولی تک‌سر، با ورودی‌های NMOS، این نیاز را برآورده می‌سازد. شکل (۳-۲) مدار آنرا نشان می‌دهد.



شکل (۳-۲) تقویت‌کننده عملیاتی تک‌سر.

روابط آهنگ چرخش و فرکانس بهره واحد بصورت زیر است:

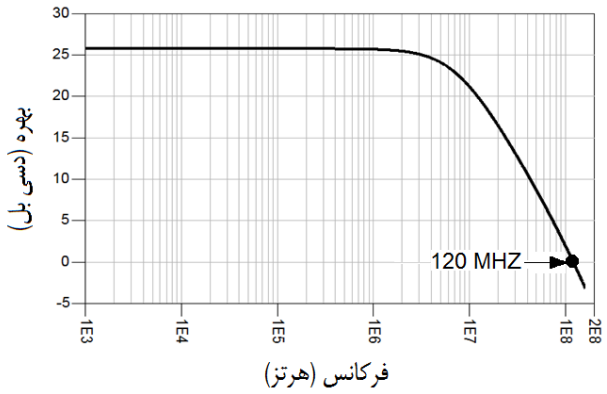
$$SR = \frac{I_{tail}}{C_L} \qquad (۱-۳)$$

$$\omega_u = \frac{g_{m1}}{C_L} \qquad (۲-۳)$$

برای مدار بایاس از دو ترانزیستور NMOS و PMOS استفاده شده است و سعی شده تا حد امکان جریان آن‌ها کمترین مقدار باشد، به طوری که در ناحیه اهمی قرار نگیرند.

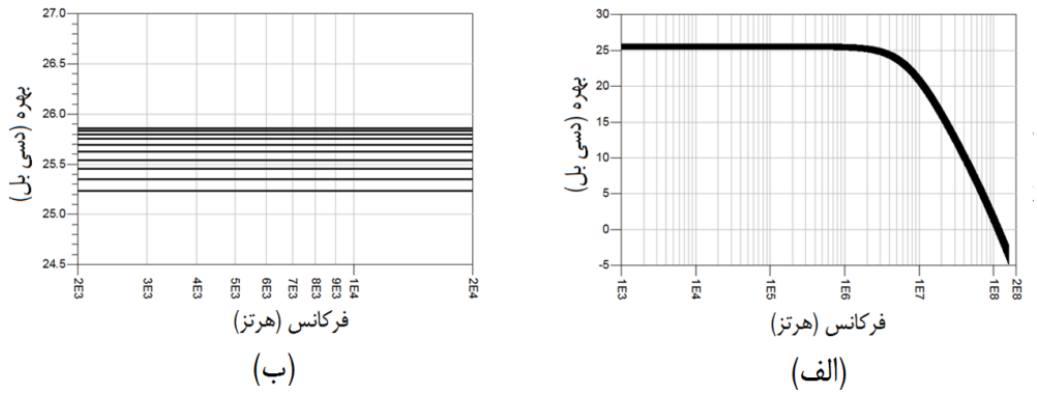
$$\left(\frac{W}{L}\right)=\frac{2i}{\mu_n c_{ox} v_{eff}^2} \qquad (۳-۳)$$

برای بار $4PF$ و آهنگ چرخش $20V/\mu s$، جریان $I_{tail}=80\mu A$ و $g_{m1}=0.5ms$ بدست می‌آید، مدار با ابعاد ترانزیستورهای بدست آمده، شبیه‌سازی شده و نتایج به صورت شکل(۳-۳) بدست آمده است:



شکل (۳-۳) نمودار بهره تقویت‌کننده تک‌سر.

همان‌طور که ملاحظه می‌شود، پهنای باند حدود 120MHZ، ولی بهره زیر 30dB بوده و کم است. مدار در دماهای مختلف بررسی شده، با اعمال گوشه‌های دمایی، پس از تحلیل، تاثیر آن بر تغییرات بهره در نمودار شکل زیر ترسیم شده است.



شکل (۳-۴) (الف) تغییرات بهره و (ب) بزرگنمایی تغییرات بهره در بازه دمایی صفر تا ۹۰ درجه سانتی‌گراد.

با محاسبات انجام شده مقادیر W/L ترانزیستورهای تقویت‌کننده عملیاتی بدست آمده و در جدول (۳-۱) نوشته شده است.

جدول (۳-۱) ابعاد ترانزیستورهای استفاده شده در مدار شکل (۳-۲).

ترانزیستور	W/L(μm)	ترانزیستور	W/L(μm)
Mb1	0.22/0.7	M2	8/0.18
Mb2	1.6/0.2	M3	18/0.18
Mt	15.8/0.18	M4	18/0.18
M1	8/0.18	*	*

با توجه به شکل (۳-۴) در تحلیل دمایی صفر تا ۹۰ درجه، بهره بین ۲۵ تا ۲۶ دسی‌بل تغییر می‌کند، این تغییرات، خیلی زیاد نیست، ولی بهره خیلی کم است. با توجه به روابط زیر داریم:

$$Ad = g_m.R_{out} = g_{m1}(r_{ds2} \mid\mid r_{ds4}) \qquad (۳-۴)$$

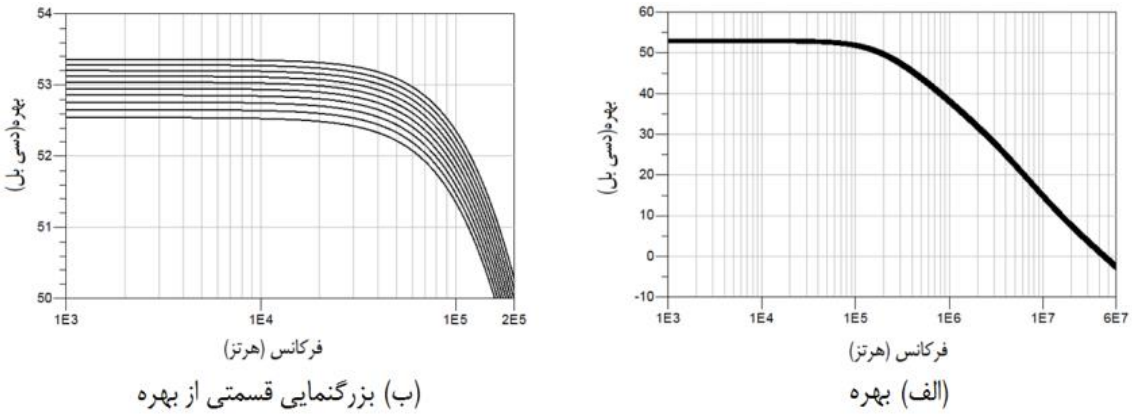
$$g_m = \sqrt{2\beta I_d}, r_{ds} = \frac{1}{\lambda.I_d} \rightarrow A_d \propto \frac{1}{\sqrt{I_d}} \rightarrow \lambda \propto \frac{1}{L} \qquad (۳-۵)$$

طبق روابط بالا، برای افزایش بهره بایستی جریان درین یا λ کاهش یابد، که کاهش جریان درین سرعت را کاهش می‌دهد و λ نیز با عکس طول‌کانال متناسب است. یعنی افزایش L بهره را افزایش می‌دهد که باعث اثر مدولاسیون طول‌کانال[1] خواهد شد. لذا در انتخاب این دو مورد باید مصالحه کرد.

در این‌جا سعی شده است، هم جریان کم انتخاب شود و هم طول‌کانال افزایش یابد. در این‌حالت بهره حدود 54 dB می‌شود ولی پهنای باند کاهش یافته و به 28 MHZ می‌رسد.

با اعمال تغییرات مقادیر W/L در مدار (۳-۲) جهت بالا بردن بهره و شبیه‌سازی آن، با تحلیل دمایی، شکل (۳-۵) بدست آمده است. همان‌طور که در شکل ملاحظه می‌شود، بهره بهبود یافته و تغییرات دمایی، روی بهره خیلی تاثیرگذار نبوده است.

[1] Chanel length modulation(CLM)



شکل (۳-۵) تغییرات بهره در دماهای صفر تا ۹۰ درجه سانتی‌گراد در تقویت‌کننده عملیاتی تک‌سر.

با توجه به شکل (۳-۵)، بهره فقط بین ۵۲/۵ تا ۵۳/۵ دسی‌بل تغییر داشته است، که نگران‌کننده نیست. ولی هنوز، مقدار بهره کافی نیست، در ضمن مقدار سوئینگ خروجی، در مدار مشکلی ایجاد نمی‌نماید. جدول (۳-۲) نسبت ابعاد ترانزیستورهای مدار (۳-۲) را پس از تغییرات W/L جهت بالا بردن بهره نشان می‌دهد.

جدول (۳-۲) ابعاد جدید ترانزیستورهای استفاده شده در مدار شکل (۳-۲) برای افزایش بهره.

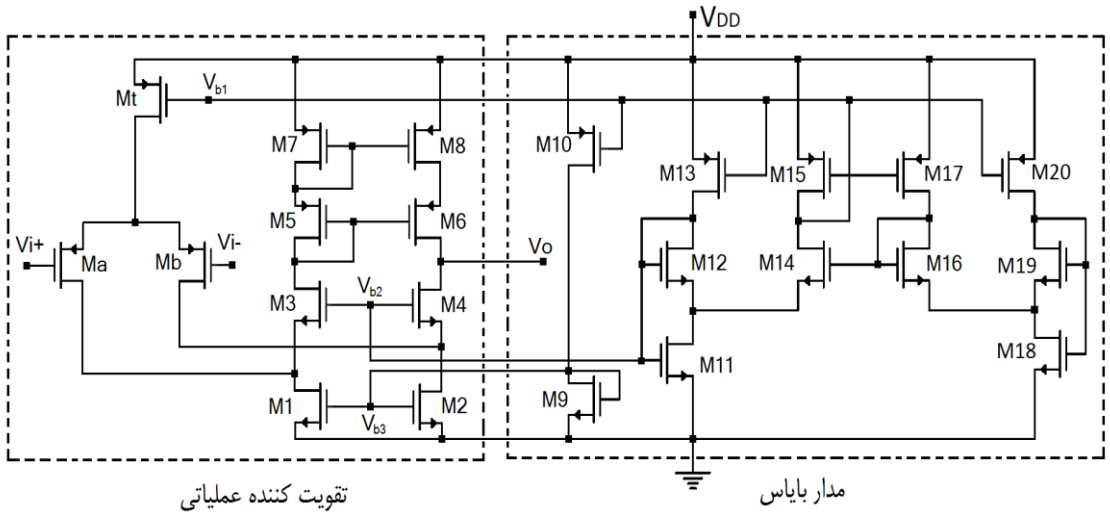
ترانزیستور	W/L(µm)	ترانزیستور	W/L(µm)
Mb1	0.22/0.7	M2	800/18
Mb2	1.6/0.2	M3	360/3.6
Mt	792/9	M4	360/3.6
M1	800/18	*	*

۳-۲-۳ تقویت‌کننده کسکود تاشده[1] تک‌سر

این تقویت‌کننده با داشتن مقاومت خروجی بالا، نسبت به تقویت‌کننده تک‌سر معمولی دارای بهره خیلی بیشتری است، ولی چون ترانزیستورهای بیشتری در مسیر ولتاژ خروجی قرار دارند،

[1] Folded cascode

سوئینگ خروجی آن کمتر از نوع معمولی تک‌سر است، ولی محدوده سوئینگ خروجی آن هیچ مشکلی در مدار پیشنهادی ما به‌وجود نمی‌آورد. شکل (۳-۶) مدار تقویت‌کننده کسکود تاشده تک‌سر با مدار بایاس را نشان می‌دهد.



شکل (۳-۶) مدار تقویت‌کننده کسکود تاشده تک‌سر، با مدار بایاس.

در این تقویت‌کننده از مدار بایاس [۱۵] بسیارخوبی استفاده شده است، به طوری که در دماهای متفاوت، تغییرات جریان و ولتاژ، بسیار کم است. جریان مصرفی مدار بایاس حدود ۳۸ میکروآمپر است. ترانزیستورهای M_9 و M_{10} ولتاژ V_{b3} را تامین می‌کنند و ولتاژ V_{b1} و V_{b2} مستقیما از روی مدار بایاس تامین شده است. همان‌طور که در قبل اشاره شد، برای بدست آوردن بهره بالای ۶۰ دسی‌بل به تقویت‌کننده کسکودتاشده به لحاظ داشتن مقاومت خروجی بالا، نیاز است. مقدار بهره برابر $A_d = g_m.R_{out}$ می‌باشد. باتوجه به رابطه زیر مقاومت خروجی در نوع کسکوتاشده، خیلی بیشتر از نوع معمولی است:

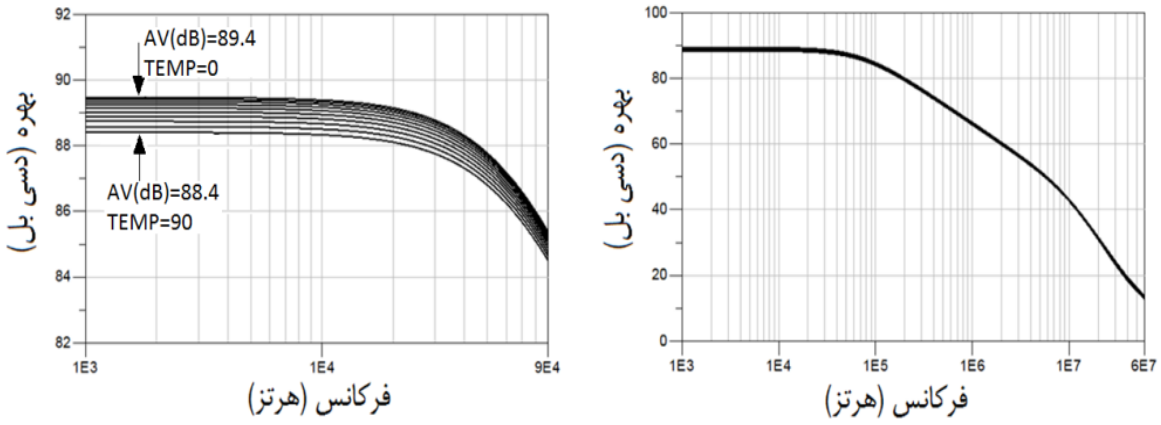
$$R_{out} = (g_{m6} \times r_{o6} \times r_{o8}) \,||\, (g_{m4} \times r_{o4} \times r_{o2}) \qquad (۶-۳)$$

$$g_m = -g_{m1} = \frac{2i_{d1}}{V_{od1}} \qquad (۷-۳)$$

با توجه به مقادیر V_{od1}=0.1 V و I_{d1}=20 µA ، مقدار g_{m1}=0.4 ms و مقدار g_{m4}=g_{m6}=0.2 ms بدست می‌آید. برای بدست آوردن بهره کل تقویت‌کننده، مقادیر (r_{o6}= r_{o8}=1000 kΩ و r_{o4}=1000kΩ

و r_{o2}=500 kΩ) محاسبه شده، و سپس بهره کل حدود ۸۲/۵ دسی‌بل بدست می‌آید.

پس از شبیه‌سازی مدار و بررسی نتایج بدست آمده، مقادیر شبیه‌سازی شده، با محاسبات انجام شده هم‌خوانی معناداری دارد. مدار فوق با تحلیل دمایی در تغییرات حرارتی صفر تا ۹۰ درجه سانتی‌گراد، بهره چندان تغییر نمی‌کند و از ثبات بسیار خوبی برخوردار است. شکل زیر این تغییرات را نشان می‌دهد.



شکل (۳-۷) بهره تقویت‌کننده کسکود تاشده تک‌سر با تحلیل دمایی صفر تا ۹۰ درجه سانتی‌گراد.

جدول (۳-۳) نسبت ابعاد ترانزیستورهای مدار شکل (۳-۶) شامل مدار بایاس و مدار تقویت‌کننده عملیاتی کسکودتاشده را نشان می‌دهد.

جدول (۳-۳) ابعاد ترانزیستورهای استفاده شده در مدارتقویت کننده کسکودتاشده شکل (۳-۶).

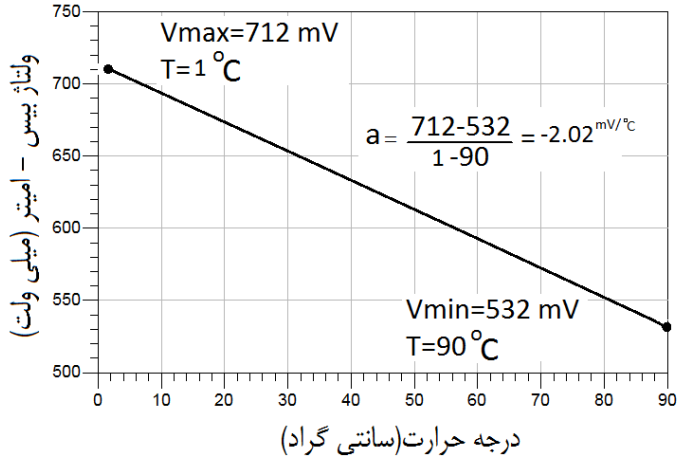
ترانزیستور	W/L(µm)	ترانزیستور	W/L(µm)
Mt	120/18	M7,M8	65/3
Ma,Mb	35/0.3	M9	7.8/0.5
M1,M2	110/3.5	M10,M13,M15,M17,M20	0.22/0.2
M3,M4	55/3.5	M11,M14,M16,M18,M19	1.5/0.5
M5,M6	11/0.6	M12	1.65/0.5

۳-۲-۴ نتیجه‌گیری:

برای رسیدن به بهره زیاد، جهت کاهش خطا، تقویت‌کننده عملیاتی با مقاومت خروجی بالا نیاز است، در میان آن‌ها می‌توان نوع کسکودتاشده را نام برد، و استفاده از آن می‌تواند در این مدارات مفید واقع شود.

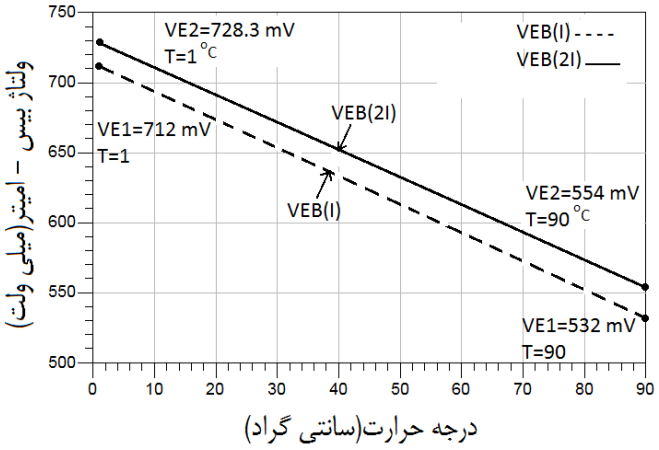
۳-۳ شبیه‌سازی مدارمرجع ولتاژ شکاف‌باند کلیدخازنی

در فصل ۲ بخش ۱۰ به بررسی دقیق مرجع ولتاژ شکاف‌باند کلیدخازنی پرداخته شد و در آن ولتاژ مرجع با استفاده از روابط (۲-۲۸) و (۲-۲۹) محاسبه گردید. در آنجا مقدار شیب خط تغییرات ولتاژ پیوند بیس ـ امیتر ترانزیستور دو قطبی نسبت به دما ۲- میلی‌ولت بر درجه سانتی‌گراد در نظر گرفته شد، حال با استفاده از شبیه‌سازی، تغییرات ولتاژ بیس ـ امیتر نسبت به دما (ولتاژ CTAT)، استخراج شده است و در شکل (۳-۸) ضریب حرارتی یک پیوند بیس ـ امیتر در دماهای صفر تا ۹۰ درجه سانتی‌گراد ۲/۰۲- میلی‌ولت بر درجه سانتی‌گراد نشان داده شده است. که این مقدار با مقدار محاسبه شده بسیار نزدیک است.



شکل (۳-۸)تغییرات ولتاژ بیس ـ امیتر نسبت به دما.

ولتاژ PTAT، از تفاضل دو ولتاژ بیس ـ امیتر ترانزیستور دوقطبی، که به‌واسطه عبور دو جریان متفاوت از آن حاصل می‌شود، بدست می‌آید. شکل (۳-۹) منحنی ولتاژ بیس-امیتر به واسطه عبور دو جریان متفاوت از پیوند p-n ترانزیستور BJT را نشان می‌دهد.

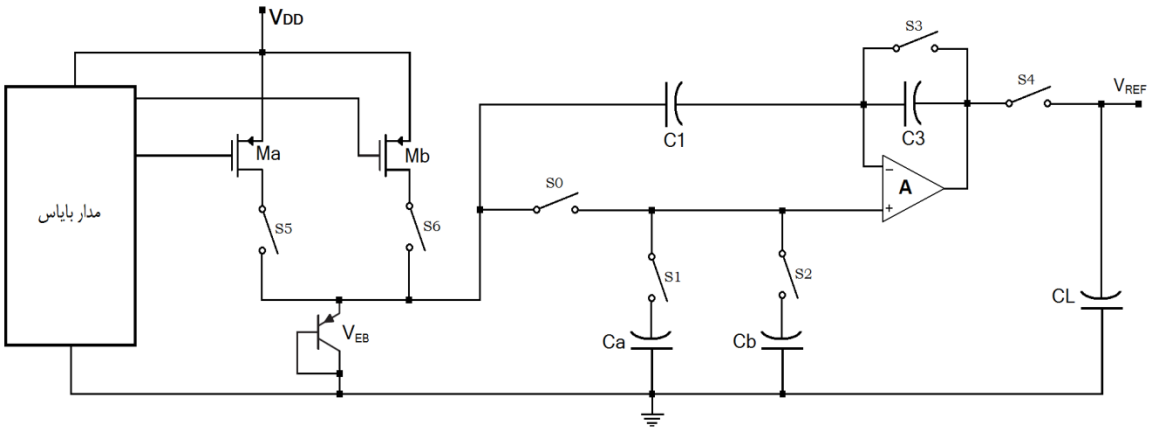


شکل (۳-۹) منحنی تغییرات ولتاژ بیس- امیتر در دو جریان متفاوت در دماهای متفاوت.

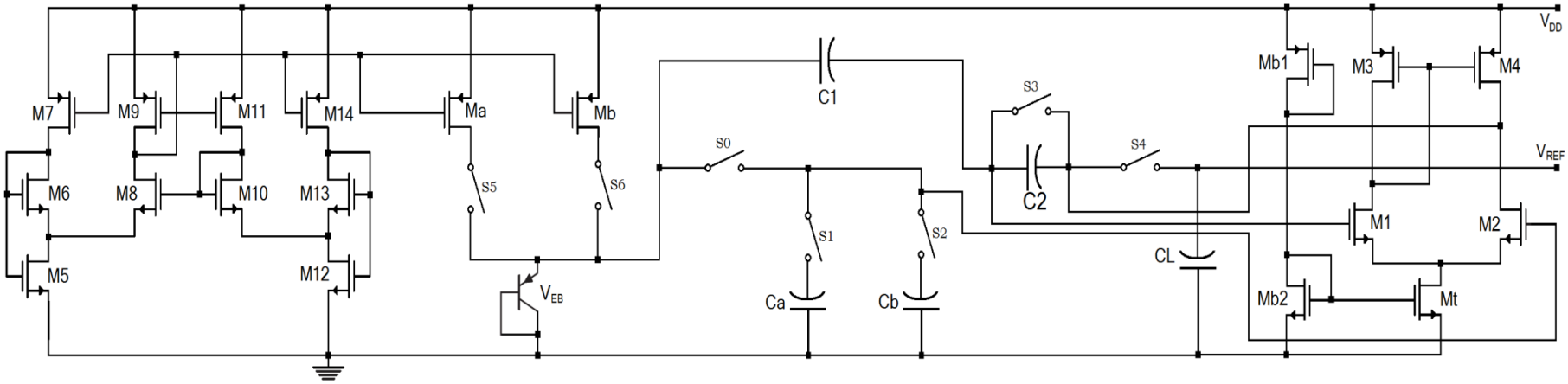
با توجه به شکل (۳-۹)، شیب هردو ولتاژ $V_{BE(2I)}$ و $V_{BE(I)}$ تقریبا با هم برابر، و حدود $-2mV/°C$ بوده است و اختلاف آن‌ها در این بازه دمایی به اندازه $V_T \ln(2)$ است، که همان مقدار 0.018 V خواهد بود.

۳-۳-۱ شبیه‌سازی مدارمرجع ولتاژ شکاف‌باند کلیدخازنی با آپ امپ معمولی

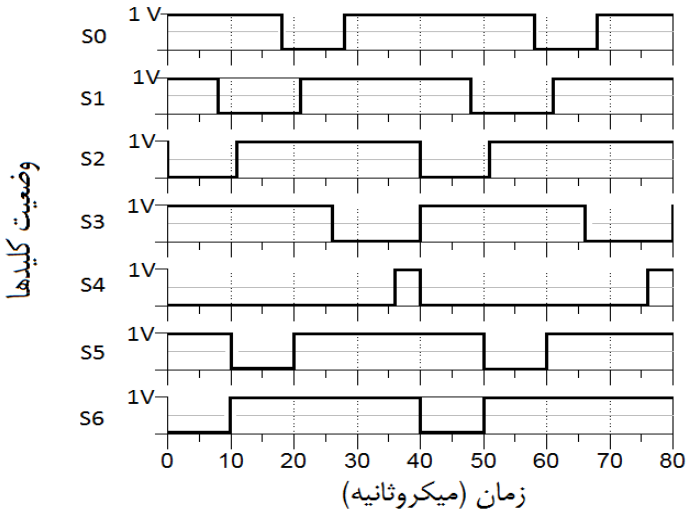
هسته اصلی مدار مرجع ولتاژ شکاف‌باند کلیدخازنی در شکل (۳-۱۰) آمده است. برای بایاس ترانزیستورهایی که بعنوان منبع جریان کار می‌کنند، از مدار مناسبی که در شکل (۳-۶) نشان داده شده، استفاده گردیده است، که در مقابل تغییرات درجه حرارت حساسیت زیادی از خود نشان نمی‌دهد[۱۵] و شکل (۳-۱۱) مدار کامل مدار مرجع ولتاژ شکاف‌باند را نشان می‌دهد.



شکل (۳-۱۰) هسته اصلی مدار مرجع ولتاژ شکاف‌باند کلیدخازنی بدون مقاومت [۱۵].

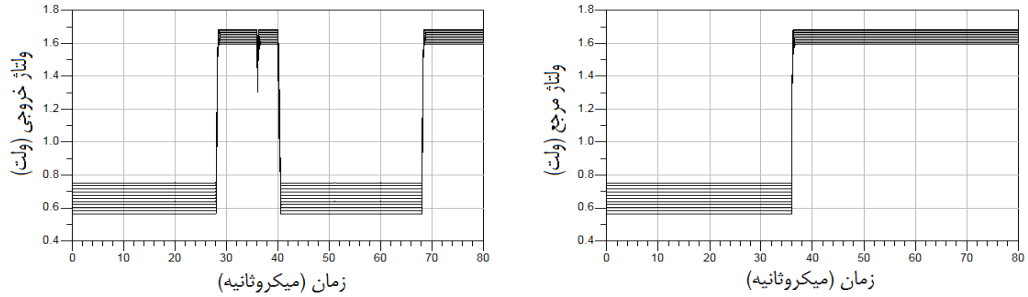


شکل (۳-۱۱) مدار مرجع ولتاژ شکاف باندگلید خازنی بدون مقاومت با تقویت کننده معمولی تک سر



شکل (۳-۱۲) سیگنال‌های کنترل فازهای کلیدزنی در مدار مرجع ولتاژ شکاف‌باند [۱۵].

تقویت‌کننده عملیاتی تک‌سر معرفی شده برای مرجع ولتاژ شکاف‌باند کلیدخازنی بدون مقاومت بکار گرفته شد که نتیجه شبیه‌سازی خطای زیادی داشت و نمی‌توانست خروجی قابل قبولی بدست آورد، شکل (۳-۱۳) این واقعیت را بیان می‌کند.

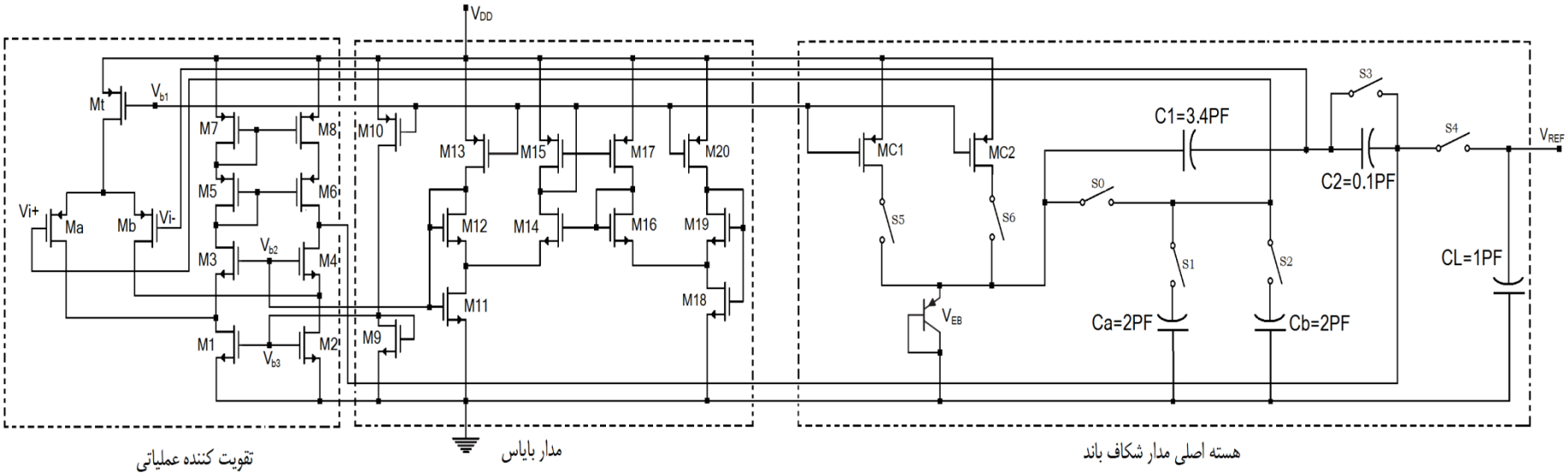


شکل (۳-۱۳) ولتاژ خروجی و ولتاژ مرجع برای دمای صفر تا ۹۰ درجه سانتی‌گراد با تقویت‌کننده‌عملیاتی تک سر.

با توجه به شکل (۳-۱۳) مشاهده می‌گردد، به علت پایین بودن بهره آپ‌امپ، تغییرات ولتاژ خروجی بطور چشم‌گیری کاهش نیافته است. برای این‌که تغییرات ولتاژ خروجی، به حداقل خود برسد، بهره بالاتر نیاز است. بهره هر چه بیشتر باشد ولتاژ خروجی از دقت بالاتری برخوردار است.

۳-۳-۲ شبیه‌سازی مدار مرجع ولتاژ شکاف‌باند کلیدخازنی با آپ‌امپ کسکود تاشده

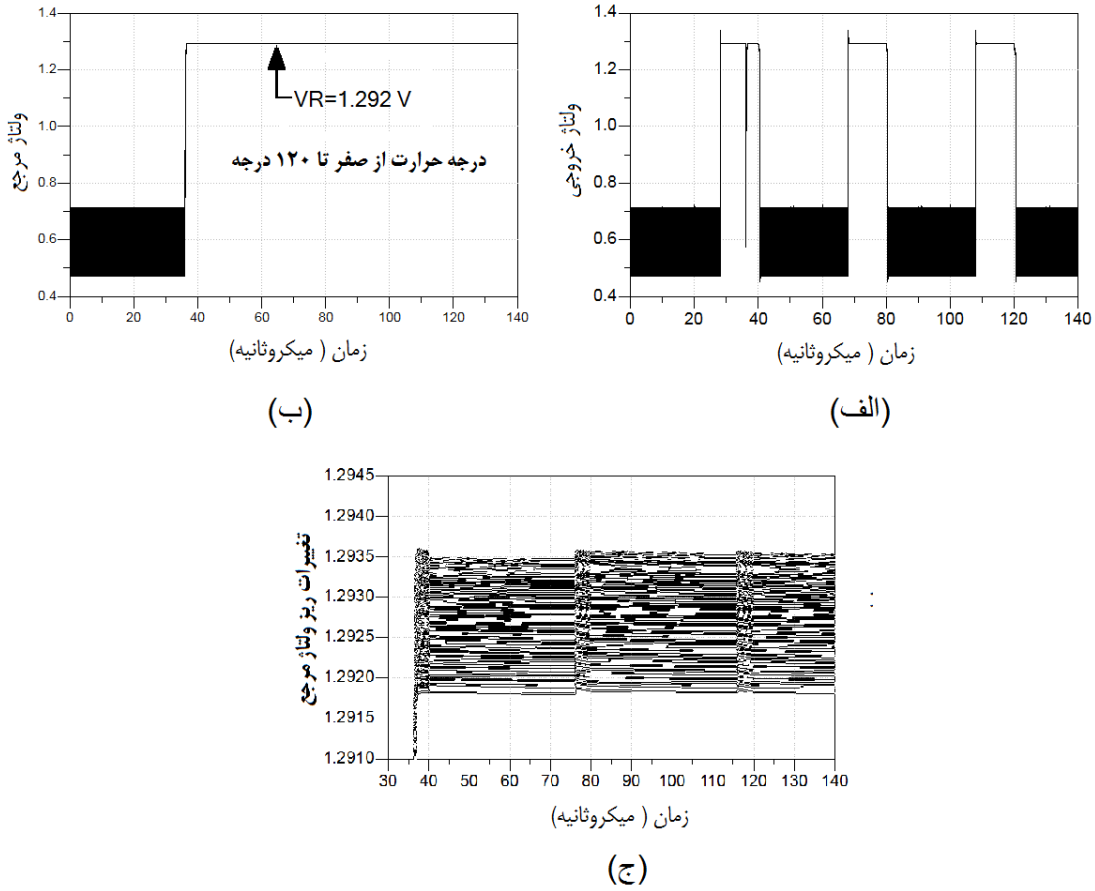
در قدم بعدی تقویت‌کننده کسکود تاشده، در این مدار به‌کار گرفته شد و نتیجه شبیه‌سازی بسیار مطلوب حاصل گردید. مدار کامل مرجع ولتاژ شکاف‌باند، با استفاده از تقویت‌کننده کسکود تاشده در شکل (۳-۱۴) آمده است:



شکل (۳-۱۴) مدار مرجع ولتاژ شکاف باندکلید خازنی با تقویت کننده عملیاتی کسکود تا شده

در این مدار بعلت بالا بودن بهره تقویت‌کننده، شکل موج خروجی(ولتاژ مرجع خروجی) در بازه دمایی صفر تا ۱۲۰ درجه تغییرات بسیار کمی دارد و خروجی، قابل قبول خواهد بود.

شکل (۳-۱۵) ولتاژ خروجی در چند سیکل و ولتاژ مرجع با بزرگنمایی زیاد را نشان می‌دهد.



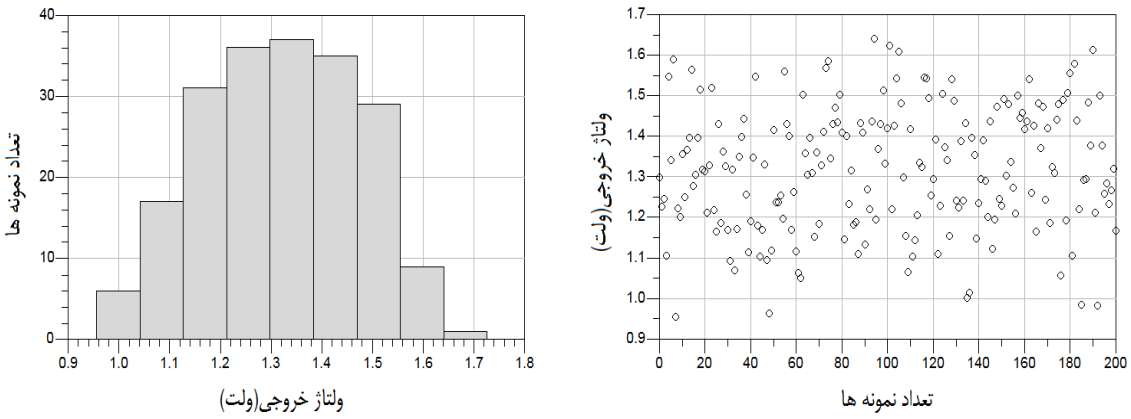
شکل (۳-۱۵) (الف) ولتاژ خروجی و (ب) ولتاژ مرجع و (ج) ولتاژ مرجع با بزرگنمایی زیاد.

جدول (۳-۴) ابعاد ترانزیستورهای استفاده شده در مدار شکل (۳-۱۴).

ترانزیستور	W/L(µm)	ترانزیستور	W/L(µm)
Mt	120/18	M9	7.8/0.5
Ma,Mb	35/0.3	M10,M13,M15,M17,M20	0.22/0.2
M1,M2	110/3.5	M11,M14,M16,M18,M19	1.5/0.5
M3,M4	55/3.5	M12	1.65/0.5
M5,M6	11/0.6	MC1,MC2	0.22/0.5
M7,M8	65/3	*	*

با تحلیل مونت‌کارلو مقدار میانگین ولتاژ خروجی(μ)، حدود ۱/۳۱۷ ولت اندازه‌گیری شده، و انحراف‌معیار (σ)، حدود ۰/۱۵ محاسبه شده است و نسبت σ/μ برابر٪۱۱/۳۹ بدست آمده است. مقدار میانگین جریان مصرفی مدار برابر با ۲۰۰ میکروآمپر می‌باشد و نتایج شبیه‌سازی مونت‌کارلو در شکل (۳-۱۶) آمده است، تغییرات ولتاژ خروجی در بازه دمایی صفر تا ۱۲۰ درجه سانتی‌گراد حداکثر ۱/۲۹۳۶ ولت و حداقل ۱/۲۹۱۸ ولت، در شکل (۳-۱۵) نشان داده شده است که با داشتن تغییرات ۰/۰۰۱۸ ولت در ولتاژ خروجی ۱/۲۹ ولت، ضریب دمایی آن به‌صورت زیر محاسبه می‌گردد

$$T_C = \frac{1}{V_{out}} \times \frac{\partial V_{out}}{\partial T} \approx \frac{1}{V_{out}} \times \frac{\Delta V_{out}}{\Delta T} = \frac{1}{1290} \times \frac{1.8}{120} = 11.63 ppm/°C \qquad (۳-۸)$$



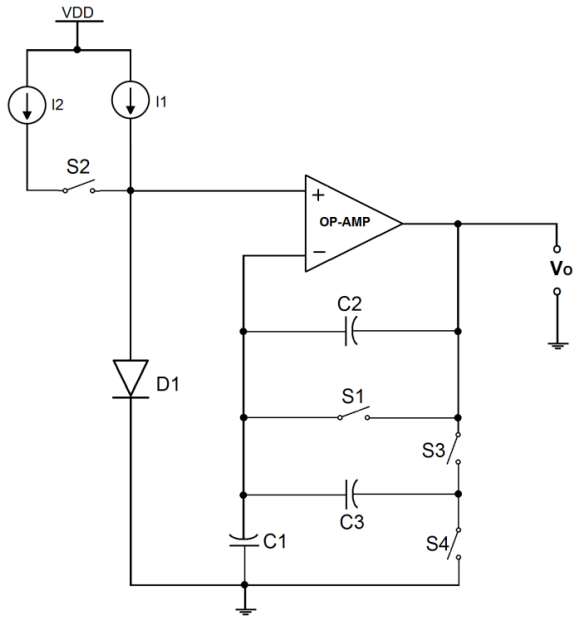
شکل (۳-۱۶)نتایج شبیه‌سازی مونت‌کارلو و هیستوگرام مرجع ولتاژ کلیدخازنی.

جدول (۳-۵) مقایسه مرجع ولتاژ کلیدخازنی شکل (۳-۱۴) با سایر کارها.

نتایج شبیه سازی	[۶]	[۳۲]	[۳۳]	[۳۴]	[۳۵]	[۳۶]	[۱۵]	واحد
فن آوری ساخت	0.35	500	400	180	90	65	180	*nm*
مساحت سیلیکن	-	0.4	0.1	0.045	-	0.0055	-	mm^2
میانگین ولتاژ مرجع	1260	1120	515	400	260	423	1317	mV
میانگین ضریب دمایی	112	127	58.3	80	136	160	11.63	$ppm/^oC$
جریان کل منبع	34	378	2.2	4.8	22	0.14	200	μA
ولتاژ منبع تغذیه	3 ~ 5	3.7	2.1	.56	.5	.75	1.8	V

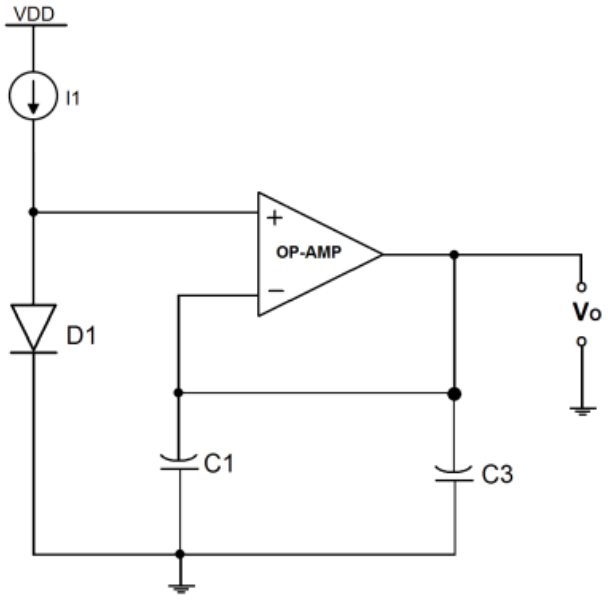
۳-۴ شبیه‌سازی مدار مرجع ولتاژ شکاف‌باند کلیدخازنی زیر یک ولت

این مرجع ولتاژ شکاف‌باند، ولتاژ مرجع زیر یک ولت تولید می‌نماید، و مقدار ولتاژ خروجی می‌تواند با تغییر خازن‌ها تنظیم شود[۳۱]، شکل (۳-۱۷) مدار آنرا نشان می‌دهد.



شکل (۳-۱۷) مدار مرجع ولتاژ شکاف‌باند کلیدخازنی زیر یک ولت [۳۱].

این مدار با دو فاز کلیدزنی کار می‌کند، در فاز نخست، کلیدهای S_4, S_1 بسته و بقیه کلیدها باز هستند، شکل (۳-۱۸) مدار این فاز را نشان می‌دهد.

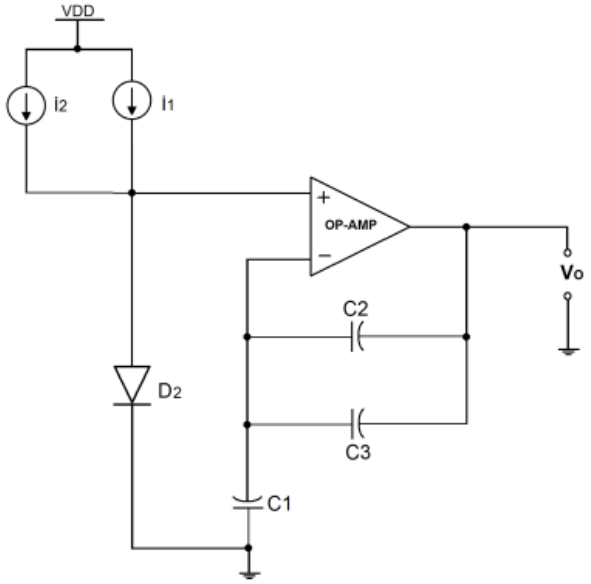


شکل (۳-۱۸) مدار حاصل از کلیدزنی در فاز نخست.

در این هنگام، جریان I_1 در دیود D_1 جریان خواهد یافت، چون آپ‌امپ دارای فیدبک منفی است، لذا ولتاژ دوگره ورودی آن هم پتانسیل است، در نتیجه $V_{C1}=V_{C3}=V_{D1}$ و داریم:

$$V_{D1} = n.V_T \ln\left(\frac{I}{I_S}\right) \qquad (۹-۳)$$

در این رابطه V_T ولتاژ حرارتی و n ضریب انتشار دیود است. در فاز دوم کلیدهای S_4, S_1 باز و بقیه کلیدها بسته هستند. مدار بصورت شکل (۳-۱۹) خواهد بود:



شکل (۳-۱۹) مدار حاصل از کلیدزنی در فاز دوم.

در این هنگام مجموع جریان‌های I_1 و I_2 به دیود D_2 تزریق می‌گردند. در نتیجه ولتاژ پایانه‌های ورودی تقویت‌کننده عملیاتی مساوی و بصورت زیر است:

$$V_{D2} = n.V_T.\ln\left(\frac{I_1 + I_2}{I_S}\right) \qquad (۱۰-۳)$$

با کلیدزنی تناوبی بین دو فاز، بار ذخیره شده در خازن‌های C_1 و C_3 دوباره بین خازن‌های C_1 و C_2 و C_3 توزیع می‌شود. بنابراین ولتاژ خروجی در فاز دوم این چنین نوشته خواهد شد:

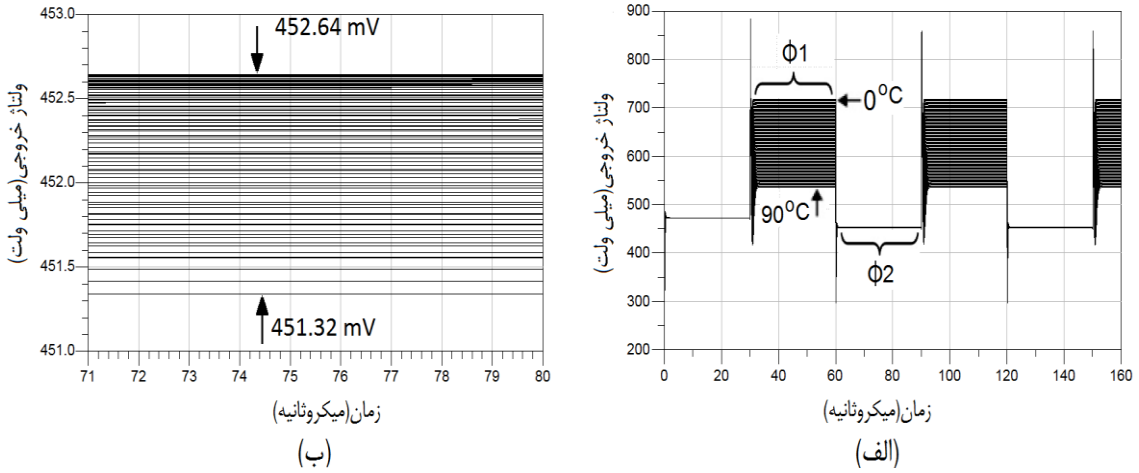
$$V_{OUT} = \frac{C_2}{C_2 + C_3}\left[V_{D2} + \frac{C_1 + C_3}{C_2}\ln\left(\frac{I_1 + I_2}{I_1}\right)V_T + V_{OS}\right] \qquad (۱۱-۳)$$

در رابطه فوق V_{OS} ولتاژ آفست آپ‌امپ بوده که از آن صرف‌نظر می‌نماییم، باید توجه داشت که در این مدار، با تنظیم نسبت $C_2/(C_2+C_3)$ می‌توان ولتاژ خروجی را در کمتر از یک ولت نیز تنظیم نمود.

به‌هرحال برای دست‌یابی به مرجع ولتاژ دقیق با توجه به تغییرات فرآیند ساختی که پیش‌رو است، یک روش تنظیم نمودن ضرورت خواهد داشت[۳۱].

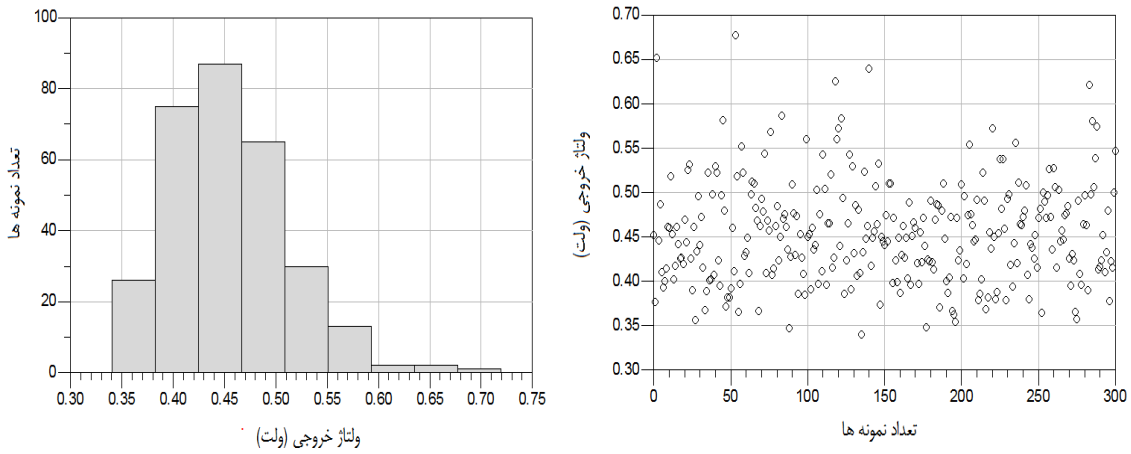
مدار شکاف‌باند کلیدخازنی پیشنهاد شده، با داشتن قابلیت تنظیم، می‌تواند پیاده‌سازی راحتی در طراحی داشته و شایسته کاربردهای تجاری باشد. در اغلب مراجع ولتاژ متداول، تنظیم ولتاژ خروجی با مقاومت صورت می‌گیرد، در حالی‌که در این مدار با استفاده از نسبت خازن‌ها انجام می‌پذیرد[۳۱].

شبیه‌سازی مدار فوق در نرم‌افزار ADS و فن‌آوری 0.18 µm CMOS انجام پذیرفت. منبع تغذیه ۱/۸ ولت می‌باشد و تمامی ترانزیستورها در بالای ناحیه آستانه کار می‌کنند. میانگین جریان مصرفی مدار ۲۴۰ میکروآمپر می‌باشد، نسبت جریان‌های I_2 به I_1 حدود ۴ در نظر گرفته شده است و خازن C_3=4PF و خازن‌های C_1=C_2=2.6PF می‌باشند. در زمان ۳۰ تا ۶۰ میکروثانیه فاز اول رخ خواهد داد و در زمان ۶۰ تا ۹۰ میکروثانیه فاز دوم اجرا خواهد شد. نتایج شبیه‌سازی برای ولتاژ خروجی، در تغییرات دمایی صفر تا ۹۰ درجه سانتی‌گراد، بصورت شکل (۳-۲۰) ترسیم شده است:



شکل (۳-۲۰) (الف) ولتاژ خروجی و (ب) ولتاژ خروجی با بزرگ‌نمایی زیاد.

با تحلیل مونت‌کارلو و رسم نتایج شبیه‌سازی آن، مقدار میانگین ولتاژ خروجی (μ)، برابر ۰/۴۵۴ ولت و انحراف‌معیار آن (σ) برابر ۰/۰۵۷ اندازه‌گیری شده است. که نسبت σ/μ برابر ٪۱۲/۵ بدست می‌آید. نتایج شبیه‌سازی مونت‌کارلو در شکل (۳-۲۱) نشان داده شده است.



شکل (۳-۲۱) نتایج شبیه‌سازی مونت‌کارلو و هیستوگرام مرجع ولتاژ کلیدخازنی.

با توجه به میانگین ولتاژ خروجی ۴۵۴ میلی‌ولت و تغییرات ولتاژ خروجی ۱/۳۲ میلی‌ولت، ضریب‌دمایی آن بصورت زیر خواهد بود:

$$T_C = \frac{1}{V_{out}} \times \frac{\partial V_{out}}{\partial T} \approx \frac{1}{V_{out}} \times \frac{\Delta V_{out}}{\Delta T} = \frac{1}{454} \times \frac{1.32}{90} = 32.3 ppm/°C \qquad (۱۲-۳)$$

در جدول زیر این کار با سایر کارها مورد ارزیابی قرار گرفته است که ضریب دمایی این کار به غیر از کار [۱۵] که ولتاژ بالای یک ولت دارد از بقیه کارها بهتر است.

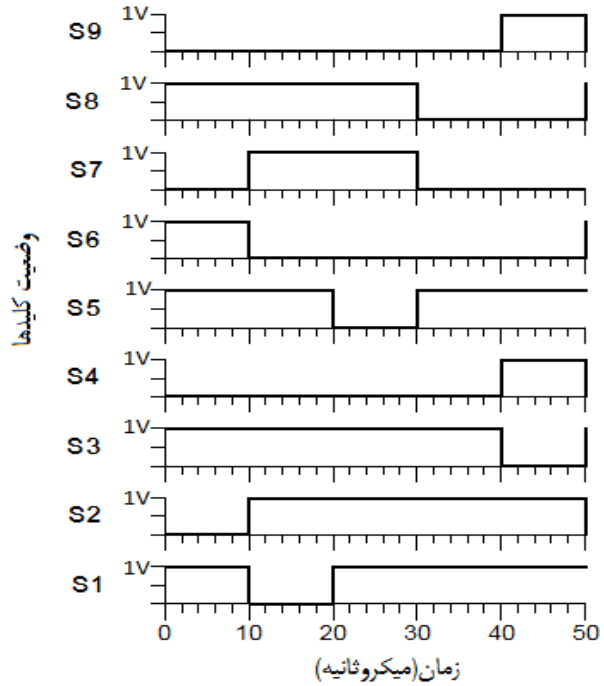
جدول (۳-۶) مقایسه مرجع ولتاژ شکاف‌باند [۳۱] شکل (۳-۱۸) با سایر کارها.

نتایج شبیه سازی	[۶]	[۳۲]	[۳۳]	[۳۴]	[۳۵]	[۱۵]	[۳۱]	واحد
فن آوری ساخت	0.35	500	400	180	90	180	180	*nm*
مساحت سیلیکن	-	0.4	0.1	0.045	-	-	-	mm^2
میانگین ولتاژ مرجع	1260	1120	515	400	260	1317	454	mV
میانگین ضریب دمایی	112	127	58.3	80	136	11.63	32.3	$ppm/^oC$
جریان کل منبع	34	378	2.2	4.8	22	200	240	µA
ولتاژ منبع تغذیه	3 ~ 5	3.7	2.1	.56	.5	1.8	1.8	V

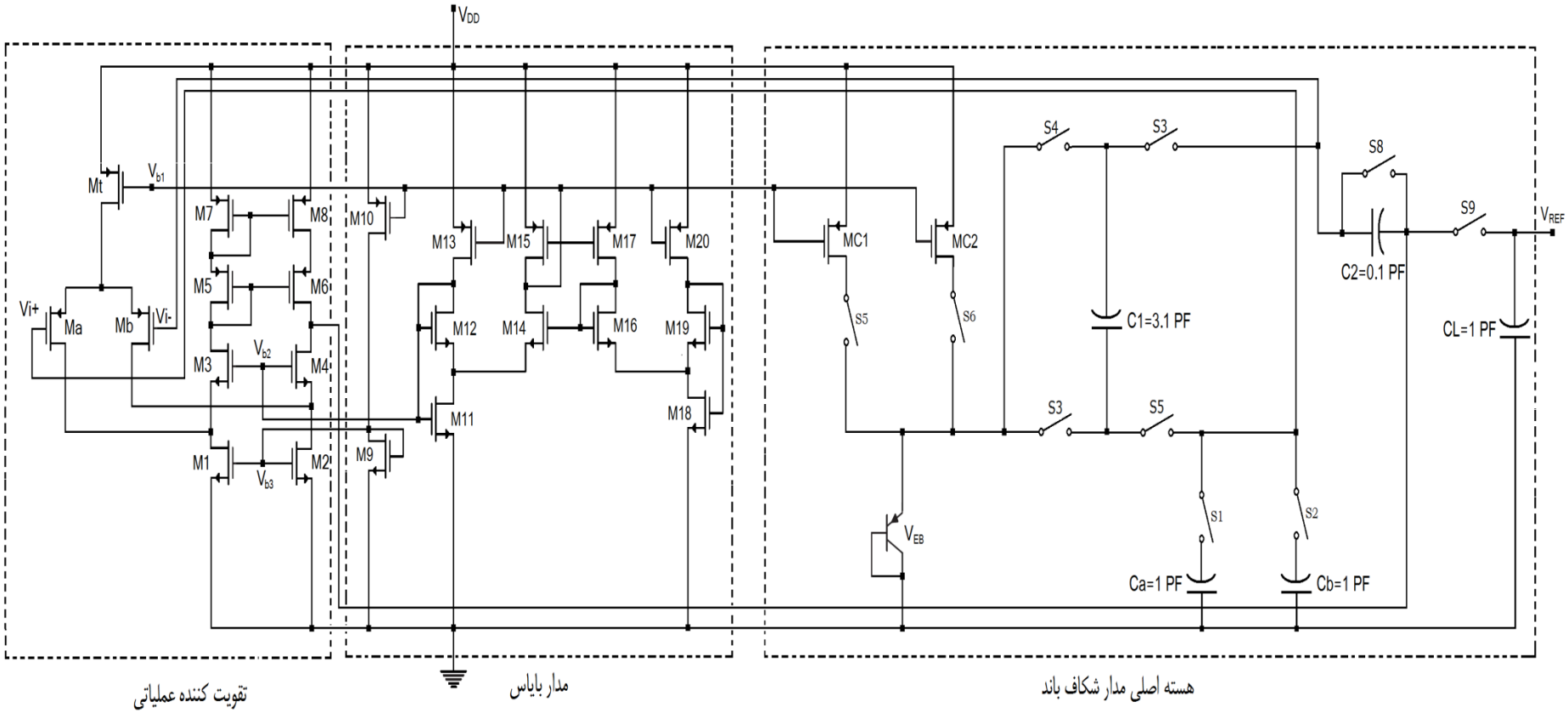
۳-۵ شبیه‌سازی مدار مرجع ولتاژشکاف‌باند کلیدخازنی با حذف ولتاژ آفست [۲۹]

در قسمت‌های قبل، خطاهای ناشی از تقویت‌کننده عملیاتی، مانند بهره محدود آپ‌امپ و ولتاژ آفست مورد بررسی قرار گرفت. این عوامل، باعث می‌شود دقت ولتاژ خروجی کاهش یابد، در فصل ۲ مداری که ولتاژ آفست آن حذف می‌شود، ارائه گردید. در این بخش، همان مدار [۲۹] شبیه‌سازی شده، و مشخصه‌های آن مورد ارزیابی قرار می‌گیرد. از مشخصه‌های بارز این مدار، تغییرات بسیار کم ولتاژ خروجی نسبت به دما و هم‌چنین نسبت به ولتاژ ورودی است. مدار مرجع ولتاژ شکاف‌باند کلیدخازنی با حذف ولتاژ آفست درشکل (۳-۲۳) با استفاده از نرم‌افزار ADS شبیه‌سازی شده است.

مدار این طرح، شبیه مدار شکل (۳-۱۵) است، و فقط مقادیر خازن‌های بکار رفته در آن متفاوت است. مدار آپ‌امپ و مدار بایاس آن، دقیقا با هم برابرند، ولی در قسمت هسته اصلی مدار، کاملا متمایز است. مدار با پنج فاز کلیدزنی، خروجی قابل قبولی بوجود می‌آورد، که نسبت به دما، از پایداری بسیار خوبی برخوردار است. کل زمان کلیدزنی ۵۰ میکروثانیه است و ولتاژ حالت روشن پالس‌های کلیدزنی، یک ولت در نظر گرفته شده است. شکل (۳-۲۲) پالس فازهای کلیدزنی را نشان می‌دهد.

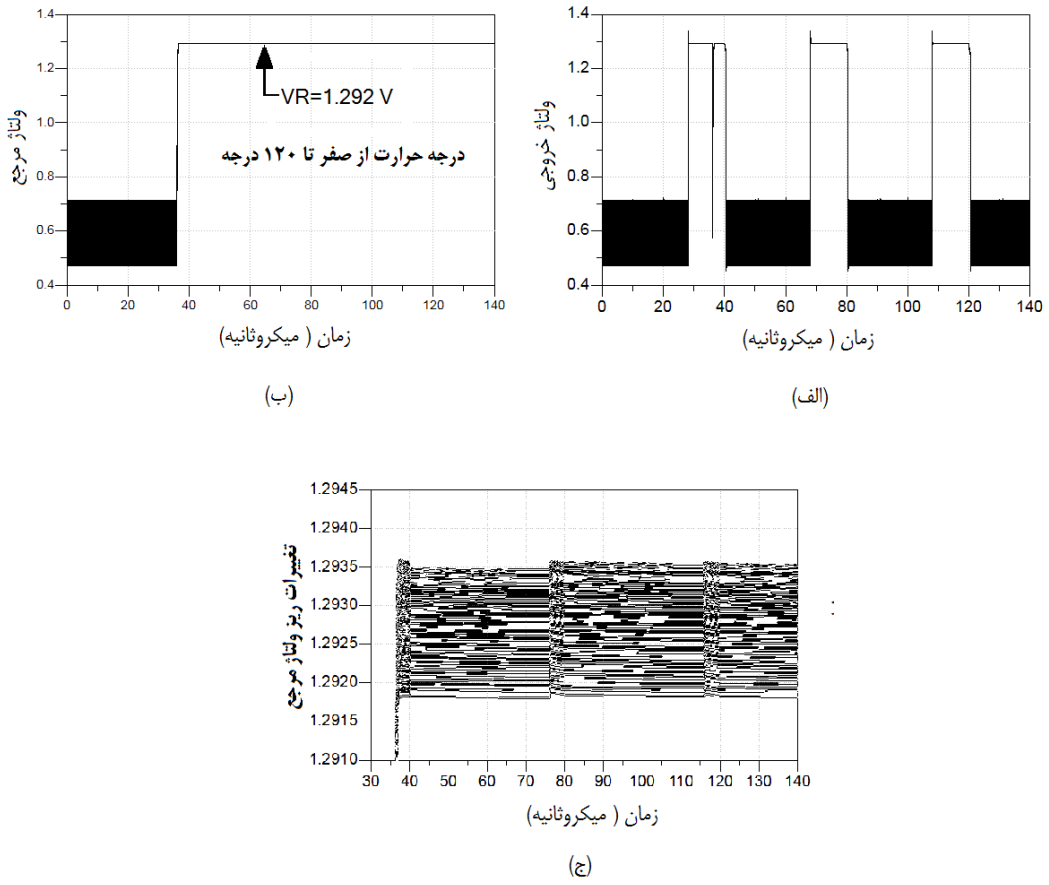


شکل(۳-۲۲) پالس‌های کلیدزنی در یک دوره، از مدار مرجع ولتاژشکاف‌باند با حذف ولتاژ آفست[۲۹].



شکل (۳-۲۳) مدار مرجع ولتاژ شکاف باند کلید خازنی با حذف ولتاژ آفست [۲۹]

پس از شبیه‌سازی مدار شکل (۳-۲۳) با نرم‌افزار ADS ولتاژ خروجی و ولتاژ مرجع مانند شکل (۳-۲۴) بدست می‌آید.

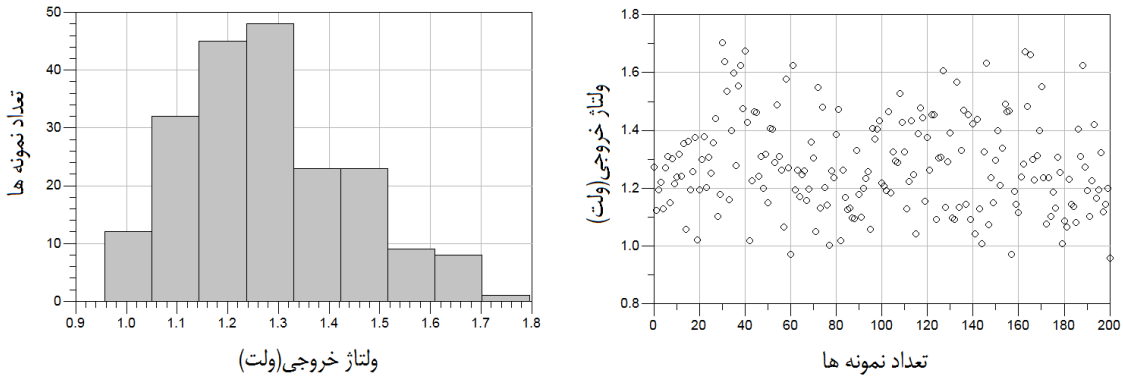


شکل (۳-۲۴) (الف) ولتاژ خروجی آپ‌امپ و (ب) ولتاژ مرجع و (ج) ولتاژ مرجع با بزرگ‌نمایی زیاد

این مدار قادر است ولتاژ مرجع، به مقدار ۱/۲۷۳ ولت، با وابستگی دمایی بسیار پایین، در خروجی ایجاد کند، تغییرات ولتاژ خروجی حدود یک میلی‌ولت، به ازای ولتاژ ۱/۲۷۳ ولت است، جریان مصرفی مدار برابر ۱۴۳ میکروآمپر، و ضریب حرارتی آن برابر است با:

$$T_C = \frac{1}{V_{out}} \times \frac{\partial V_{out}}{\partial T} \approx \frac{1}{V_{out}} \times \frac{\Delta V_{out}}{\Delta T} = \frac{1}{1.273} \times \frac{1}{90} = 8.7\, ppm/°C \qquad (۱۳-۳)$$

این مقدار ضریب حرارتی کم، نشان‌دهنده حذف عوامل خطا، در مدار تقویت‌کننده عملیاتی است. با تحلیل مونت‌کارلو و رسم نمودار آن مقدار میانگین ولتاژ خروجی (μ)، برابر ۱/۲۷۸ ولت و انحراف‌معیار آن (σ) برابر ۰/۱۶۳ اندازه‌گیری شده است. که نسبت σ/μ برابر ٪۱۲/۷ بدست می‌آید. نتایج شبیه‌سازی مونت کارلو در شکل (۳-۲۵) نشان داده شده است.



شکل (۳-۲۵) نمودار مونت‌کارلو و هیستوگرام مرجع ولتاژ کلیدخازنی با هدف حذف ولتاژ آفست.

با جمع‌آوری نمونه کارهای انجام شده قبل و مقایسه آن‌ها با این کار، در جدول زیر مقایسه آن‌ها ذکر شده است، جدول (۳-۷) به وضوح نشان می‌دهد در بین کارهای انجام شده، میانگین ضریب دمایی این کار، کمترین مقدار در بین بقیه است.

جدول (۳-۷) مقایسه مرجع ولتاژ شکاف‌باند با حذف ولتاژ آفست[۲۹] با کارهای دیگر.

نتایج شبیه سازی	[۳۴]	[۳۵]	[۳۶]	[۱۵]	[۳۱]	[۲۹]	واحد
فن آوری ساخت	180	90	65	180	180	180	*nm*
مساحت سیلیکن	0.045	-	0.0055	-	-	0.15	mm^2
میانگین ولتاژ مرجع	400	260	423	1317	454	1273	mV
میانگین ضریب دمایی	80	136	160	11.63	32.3	8.7	$ppm/^oC$
جریان کل منبع	4.8	22	0.14	200	240	143	µA
ولتاژ منبع تغذیه	.56	.5	.75	1.8	1.8	1.8	V

ابعاد ترانزیستورهای مدار مرجع ولتاژ شکاف‌باند با هدف حذف ولتاژ آفست شکل(۳-۲۳) مانند جدول(۳-۴) می‌باشد.

فصل ۴

مراجع ولتاژ پیشنهادی با استفاده از ترانزیستورهای زیرآستانه

۴-۱ مقدمه

تاکنون مراجع ولتاژی که بررسی شدند، برای ایجاد ولتاژ CTAT از ترانزیستورهای دوقطبی استفاده می‌کردند، که البته از نظر مداری، خیلی ساده‌تر به‌نظر می‌رسیدند. ولی جریان زیادی مصرف می‌کردند. و با فن‌آوری CMOS کمی ناسازگار بودند. ولتاژ مرجع این مدارات از حاصل‌جمع دو ولتاژ CTAT و PTAT ساخته می‌شدند، که ولتاژ CTAT همان ولتاژ بیس ـ امیتر ترانزیستور دوقطبی و ولتاژ PTAT، نیز اختلاف دو ولتاژ بیس ـ امیتر (ضریبی از ولتاژ حرارتی) بوده و هرجمله حدود ۰/۶ ولت به خود اختصاص می‌دهند، لذا ولتاژ مرجع ساخته شده بیشتر از یک ولت خواهد بود.

دو مرجع ولتاژ طراحی شده (الف) و (ب) در این پایان‌نامه، با بکارگیری ترانزیستور CMOS بجای BJT سه ویژگی مهم را بهبود بخشیده است.

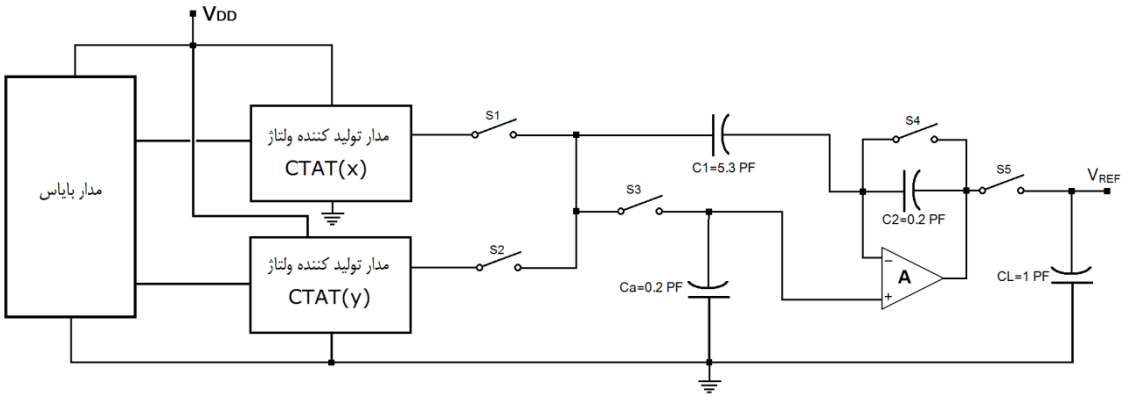
اول آنکه: چون از ترانزیستور CMOS بجای BJT استفاده شده است، قابل پیاده‌سازی به‌صورت Fully CMOS است.

دوم آنکه: جریان مدار مولد CTAT بطور قابل‌ملاحظه‌ای کاهش می‌یابد. چون ترانزیستورهای مدار در ناحیه زیر آستانه کار می‌کنند. البته تقویت‌کننده عملیاتی در این مدار همانند مدارهای قبلی جریان زیادی(حدود میکروآمپر) مصرف می‌کند، که برای کاهش جریان مصرفی آن دو راه حل به‌نظر می‌رسد، یکی استفاده از مدار مرجعی که تقویت‌کننده عملیاتی در آن وجود نداشته باشد و دیگری طراحی تقویت‌کننده عملیاتی در ناحیه زیرآستانه است.

سوم آنکه: با انتخاب درست نسبت ابعاد ترانزیستور(W/L)، ولتاژ CTAT و PTAT را به شکل دلخواه می‌توان تغییر داد و ولتاژ مرجع را به زیر یک ولت رساند. این سه خصوصیت در مدارهای معرفی شده قبل وجود نداشتند. در مقابل، برای ساختن ولتاژ CTAT، به مدار بایاس و هم‌چنین ترانزیستورهای CMOS نسبتا زیادی نیاز است در حالی‌که در مدارهای قبل از دو یا یک ترانزیستور دوقطبی استفاده می‌شد، که بایستی بین انتخاب این روش‌ها مصالحه نمود.

۴-۲ (الف) مرجع ولتاژ کلیدخازنی پیشنهادی با مولد CTAT زیرآستانه

الگوی این مدار برگفته از مدار شکل (۲-۱۳) می‌باشد، که با تغییراتی در مدار تولیدکننده ولتاژ CTAT شکل (۴-۱) ایجاد شده است.



شکل (۴-۱) مدار مرجع ولتاژ کلیدخازنی پیشنهادی.

در این طراحی سعی شده است، برای تولید ولتاژ CTAT بجای ترانزیستور دوقطبی، از ترانزیستورهای CMOS در ناحیه زیرآستانه استفاده گردد. اگر $V_{ds} > 4V_T$ باشد، ترانزیستور در ناحیه اشباع زیرآستانه کار خواهد کرد و جریان درین آن، از رابطه زیر محاسبه می‌گردد[۳۷].

$$I_{sub} = \mu.C_{ox}\left(\frac{W}{L}\right)V_T^2 e^{\frac{V_{gs}-V_{th}}{\eta V_T}} \qquad (۱-۴)$$

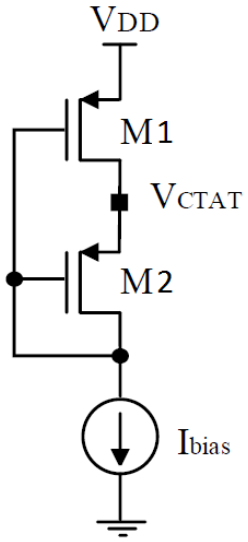
در رابطه فوق μ قابلیت‌تحرک‌الکترون[1]، η ضریب شیب ناحیه زیرآستانه، C_{ox} خازن واحد سطح اکسید، V_T ولتاژ حرارتی، W/L ابعاد تراتزیستور، V_{th} ولتاژآستانه و V_{gs} ولتاژ گیت- سورس ترانزیستور است.

$$V_{gs} = \eta V_T \ln\left(\frac{I_{sub}}{\mu C_{ox}\frac{W}{L}V_T^2}\right) + V_{th} \qquad (۲-۴)$$

$$V_{gs1} - V_{gs2} = \eta.V_T.\ln\left(\frac{(W/L)_2}{(W/L)_1}\right) \qquad (۳-۴)$$

[1] Mobility

مدار مولد ولتاژ CTAT در شکل (۴-۲) نشان داده شده است و ترانزیستورها در ناحیه زیرآستانه قرار دارند، لذا در این ناحیه جریان درین بسیار پایین است، از این‌رو اگر این مولد ولتاژ CTAT در مدار مرجع ولتاژ مورد استفاده قرار گیرد توان بسیار کمی مصرف خواهد کرد. این مدار یک ولتاژ CTAT به مقدار نزدیک V_{DD}=1.8 تولید می‌نماید. که مدار مرجع پیشنهادی ما به ولتاژ خیلی پایین‌تری در حدود ۰/۵ ولت نیاز دارد که برای این‌کار بایستی تدابیری اندیشیده شود.



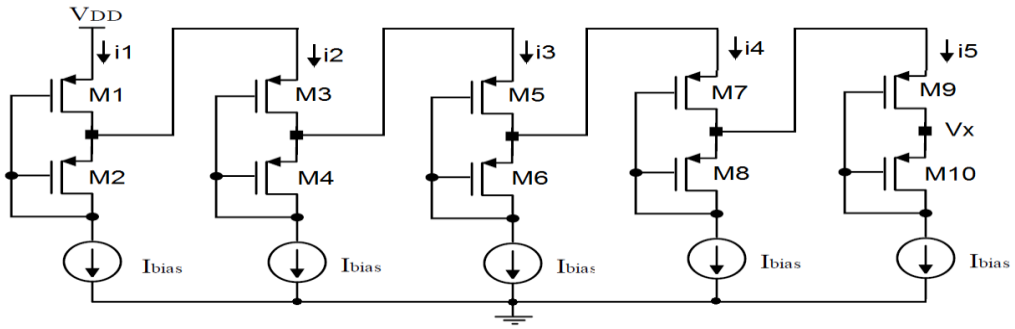
شکل (۴-۲) مدار تولید ولتاژ CTAT در ناحیه زیرآستانه[۳۷].

در مدار (۴-۲) رابطه ولتاژ CTAT بصورت زیر است:

$$V_{CTAT} = V_{DD} - (V_{gs1} - V_{gs2}) = V_{DD} - \eta.V_T.\ln\left(\frac{(W/L)_2}{(W/L)_1}\right) \qquad (۴-۴)$$

طبق رابطه بالا ولتاژ CTAT به ولتاژ منبع تغذیه وابسته است. با توجه به رابطه (۴-۴) اگر بخواهیم ولتاژ CTAT کوچکی در حدود ۰/۵ ولت داشته باشیم می‌بایست نسبت $(W/L)_2/(W/L)_1$ را بسیار بزرگ انتخاب کنیم که در نتیجه یک ترانزیستور بسیار بزرگ، و دیگری بسیار کوچک خواهد شد. و در عمل مشکل‌ساز خواهد بود. بنابراین برای ساختن ولتاژ CTAT کوچک می‌توان چندین طبقه متوالی را به صورت شکل(۴-۳) کسکید[1] نمود.

[1] Cascade



شکل (۴-۳) مدار تولیدکننده ولتاژ CTAT برای دست‌یابی به ولتاژ کمتر[۳۷].

با توجه به شکل (۴-۳) برای دست‌یابی به ولتاژ کمتر، بستن چندین مدار به‌طور متوالی نیاز است. در این مدار بایستی توجه داشت، که جریان $i_4=2i_5$ و همین‌طور $i_1=5i_5$ می‌باشد. نسبت ابعاد ترانزیستورها K فرض شده است (W/L=K) و برای بدست آوردن ولتاژ خروجی از روابط قبل داریم:

$$V_{CTAT}=V_{DD}-[(V_{gs1}-V_{gs2})+(V_{gs3}-V_{gs4})+(V_{gs5}-V_{gs6})+ (V_{gs7}-V_{gs8})+(V_{gs9}-V_{gs10})] \quad (۵-۴)$$

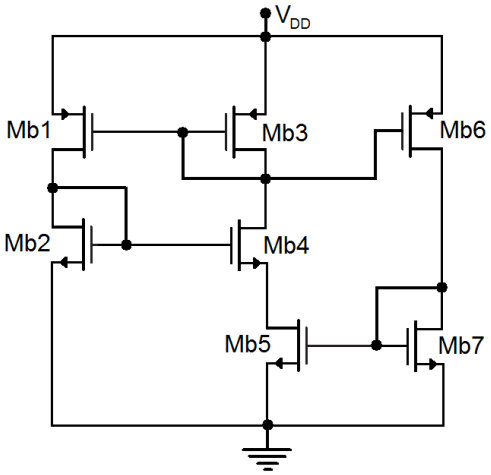
$$V_{CTAT}=V_{DD}-\eta.V_T.\ln\left(\frac{5\times4\times3\times2K_2.K_4.K_6.K_8.K_{10}}{K_1.K_3.K_5.K_7.K_9}\right) \quad (۶-۴)$$

در این‌حالت به یک ولتاژ CTAT حدود 0.5^V نیاز است تا مدار مرجع ولتاژ زیر یک ولتی طراحی شود که همان آپ‌امپ طراحی شده در بخش قبل در این مدار مورد استفاده قرار گیرد و این آپ‌امپ با مد مشترک حدود ۰/۵ تا ۰/۷ ولت کار می‌کند. لذا در هر طبقه مقداری ولتاژ کم می‌شود، تا در نهایت به این مقدار برسد.

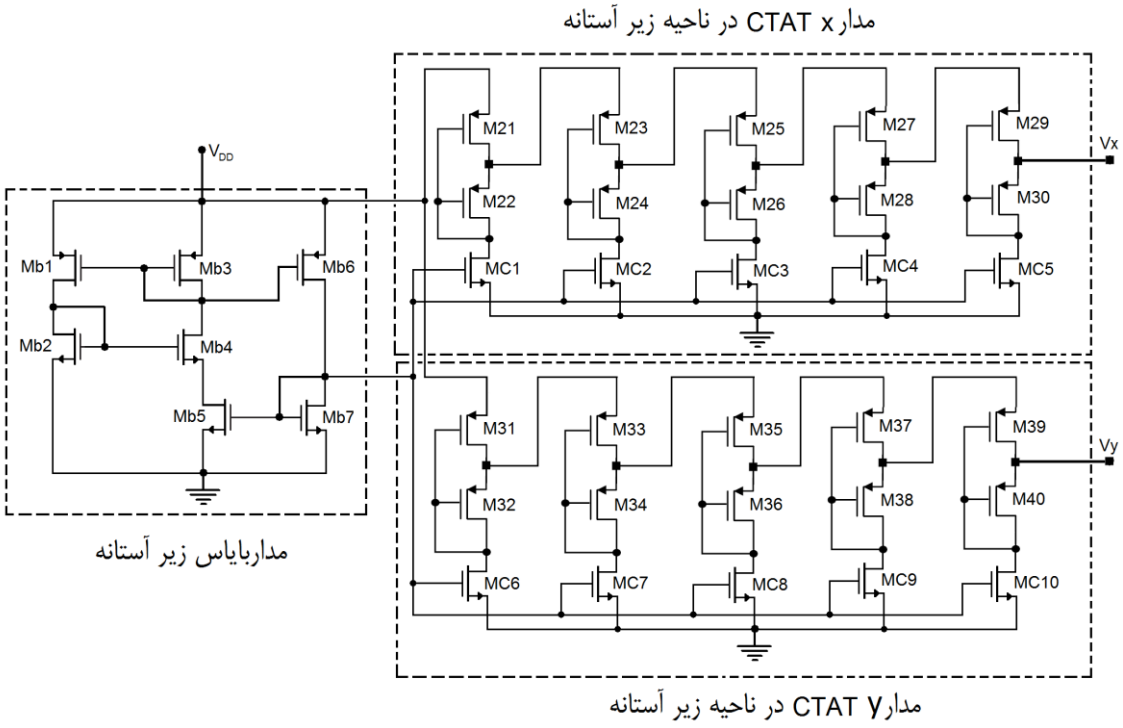
برای یافتن مقدار دقیق η مدار (۴-۲) را بسته و با مقادیر $I_{bias}=10nA$ و $(W/L)_1=(47/0.3)=156.6$ و $(W/L)_2=(0.3/0.18)=1.66$ و $V_{DD}=1.8$، مقدار $V_{CTAT}=1.61$ بدست می‌آید، این مقدار در معادله (۴-۴) قرارداده شده و η بدست می‌آید. که برای رسیدن به عدد دقیق‌تر این‌کار چندین بار تکرار شده است. مقدار η بدست آمده در این فن‌آوری برابر ۱/۵۷ می‌باشد.

در مدار تولیدکننده ولتاژ CTAT فوق‌الذکر سعی شده است شیب خط $(\partial V_x/\partial T)$ به $-2mV/°C$ نزدیک باشد و برای تولید ولتاژ PTAT از دو مدار مولد CTAT با شیب برابر طبق شکل (۴-۶) که مقدار ولتاژ آن‌ها حدود ۲۰ میلی‌ولت اختلاف دارند(تقریبا $V_T.\ln(2)$)، استفاده شده است.

برای به‌وجود آوردن این اختلاف، W/L ترانزیستورهای مدار (CTAT Y) کمی بیشتر انتخاب شده است. هم‌چنین برای بایاس ترانزیستورهای منبع‌جریان از یک مدار بایاس زیرآستانه شکل (۴-۴) استفاده شده[۲۳]، که جریانی حدود۴۰ نانوآمپر مصرف می‌کنند، ابعاد همه ترانزیستورهای آن W=0.22µm و L=0.2µm است، شکل‌های (۴-۴) و (۴-۵) مدار بایاس و هسته اصلی مدار مرجع ولتاژ را نشان می‌دهد.



شکل (۴-۴) مدار بایاس زیرآستانه جهت بایاس منابع جریان مدارهای CTAT [۲۳].

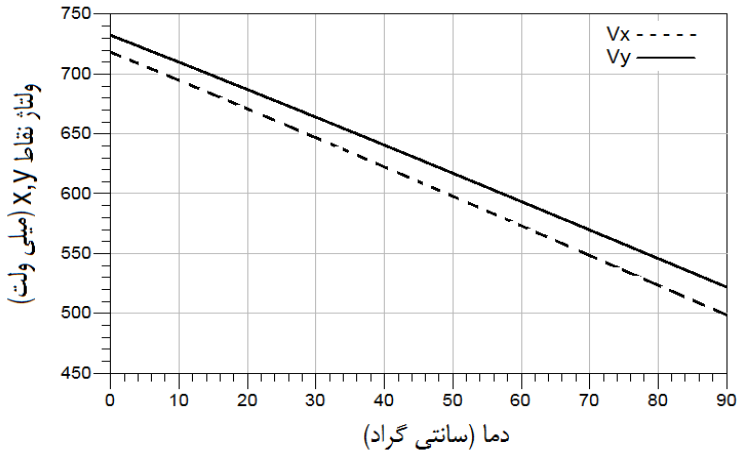


شکل (۴-۵) مولد ولتاژ CTAT با استفاده از MOS زیر آستانه.

در مدار پیشنهادی برای V_x و V_y هرکدام، پنج طبقه مدار CTAT استفاده شده است، برای اینکه V_x کاهش یابد طبق شکل (۴-۲) و رابطه (۴-۴) بایستی طول (L) ترانزیستور M_2 افزایش، یا عرض(W) ترانزیستور M_1 کاهش یابد و یا طول ترانزیستور M_1 افزایش، یا عرض ترانزیستور M_2 کاهش یابد. تا حد امکان، این کار در بهترین حالت ممکن، صورت گرفته است.

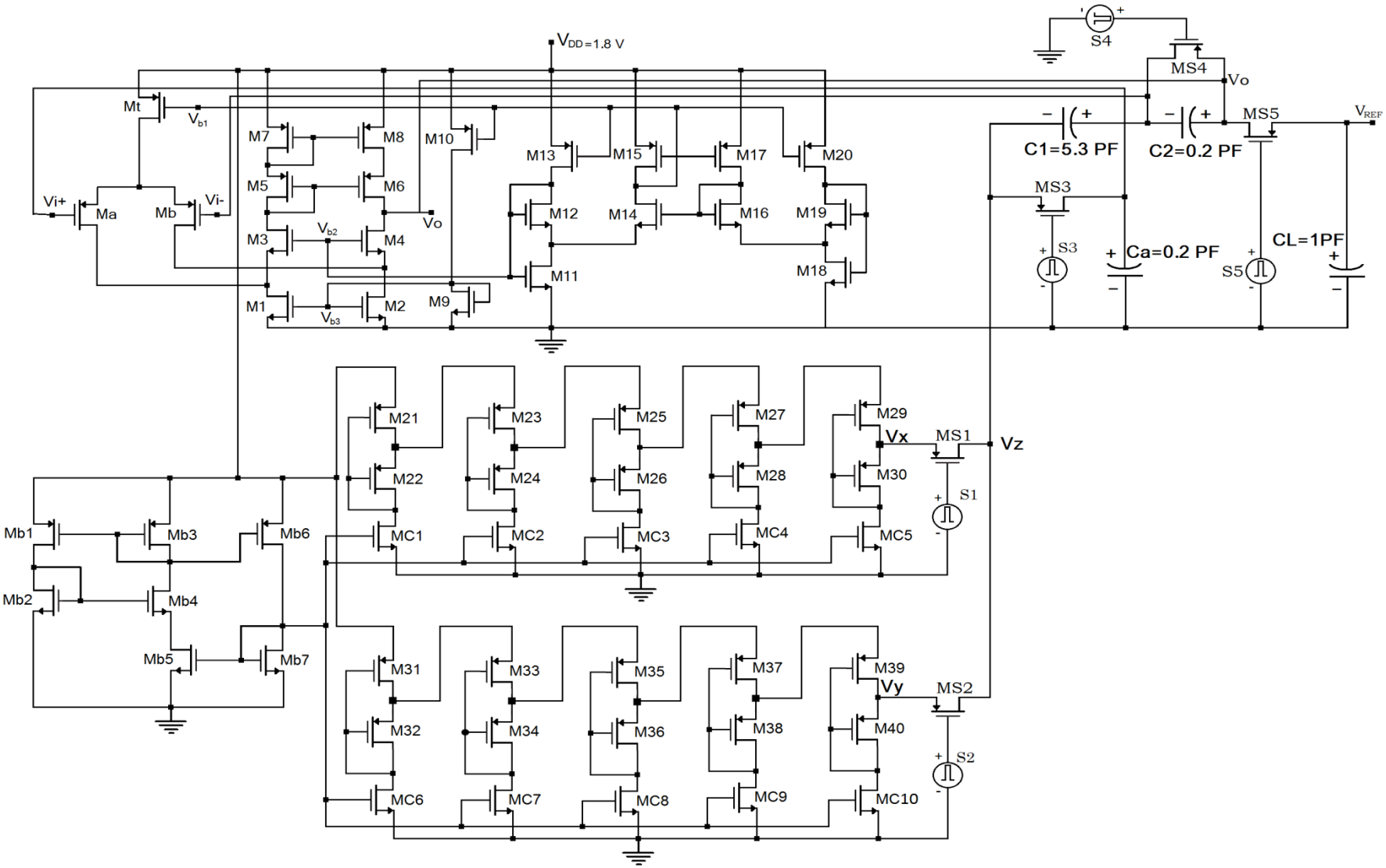
در افزایش طول ترانزیستور محدودیت وجود دارد، چون در ماکزیمم طول ترانزیستور، شیب ولتاژ CTAT رفتار خطی نخواهد داشت، برای اینکه تعداد طبقات کم باشد، نمی‌توان طول ترانزیستور را ماکزیمم انتخاب نمود.

در این صورت بهتر است، بین طول ترانزیستور و تعداد طبقات مصالحه کرد، شکل (۴-۶) خروجی DC ولتاژهای V_x و V_y را به ازای ابعاد نشان داده شده در جدول (۴-۱) نشان می‌دهد.



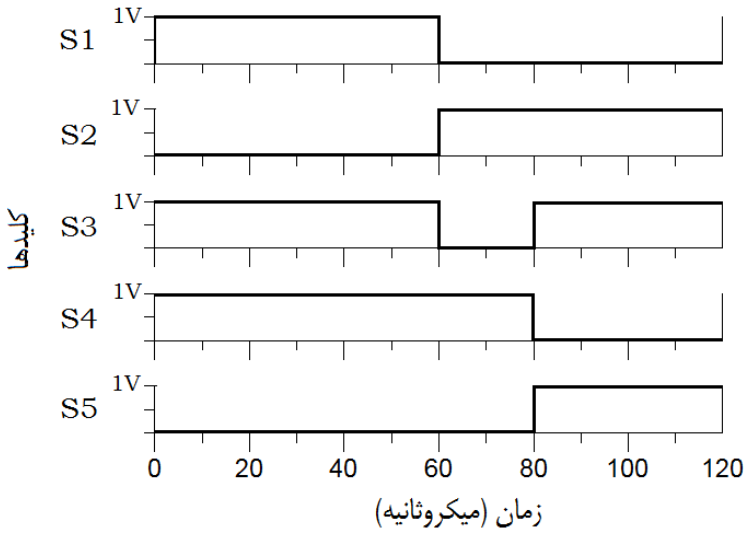
شکل (۴-۶) منحنی تغییرات V_x,V_y در دماهای مختلف.

براساس شکل (۴-۵) شیب خط V_X بصورت $\partial V_x / \partial T = (0.718 - 0.499)/(0 - 90) = -2.43mV/°C$ و شیب خط V_y بصورت $\partial V_y / \partial T = (0.732 - 0.522)/(0 - 90) = -2.33mV/°C$ بدست می‌آید. اگر مقدار شیب دو خط V_X و V_y برابر باشد، بهترین شرایط حاکم است. در مدار سعی شده است، این قضیه در نظر گرفته شود. شکل (۴-۷) مدار کامل مرجع ولتاژ کلیدخازنی بدون مقاومت در ناحیه زیرآستانه را نشان می‌دهد. اکنون ولتاژهای CTAT ساخته شده در شکل (۴-۵) را مطابق ایده‌ی مطرح شده در شکل (۴-۱) به کار گرفته و مدار شکل (۴-۷) را با فازهای کلیدزنی شکل(۴-۸) به عنوان یک مرجع ولتاژ کلیدخازنی جدید با ترانزیستورهای زیرآستانه و بدون BJT پیشنهاد می‌دهیم.



شکل (۴–۷) مدار کامل مرجع ولتاژ کلیدخازنی بدون مقاومت در ناحیه زیر آستانه

شکل (۴-۸) پالس‌های فازهای کلیدزنی را نشان می‌دهد. فاز اول در زمان صفر تا ۶۰ میکروثانیه، فاز دوم ۶۰ تا ۸۰ میکروثانیه و فاز سوم ۸۰ تا ۱۲۰ میکروثانیه قرار دارد. لازم به ذکر است مدت زمان پالس‌ها به سرعت آپ‌امپ و اندازه خازن‌ها وابسته است.



شکل (۴-۸) پالس های کلیدزنی مدار مرجع ولتاژ بدون مقاومت در ناحیه زیرآستانه.

این مدار در سه فاز کلیدزنی، کار می‌کند. در فاز نخست کلیدهای S_4, S_3, S_1 بسته و بقیه کلیدها باز هستند. در این صورت خازن C_a به اندازه ولتاژ V_x شارژ می‌گردد. در این‌حالت به‌علت هم‌پتانسیل بودن دوسر ورودی تقویت‌کننده، خازن C_1 دشارژ می‌باشد. در این صورت داریم:

$$V_{C1} = V_{C2} = 0 \qquad (۴-۵)$$

$$V_{Ca} = V_x \qquad (۴-۶)$$

در فاز دوم کلیدهای S_4, S_2 بسته و بقیه کلیدها باز هستند. در این‌حالت ولتاژ V_y روی پایانه‌چپ خازن C_1 قرار می‌گیرد. در این‌صورت داریم:

$$V_z = V_y, V_{Ca} = V_x \rightarrow V_{C1} = V_y - V_x \qquad (۴-۷)$$

در فاز سوم کلیدهای S_5, S_3, S_2 بسته و بقیه کلیدها باز هستند. در این‌حالت بار خازن C_1 روی خازن C_2 تخلیه می‌گردد. $(Q_{C1} \rightarrow Q_{C2})$ و ولتاژ خازن C_2 به اندازه (C_1V_{C1}/C_2) تغییر می‌کند یعنی داریم:

$$V_{C2} = \frac{C_1}{C_2} V_{C1} = \frac{C_1}{C_2}(V_y - V_x) \qquad (۸-۴)$$

که در آن:

$$V_x = V_{DD} - \eta.V_T.\ln\left(\frac{5\times 4\times 3\times 2K_{22}.K_{24}.K_{26}.K_{28}.K_{30}}{K_{21}.K_{23}.K_{25}.K_{27}.K_{29}}\right) \qquad (۹-۴)$$

$$V_x = V_{DD} - \eta.V_T.\ln(m) \qquad (۱۰-۴)$$

$$V_y = V_{DD} - \eta.V_T.\ln\left(\frac{5\times 4\times 3\times 2K_{32}.K_{34}.K_{36}.K_{38}.K_{40}}{K_{31}.K_{33}.K_{35}.K_{37}.K_{39}}\right) \qquad (۱۱-۴)$$

$$V_y = V_{DD} - \eta.V_T.\ln(n) \qquad (۱۲-۴)$$

در نتیجه:

$$V_{C1} = V_y - V_x = \Delta V_{CTAT} = \eta.V_T.\ln\left(\frac{m}{n}\right) = V_{PTAT} \qquad (۱۳-۴)$$

بنابراین ولتاژ مرجع خروجی برابر است با:

$$V_{REF} = V_y + \frac{C_1}{C_2}\Delta V_{CTAT} = V_{CTAT} + \frac{C_1}{C_2}V_{PTAT} \qquad (۱۴-۴)$$

$$V_{REF} = V_y + \frac{C_1}{C_2}(V_y - V_x) = V_{DD} - \eta.V_T.\ln(n) + \frac{C_1}{C_2}\eta.V_T.\ln\left(\frac{m}{n}\right) \qquad (۱۵-۴)$$

$$V_{REF} = V_{DD} - \eta.V_T\left(\ln(n) - \frac{C_1}{C_2}\ln\left(\frac{m}{n}\right)\right) \qquad (۱۶-۴)$$

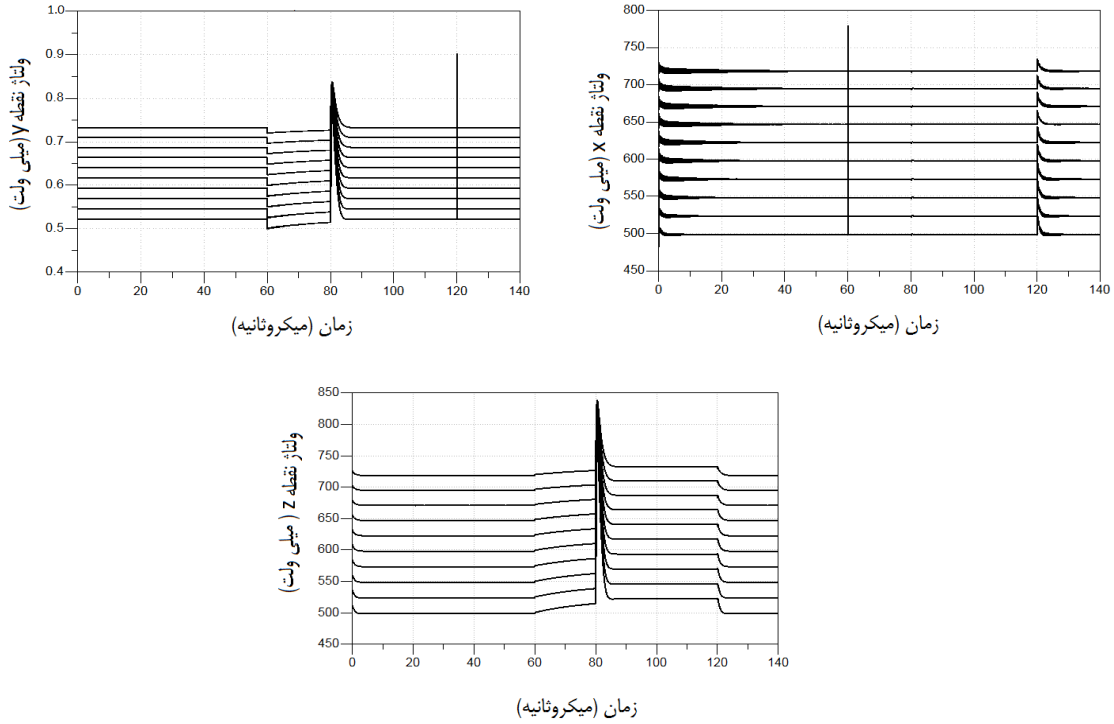
$$V_{REF} = V_{DD} - \eta.\frac{kT}{q}\left(\ln(n) - \frac{C_1}{C_2}\ln\left(\frac{m}{n}\right)\right) \qquad (۱۷-۴)$$

در معادله فوق اگر از تغییرات منبع تغذیه نسبت به دما صرف‌نظر کنیم، خواهیم داشت:

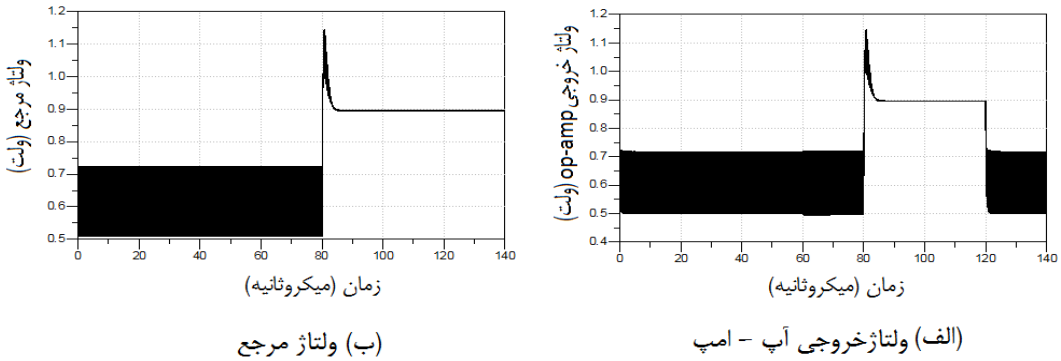
$$\frac{\partial V_{REF}}{\partial T} = \frac{-\eta.k}{q}\left(\ln(n) - \frac{C_1}{C_2}\ln\left(\frac{m}{n}\right)\right) = 0 \qquad (۱۸-۴)$$

$$\frac{C_1}{C_2} = \frac{\ln(n)}{\ln\left(\frac{m}{n}\right)} \qquad (۱۹-۴)$$

با توجه به مقادیر W/L در روابط (۴-۹) و (۴-۱۱)، مقادیر $m = 1.06\times 10^{12}$ و $n = 5\times 10^{11}$ و $\ln(n) = 26.9$ و $\ln(m/n) = 0.74$ بدست می‌آید، که مقدار $C_1/C_2 \approx 36$ می‌باشد. با شبیه‌سازی انجام شده در نرم‌افزار ADS ولتاژ نقاط V_x و V_y و V_z ترسیم شده و در اشکال زیر آمده است.

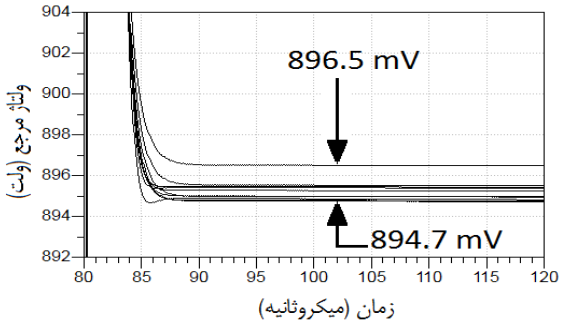


شکل (۴-۹) ولتاژ نقاط x و y و z .



(ب) ولتاژ مرجع

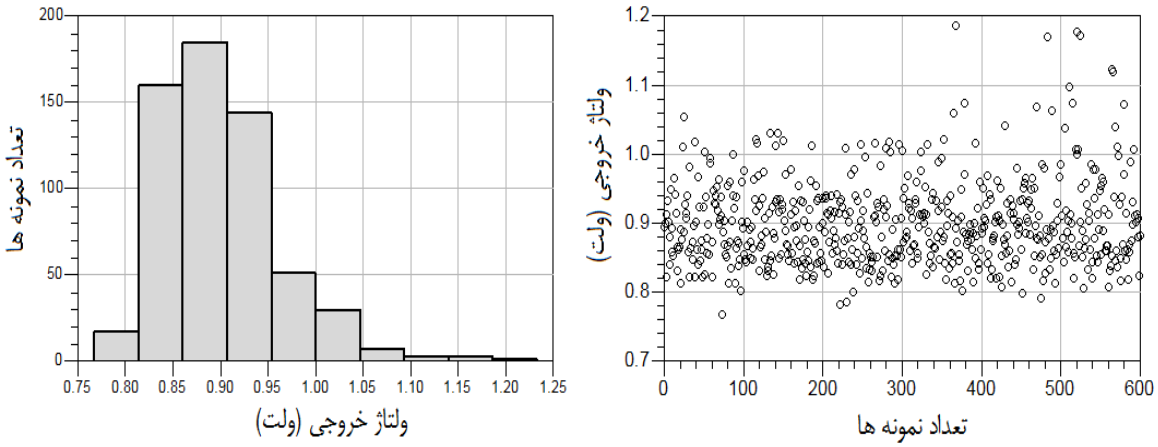
(الف) ولتاژخروجی آپ – امپ



(ج) ولتاژ مرجع با بزرگنمایی قسمتی از آن

شکل (۴-۱۰) ولتاژ خروجی op-amp و ولتاژ مرجع.

با تحلیل مونت‌کارلو برای ۶۰۰ نمونه، مقدار میانگین ولتاژ مرجع(μ) برابر ۰/۸۹۹ ولت، و مقدار انحراف معیار(σ)، ۰/۰۶۲ اندازه گیری شده است. که مقدار σ/μ =(0.062/0.899)=6.9% بدست می‌آید.



شکل (۴-۱۱) نتایج شبیه‌سازی مونت‌کارلو و هیستوگرام مرجع ولتاژ کلیدخازنی پیشنهادی.

جدول (۴-۱) ابعاد مدار پیشنهادی (الف) مدار مرجع ولتاژ کلیدخازنی شکل (۴-۷).

ترانزیستور	W/L(µm)	ترانزیستور	W/L(µm)	ترانزیستور	W/L(µm)
Mt	120/18	M10,M13,M15,M17,M20 Mb1,Mb2,Mb3,Mb4,Mb5 Mb6	0.22/0.2	M12	1.65/0.5
Ma,Mb	35/0.3	M11,M14,M16,M18,M19	1.5/0.5	M9	7.8/0.5
M1,M2	110/3.5	M21,M23,M25,M27,M29 M31,M33,M35,M37,M39	0.3/0.18	MC1,MC6	0.22/0.25
M3,M4	55/3.5	M22,M24,M26,M28,M30	47/0.3	MC2,MC7	0.22/0.24
M5,M6	11/0.6	M32,M34,M36,M38,M40	42/0.3	MC3,MC8	0.22/0.23
M7,M8	65/3	MC5,MC10	0.22/0.21	MC4,MC9	0.22/0.22
MS1	0.22/0.18	MS2	0.53/0.18	MS3	0.9/0.18
MS4	0.22/2	MS5	1/0.18	*	*

با توجه به شکل (۴-۱۰) در بازه دمایی صفر تا ۹۰ درجه سانتی‌گراد، مقدار ولتاژ خروجی ۱/۸ میلی‌ولت تغییرات دارد. اندازه ضریب دمایی[1] با توجه به مقدار ولتاژ خروجی ۰/۹ ولتی، بصورت زیر بدست می‌آید.

$$T_C = \frac{1}{V_{out}} \times \frac{\partial V_{out}}{\partial T} \approx \frac{1}{V_{out}} \times \frac{\Delta V_{out}}{\Delta T} = \frac{1}{900} \times \frac{1.8}{90} = 22.2\,ppm/°C \qquad (۴-۲۰)$$

[1] Temperature coefficient

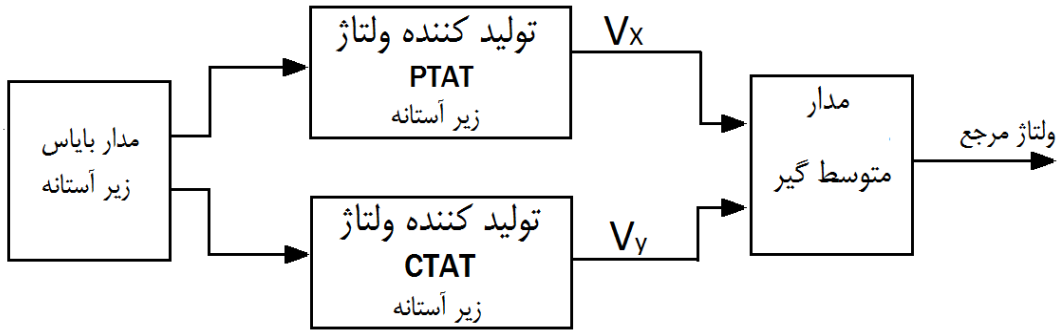
جدول(۴-۲) مقایسه مدار مرجع ولتاژ پیشنهادی (الف) با کارهای قبل.

نتایج شبیه سازی	[۱۵]	[۳۱]	[۲۹]	[۳۵]	[۳۸]	کار (الف)	واحد
فن آوری	0.18	0.18	0.18	0.09	0.065	0.18	µm
ترانزیستور BJT	دارد	دارد	دارد	دارد	دارد	ندارد	-
بازه دمایی	0 ~ 90	0 ~ 90	0 ~ 90	-	-35 ~ 80	0 ~ 90	°C
میانگین ولتاژ مرجع	1317	454	1273	260	423	899	mV
مونت کارلو (σ/µ)	11.39	12.5	12.7	-	-	6.9	%
میانگین ضریب دمایی	11.63	32.3	8.7	136	160	22.2	ppm/°C
جریان کل منبع	200	240	143	22	0.138	103	µA
ولتاژ منبع تغذیه	1.8	1.8	1.8	0.5	0.75	1.8	V

در مقایسه این کار با [۱۵] ضریب دمایی کاهش قابل ملاحظه‌ای یافته است و ترانزیستور BJT حذف، و همه ترانزیستورها از نوع CMOS شده‌اند، که از نظر فن‌آوری ساخت معمول‌تر است و جریان بسیار کمتری مصرف می‌کند. ولتاژ مرجع در این پژوهش زیر یک ولت، ولی در [۱۵] بالای یک ولت است.

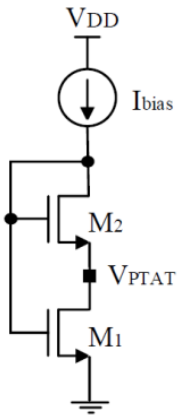
۴-۲ (ب) مرجع ولتاژ پیشنهادی با ترانزیستور CMOS با هدف حذف آپ‌امپ

در طرح ارائه شده قبلی، به دلیل استفاده از تقویت‌کننده‌عملیاتی و مدار بایاس آن جریان زیادی مصرف خواهد شد، لذا معرفی مداری که بتواند آپ‌امپ را حذف نماید و بتواند ولتاژ مرجع مناسبی بوجود آورد و در مقابل تغییرات دما پایدار باشد، می‌تواند مفید واقع گردد. شمای کلی این مدار بصورت شکل (۴-۱۲) است:



شکل (۴-۱۲) شمای کلی مدار مرجع ولتاژ بدون آپ امپ[۳۹].

چگونگی تولید ولتاژ CTAT در قبل بحث شد، در این بخش به توضیح مدار تولیدکننده ولتاژ PTAT در ناحیه زیرآستانه و مدار متوسط‌گیر ولتاژ پرداخته می‌شود. شکل (۴-۱۳) مدار تولیدکننده ولتاژ PTAT را نشان می‌دهد:

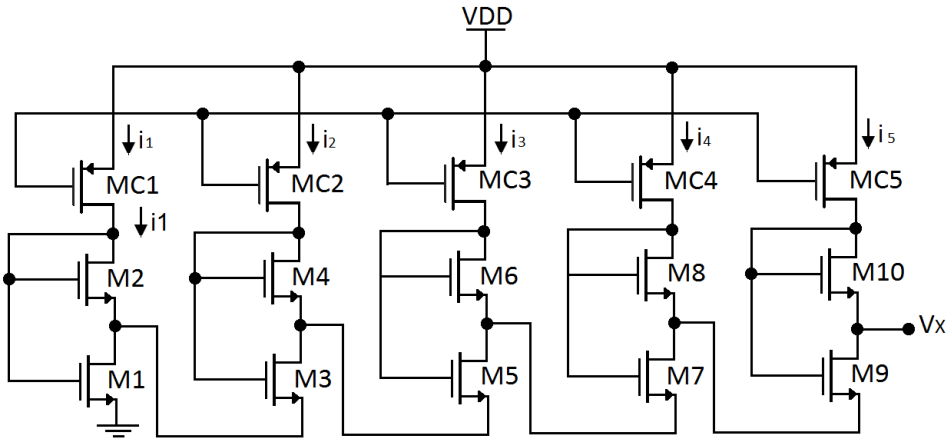


شکل (۴-۱۳) مدار پایه تولیدکننده ولتاژ PTAT زیر آستانه[۳۵].

مدار معرفی شده فوق ولتاژ PTAT را تولید می‌کند و به ولتاژ منبع وابسته نیست. ولتاژ PTAT از اختلاف دو ولتاژ گیت ـ سورس بدست می‌آید.

$$V_{PTAT} = V_{gs1} - V_{gs2} = \eta V_T \ln\left(\frac{(W/L)_2}{(W/L)_1}\right) = \eta V_T \ln(k) \qquad (۴-۲۱)$$

در رابطه فوق k نسبت ابعاد ترانزیستور M_2 به M_1 است و $k>1$ است. باتوجه به رابطه اخیر ولتاژ PTAT به ولتاژ منبع وابستگی نخواهد داشت[۴۰]. البته ولتاژ خروجی مدار یاد شده کم است و به ولتاژ بالاتری نیازاست، لذا بستن چند مدار بطور کسکید دور از انتظار نیست. برای تولید ولتاژ PTAT به اندازه قابل قبول می‌توان از کسکید کردن چندین طبقه مطابق شکل (۴-۱۴) استفاده نمود.



شکل (۴-۱۴) مدار تولیدکننده ولتاژ PTAT زیر آستانه[۳۷].

در مدار (۴-۱۴) ترانزیستورهایM_{C1} تا M_{C5} بعنوان منابع جریان استفاده شده‌اند و بایستی توجه داشت، که جریان $i_4=2i_5$ و همین‌طور $i_1=5i_5$ می‌باشد. نسبت ابعاد ترانزیستورها K فرض شده است (W/L=K) و برای بدست آوردن ولتاژ خروجی از روابط قبل داریم:

$$V_x = (V_{gs1} - V_{gs2}) + (V_{gs3} - V_{gs4}) + (V_{gs5} - V_{gs6}) + (V_{gs7} - V_{gs8}) + (V_{gs9} - V_{gs10}) \qquad (۲۲-۴)$$

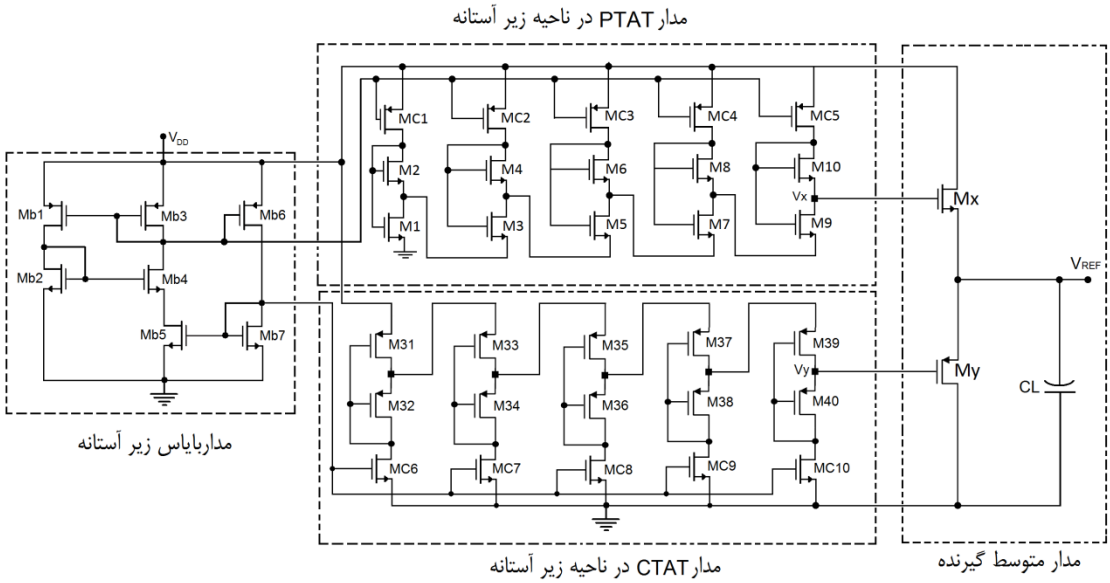
$$V_x = V_{PTAT} = \eta V_T \ln\left(\frac{120K_2.K_4.K_6.K_8.K_{10}}{K_1.K_3.K_5.K_7.K_9}\right) = \eta V_T \ln(W) \qquad (۲۳-۴)$$

$$V_y = V_{CTAT} = V_{DD} - \eta.V_T.\ln\left(\frac{120K_{32}.K_{34}.K_{36}.K_{38}.K_{40}}{K_{31}.K_{33}.K_{35}.K_{37}.K_{39}}\right) \qquad (۲۴-۴)$$

رابطه (۴-۲۴) جهت تولید ولتاژ CTAT بکار می‌رود که از شکل (۴-۵) و رابطه (۴-۱۱) استفاده شده است.

$$V_y = V_{CTAT} = V_{DD} - \eta.V_T.\ln(Z) \qquad (۲۵-۴)$$

نکته حائز اهمیت، شیب ولتاژ PTAT و CTAT است، که بایستی برابر و عکس یکدیگر باشند، به‌طوری که رابطه $(\partial V_{CTAT}/\partial T = -\partial V_{PTAT}/\partial T)$ برقرار باشد. مدار بایاس تولیدکننده ولتاژPTAT از نوع زیرآستانه می باشد و مانند مدار بایاس تولیدکننده ولتاژCTAT قبل است. مدار کامل مرجع ولتاژ ارائه شده در شکل (۴-۱۵) نشان داده شده است.



شکل (۴-۱۵) مدار مرجع ولتاژ با ترازیستور CMOS در ناحیه زیرآستانه بدون آپ‌امپ.

در قسمت انتهایی مدار ارائه شده، از دو ترانزیستور NMOS وPMOS استفاده شده است. که معدل ولتاژهای PTAT وCTAT را گرفته و در خروجی بعنوان ولتاژ مرجع ظاهر می‌سازد. ولتاژ خروجی از روابط زیر بدست می‌آید:

$$V_{REF} = V_{PTAT} - V_{gsx} = V_{CTAT} - V_{gsy} \qquad (۲۶-۴)$$

از طرفی جریان هر دو ترانزیستور با هم برابر است($I_1=I_2$). پس روابط زیر را می‌توان نوشت:

$$\frac{1}{2}\beta_1(V_{gsx} - V_{thx})^2 = \frac{1}{2}\beta_2(V_{gsy} - V_{thy})^2 \qquad (۲۷-۴)$$

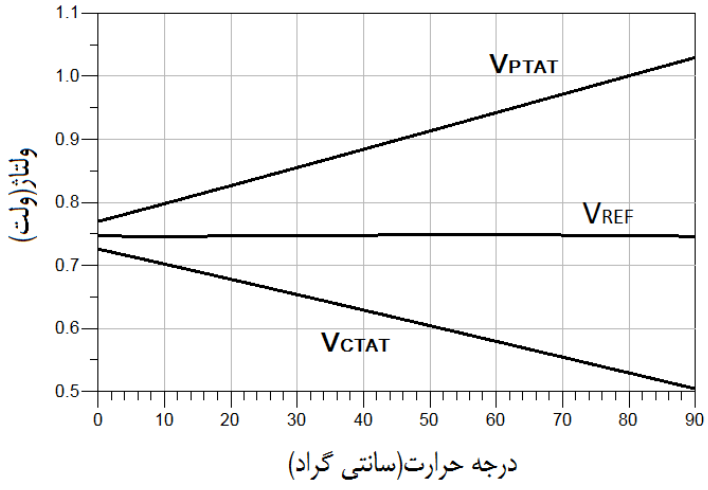
$$\sqrt{\frac{\beta_1}{\beta_2}}(V_{gsx} - V_{thx}) = -(V_{gsy} - V_{thy}) \qquad (۲۸-۴)$$

$$V_{REF} = \frac{(\sqrt{\beta_x / \beta_y})V_{PTAT} + V_{CTAT} - [(\sqrt{\beta_x / \beta_y})V_{thx} + V_{thy}]}{1 + \sqrt{\beta_x / \beta_y}} \qquad (۲۹-۴)$$

در رابطه فوق $\beta=\mu C_{ox}(W/L)$ است که مقدار μ برای NMOS و PMOS متفاوت می‌باشد، که می‌توان با انتخاب درست W/L، مقدار β_x را با β_y برابر نمود و اگر ولتاژ آستانه هردو ترانزیستور برابر باشند، طبق روابط زیر ولتاژ خروجی معدل ولتاژهای PATA و CTAT خواهد بود.

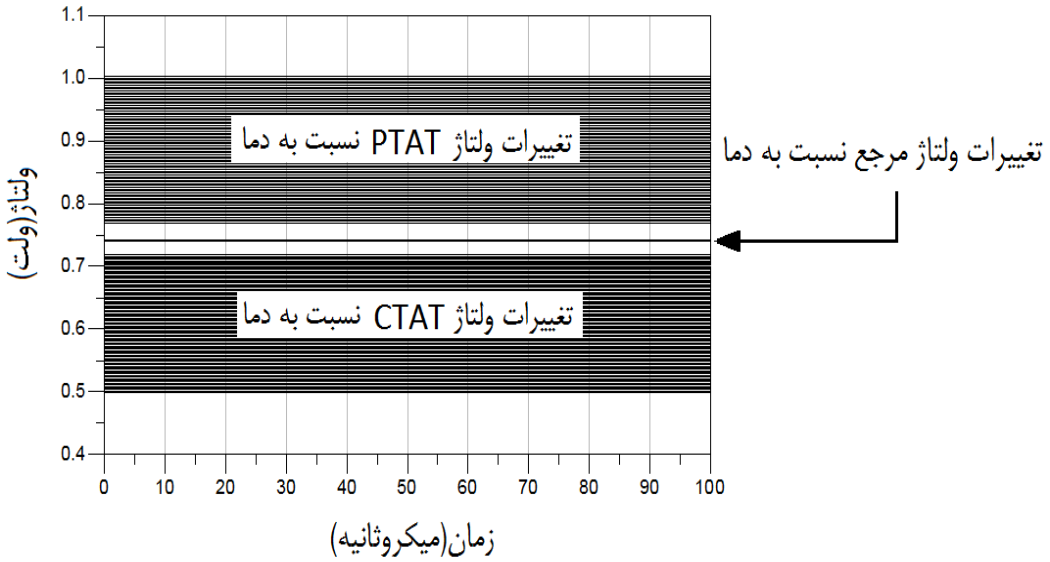
$$V_{REF} = \frac{V_{PTAT} + V_{CTAT}}{2} \qquad (۳۰-۴)$$

نتایج شبیه‌سازی ولتاژ PTAT، ولتاژ CTAT و ولتاژ خروجی مرجع نسبت به دما در شکل (۴-۱۶) نشان داده شده است.

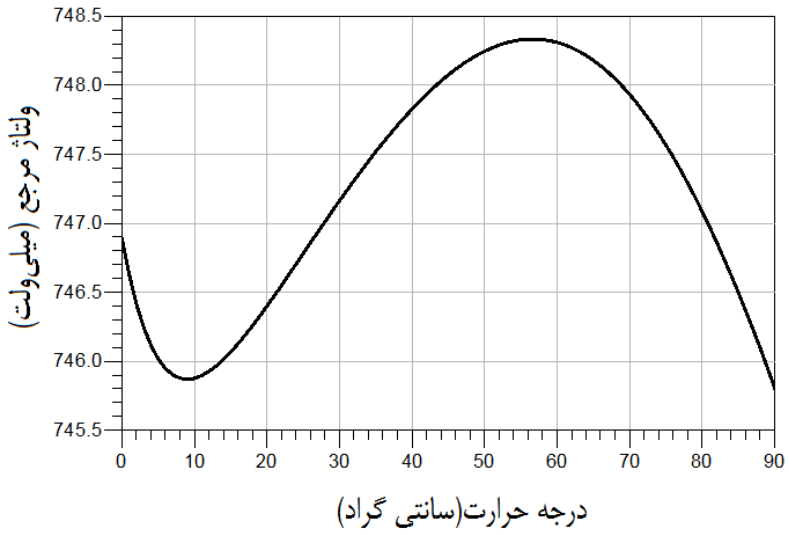


شکل (۴-۱۶) تغییرات ولتاژ PTAT و CTAT و ولتاژ مرجع.

با توجه به شکل (۴-۱۶) $\partial V_{CTAT}/\partial T=(0.5-0.72)/90=-2.4mV/°C$ بدست می‌آید. و تغییرات ولتاژ PTAT نسبت به دما، $\partial V_{PTAT}/\partial T=(1-0.78)/90=2.4mV/°C$ نشان داده شده است. بنابراین اگر بتواند مدار نهایی معدل این دو ولتاژ را ایجاد کند، ولتاژ خروجی نسبت به دما تغییراتی نخواهد داشت. با شبیه‌سازی انجام شده تغییرات ولتاژ خروجی طبق شکل (۴-۱۶) بسیار کم است. اشکال(۴-۱۷) و (۴-۱۸) تغییرات ولتاژ خروجی در دماهای صفر تا ۹۰ درجه سانتی‌گراد را نشان می‌دهد.



شکل (۴-۱۷) تغییرات ولتاژهای PTAT و CTAT و ولتاژ مرجع، نسبت به دما در زمان ۱۰۰ میکروثانیه.



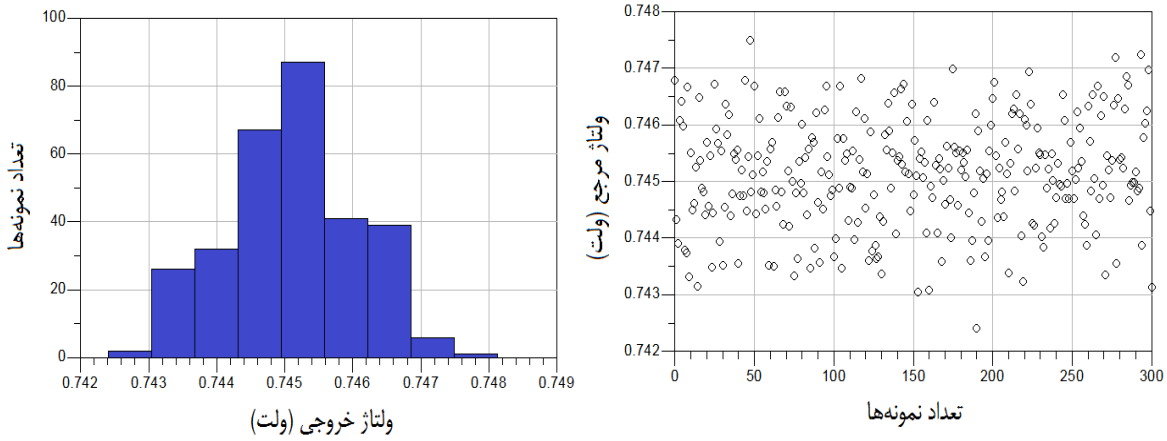
شکل (۴-۱۸) ولتاژ خروجی مدار مرجع ولتاژ بدون آپ‌امپ.

در این شبیه‌سازی، تغییرات دما، صفر تا ۹۰ درجه سانتی‌گراد در نظر گرفته شده و مدار در زمان ۱۰۰ میکروثانیه مورد بررسی قرارگرفته است. نتیجه اینکه تغییرات ولتاژ مرجع، ناچیز و بیشترین مقدار آن ۷۴۸/۳ میلی‌ولت و کمترین مقدار آن ۷۴۵/۱ میلی‌ولت اندازه‌گیری شده است.

اندازه ضریب دمایی با توجه به مقدار ولتاژ خروجی ۰/۷۴۵ ولت، و تغییرات ۲/۵ میلی‌ولت، بصورت زیر بدست می‌آید.

$$T_C = \frac{1}{V_{out}} \times \frac{\partial V_{out}}{\partial T} \approx \frac{1}{V_{out}} \times \frac{\Delta V_{out}}{\Delta T} = \frac{1}{745} \times \frac{2/5}{90} = 37.28 ppm/°C \qquad (۳۱-۴)$$

با توجه به روابط (۴-۲۳) و (۴-۲۵) و (۴-۲۹) با انتخاب مناسب W/L ترانزیستورهای مدارهای PTAT,CTAT، آزادی عمل برای تنظیم ولتاژ مرجع روی مقدار دلخواه وجود خواهد داشت. چون در این مدار از تقویت‌کننده عملیاتی استفاده نشده، جریان مصرفی مدار به‌نحو قابل ملاحظه‌ای کاهش یافته است. در دمای اتاق جریان مصرفی مدار حدود ۳۴۵ نانوآمپر می‌باشد و توان مصرفی مدار با توجه به منبع ۱/۸ ولتی حدود ۶۲۱ نانووات است. با تحلیل مونت‌کارلو برای ۳۰۰ نمونه، مقدار میانگین ولتاژ خروجی(μ) برابر ۷۴۵ میلی‌ولت و مقدار انحراف‌معیار (σ) برابر ۰/۰۰۰۹۵ اندازه‌گیری شده است و مقدار σ/μ=0.00095/0.745=0.12% می‌باشد. شکل (۴-۱۹) نتایج شبیه‌سازی مونت‌کارلو را نشان می‌دهد.



شکل (۴-۱۹) نتایج شبیه‌سازی مونت کارلو و هیستوگرام مرجع ولتاژ بدون آپ‌امپ.

جدول (۴- ۳) ابعاد مدار پیشنهادی مرجع ولتاژ با هدف حذف آپ‌امپ شکل (۴-۱۵).

ترانزیستور	W/L(µm)	ترانزیستور	W/L(µm)
MC6	0.22/0.26	Mb1,Mb2,Mb3,Mb4,Mb5,Mb6	0.22/0.2
MC7	0.22/0.24	M1,M3,M5,M7,M9	0.29/0.18
MC8	0.22/0.23	M31,M33,M35,M37,M39	0.3/0.18
MC9	0.22/0.22	M32,M34,M36,M38,M40	47/0.3
MC10	0.22/0.21	M2,M4,M6,M8,M10	30/0.22
Mx	0.22/0.48	MC1,MC2,MC3,MC4.MC5	0.45/0.2
My	3.0/0.2	*	*

جدول(۴-۴) مقایسه مدار مرجع ولتاژ پیشنهادی (الف) و (ب) با هم و کارهای قبل.

نتایج شبیه سازی	[۱۵]	[۲۹]	[۳۱]	کار الف)	کار (ب)	واحد
فن آوری	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	µm
ترانزیستور BJT	دارد	دارد	دارد	ندارد	ندارد	-
بازه دمایی	۹۰ ~ ۰	۹۰ ~ ۰	۹۰ ~ ۰	۹۰ ~ ۰	۹۰ ~ ۰	^oC
میانگین ولتاژ مرجع	۱۳۱۷	۱۲۷۳	۴۵۴	۸۹۹	۷۴۵	mV
مونت کارلو (σ/µ)	۱۱/۳۹	۱۲/۷	۱۲/۵	۶/۹	۰/۱۲	%
میانگین ضریب دمایی	۱۱/۶۳	۸/۷	۳۲/۳	۲۲/۲	۳۷/۲۸	ppm/^oC
جریان کل منبع	۲۰۰	۱۴۳	۲۴۰	۱۰۳	۰/۳۴۵	µA
ولتاژ منبع تغذیه	۱/۸	۱/۸	۱/۸	۱/۸	۱/۸	V

۴-۴ نتیجه‌گیری

در این بخش دو مدار مرجع ولتاژ معرفی شده است. مدار نخست شامل مولدهای ولتاژ PTAT و CTAT، مدار بایاس این مولدها، مدار آپ‌امپ و مدار بایاس آن می‌باشد. مدار دوم شبیه مدار اول بوده ولی در قسمت‌هایی تغییرات اساسی دارد. حذف آپ‌امپ و مدار بایاس آن و هم‌چنین حذف شبکه کلیدخازنی از تغییرات عمده طرح دوم است، که باعث مزایایی در طرح دوم شده است. نداشتن ترانزیستور BJT در هر دو طرح و استفاده از ترانزیستورهای CMOS فن‌آوری ساخت را آسان‌تر می‌کند و جریان مصرفی را در هر دو طرح کاهش می‌دهد. از خصوصیات هر دو طرح امکان ساخت ولتاژ مرجع زیر یک ولت است، که کارایی بهتری خواهد داشت. از مزایای هر دو طرح، تنظیم ولتاژ خروجی با W/L ترانزیستورهای مدار PTAT و CTAT است و به مقدار دلخواه قابل تنظیم است و محدودیت‌های تنظیم ولتاژ خروجی را ندارد.

مدار مرجع نخست، دو نوع ولتاژ CTAT با ساختارCMOS در ناحیه زیرآستانه می‌سازد که تغییرات آن‌ها نسبت به دما مشابه یکدیگرند و اختلاف این دو ولتاژ همیشه مقداری ثابت است و با توجه به شبکه کلیدخازنی و مدار آپ‌امپ می‌تواند تغییرات ولتاژ ورودی نسبت به دما را کاهش داده و در خروجی به مقدار زیر ۱ ولت ظاهر نماید. از خصوصیات این مدار نسبت به مدارهای ارائه شده قبلی، حذف ترانزیستور BJT جهت ساخت ولتاژ CTAT است و به گونه‌ای دیگر این ولتاژ ساخته شده است، که کاهش قابل ملاحظه‌ای در جریان مصرفی مدار خواهد داشت. از نکات برجسته این طرح، ساخت ولتاژ CTAT به مقدار دلخواه است و با انتخاب درست نسبت W/L ترانزیستورهای مدار CTAT می‌توان به آن دست‌یافت. در حالی‌که در مدارهای قبل، ولتاژ پیوند p-n، تعیین‌کننده ولتاژ CTAT می باشد و مقدار آن قابل تغییر نخواهد بود.

مدار مرجع ولتاژ ارائه شده دوم دارای چهار قسمت می‌باشد که عبارتند از: تولیدکننده ولتاژ PTAT و CTAT و مدار بایاس زیرآستانه و مدار متوسط‌گیر. تمامی ترانزیستورها در ناحیه زیرآستانه کار می‌کنند، به همین خاطر جریان کمی مصرف می‌کنند، از نوآوری‌های این طرح نداشتن شبکه کلید خازنی، نداشتن آپ‌امپ و مداربایاس آن نسبت به طرح نخست است، این عوامل جریان مصرفی را بازهم نسبت به قبل، خیلی کاهش می‌دهد. در این مدار جریان به ۳۴۵ نانوآمپر رسیده است، که نسبت به مدار اول، کاهش بسیار چشم‌گیری دارد، مدار PTAT نیز حساسیت زیادی به ولتاژ منبع ندارد.

در طرح دوم، ولتاژ آستانه (V_{th}) ترانزیستورهای مدار متوسط‌کننده ولتاژ، به دما وابسته است، که کمی کار را برای معدل‌گیری ولتاژ نهایی مشکل می‌کند و در انتخاب مقادیر W/L این ترانزیستورها ملاحظاتی باید اتخاذ گردد. الیته حتی اگر V_{th} دو ترانزیستور متوسط‌گیر با هم برابر نباشند و به دما وابسته باشند، با در نظر گرفتن ضریب حرارتی آن‌ها می‌توان با تنظیم W/L ترانزیستورها اثر حرارتی آن‌ها را نیز خنثی نمود.

فصل ۵

نتیجه‌گیری و ارائه پیشنهادات

۵-۱ نتیجه‌گیری

در این پایان‌نامه روی دو مرجع ولتاژ کار شده است. که در هر دو طرح سعی شده است مصرف جریان، کاهش قابل توجهی پیدا کند و به گونه‌ای جدید ولتاژ مرجع مستقل از دما ساخته شود.

از جمله نوآوری‌هایی که در این پژوهش به آن پرداخته شد، حذف ترانزیستورBJT و بکارگیری ترانزیستور CMOS در هر دو طرح جهت تولید ولتاژ CTAT است. ترانزیستور BJT مذکور، برای تولید ولتاژ CTAT، حدود چند ده میکروآمپر جریان مصرف می‌کند (مدار معرفی شده در[۳۸])، در حالی‌که با مدار تولیدکننده ولتاژ CTAT، با استفاده از ترانزیستورهای CMOS در ناحیه زیرآستانه، جریان مصرفی به حدود ۱۵۰ نانوآمپر خواهد رسید، که تغییرات قابل توجهی در مصرف انرژی است.

از دیگر نوآوری‌های این طرح می‌توان به تولید ولتاژ مرجع زیر یک ولت اشاره کرد. با توجه به رابطه (۴-۱۶) برای ساخت ولتاژ مرجع دلخواه (زیر یک ولت)، نسبت m و n که هرکدام به نسبت ابعاد ترانزیستورهای مدارهای تولیدکننده ولتاژ CTAT وابسته هستند را تغییر داد. یعنی با تغییرات W/L می‌توان به ولتاژ دلخواه زیر یک ولت رسید. در حالی‌که در مراجع ولتاژ قبلی، چون از ولتاژ پیوند بیس ـ امیتر استفاده می‌شد، ولتاژ نهایی به زیر یک ولت نمی‌رسید.

در طرح نخست استفاده از آپ‌امپ و مدار بایاس آن، جریان زیادی مصرف می‌نمودند که در طرح دوم این مشکل با حذف تقویت‌کننده عملیاتی و مدار بایاس آن مرتفع گردیده است و در طرح دوم با حذف مدار آپ‌امپ و استفاده از ساختار جدید، ولتاژ نهایی مستقل از دما ساخته خواهد شد.

در طرح پیشنهادی اخیر در انتهای مدار از یک ترانزیستور NMOS و PMOS با ساختاری جدید، به شکلی استفاده شده است که می‌توان با انتخاب درست W/L آن‌ها، معدل ولتاژ PTAT و CTAT اعمالی به آن را بدست آورد و در خروجی، ولتاژ مستقل از دما را حاصل نمود.

۵-۲ ارائه پیشنهادات

این پایان نامه شامل دو طرح پیشنهادی است.

الف) مدار مرجع ولتاژ با شبکه کلیدخازنی

ب) مدار مرجع ولتاژ بدون شبکه کلیدخازنی و بدون آپ‌امپ

طرح (الف) شامل سه بخش اساسی بصورت ذیل است، که هر کدام، قسمتی از جریان کل را مصرف می‌کنند.

۱) تقویت‌کننده عملیاتی با مدار بایاس آن

۲) تولیدکننده‌های ولتاژ CTAT

۳) مدار بایاس تولیدکننده‌های ولتاژ CTAT

۴) مدار کلیدخازنی

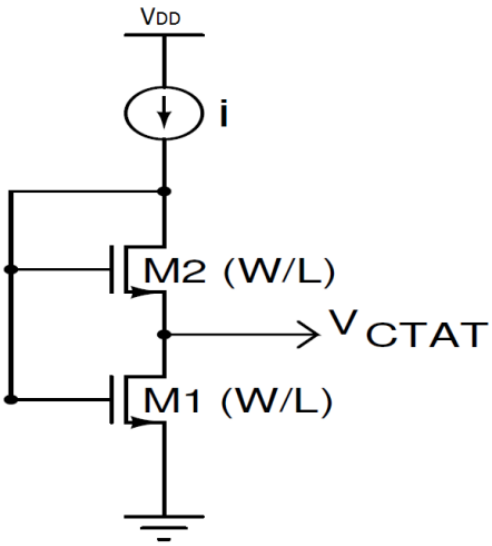
قسمت اعظم جریان مصرفی کل مدار، مربوط به تقویت‌کننده عملیاتی با مدار بایاس آن است. که جریانی حدود ۱۰۰ میکروآمپر مصرف می‌کنند. در حالی‌که مدار بایاس تولیدکننده‌های ولتاژ CTAT و مدار بایاس آن‌ها، چون در ناحیه زیرآستانه کار می‌کنند، جریان خیلی‌کم، در حدود ۱۵۰ نانوآمپر مصرف می‌کنند. مدارکلیدخازنی نیز جریان قابل توجهی مصرف نمی‌کند.

از نقاط ضعف این طرح می‌توان به موارد زیر اشاره کرد که به‌علت کمبود وقت به آن‌ها پرداخته نشد و برای کارهای آینده، پیشنهاد می‌گردد.

مصرف جریان تقویت‌کننده عملیاتی با مدار بایاس آن زیاد است، که با بکارگیری تقویت‌کننده عملیاتی در ناحیه زیرآستانه این مشکل برطرف خواهد شد.

این مدار به تغییرات ولتاژ منبع وابسته است و با استفاده از مدار شکل (۵-۱) به عنوان مولد CTAT این وابستگی نیز از بین خواهد رفت، ترانزیستور M_1 از نوع ولتاژ آستانه‌بالا[1] و ترانزیستور M_2 نوع ولتاژ آستانه‌پایین[2] می‌باشند.

[1] High threshold
[2] Low threshold



شکل (۵-۱) تولید ولتاژ CTAT عدم وابسته به ولتاژ منبع[۳۹].

مدار دیگری که برای ساخت ولتاژ CTAT مستقل از ولتاژ ورودی پیشنهاد می‌شود استفاده از دو مدار PTAT در ناحیه زیر آستانه است. به گونه‌ای که تغییرات ولتاژ هر دو مدار نسبت به دما یکسان بوده ولی اختلاف ولتاژ آن‌ها همیشه مقداری ثابت و برابر $(V_T.\ln(2))$ باشد.

طرح (ب) شامل مدارهای تولیدکننده ولتاژ PTAT وCTAT و مدار ترکیب‌کننده این دو ولتاژ است، به طوری‌که معدل این دو ولتاژ را در خروجی ظاهر می‌سازد. از نقاط قوت طرح، حذف تقویت‌کننده عملیاتی و مدار بایاس آن است، که باعث کاهش بسیار چشم‌گیر در مصرف جریان مدار شده است و همچنین حذف ترانزیستور BJT، که فرآیند ساخت را آسان‌تر می‌کند.

منابع

[1] K. E. Kuijk, "A precision reference voltage source," *IEEE J. Solid-State Circuits,* vol. *SC-8,* pp. 222-226, June 1973.

[2] B. S. Song and P. R. Gray, "A precision curvature-compensated CMOS bandgap reference, " *IEEE J. Solid-State Circuits*, vol.SC-18, pp. 634-643, Dec. 1983

[3**]** DEVICES, A. ADuCRF101: Precision analog microcontroller arm cortex m3 with rf transceiver. Data Sheet, [S.l.], 2013.

[4] R. J. Widlar, "New developments in IC voltage regulators," *IEEE J. Solid-State Circuits,* vol. *SC-6,* pp. 2-7, Feb. 1971.

[5] G. C, M. Meijer, P. C. Schmafe and K. van Zalinge, "A new curvature-corrected bandgap reference," *IEEE J. Solid-State Circuits,* vol. *SC-17,* p. 1139–1143, Dec. 1982.

[6] K. N. Leung, P. Mok, and C. Y. Leung, "A 2-v 23-μa 5.3-ppm/^{o}deg 4th-order curvature-compensated CMOS bandgap reference," in *Custom Integrated Circuits Conference. Proceedings of the IEEE*, pp. 457 – 460, 2002.

[7] C. Y. Leung, K. N. Leung, and P. Mok, "Design of a 1.5-v highorder curvature-compensated CMOS bandgap reference," in *Circuits and Systems. ISCAS'04. Proceedings of the 2004 International Symposium on,* vol. 1, pp. 48–52, May 2004.

[8] A. P. Brokaw, "A simple three-terminal bandgap reference," *IEEE J. Solid-State Circuits,* vol. *SC-9,* pp. 288-393, Dec. 1974.

[9] V. Gupta, "An accurate, trimless, high PSRR, low-voltage, CMOS bandgap reference IC," Ph.D. Dissertation, Georgia Tech, Atlanta, 2007.

[10] OSCAR ELISIO MATTIA NETO, NanoWatt Resistorless CMOS Voltage References for Sub-1 V Applications, master thesis, Advisor: Hamilton Klimach; Coadvisor: Sergio Bampi, UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL, Brasil, 2014.

[11] R. P. Baker , J. Nagy, and Jr. , "An investigation of long-term stability of Zener voltage reference, " *IRE Trans. Instrum.*,vol. I-9, pp. 226-231, Sept. 1960.

[12] R. Paul and A. Patra, "Trimming process and temperature variation in second-order bandgap voltage reference circuits," *Microelectronics Journal,* vol. 42, no. 2, pp. 271 – 276, 2011.

[13] Razavi B, “Design of analog CMOS integrated circuits.” New York: McGraw Hill, 2001.

[14] V. Gupta and G. Rincon-Mora, “ Predicting and designing for the impact of process variations and mismatch on the trim range and yield of bandgap references,” *in Quality of Electronic Design. ISQED 2005. Sixth International Symposium on*, pp. 503 – 508, March 2005.

[15] KLIMACH, H. et al. “Resistorless switched-capacitor bandgap voltage reference with low sensitivity to process variations.” *Electronics Letters*, [S.l.], v.49, n.23, p.1448–1449, 2013.

[16] MATTIA, O. E., KLIMACH, H. and BAMPI,“ 0.7 V Supply, 8 nW, 8 ppm/C Resistorless Sub-Bandgap Voltage Reference.” *In: CIRCUITS AND SYSTEMS (MWSCAS)*, 2014, *IEEE 57TH MIDWEST SYMPOSIUM ON*, 2014.

[17] S. M. Sze, Physics of Semiconductor Devices. New York: Wiley, pp. 27, 39, 41, 269, 1969.

[18] LEUNG, K. N., MOK and P. “A CMOS voltage reference based on weighted Delta; VGS for CMOS low-dropout linear regulators. ” *Solid-State Circuits, IEEE Journal of*, v.38, n.1, p.146–150, Jan 2003.

[19] TSIVIDIS, Y.; ULMER, R. “A CMOS voltage reference.” *Solid-State Circuits, IEEE Journal of, [S.l.]*, v.13, n.6, p.774–778, 1978.

[20] VITTOZ, E.; NEYROUD, O. “A low-voltage CMOS bandgap reference. ” *Solid-State Circuits, IEEE Journal of*, [S.l.], v.14, n.3, p.573–579, 1979.

[21] MEIJER, G.; SCHMALE, P. C.; VAN ZALINGE, K. “A new curvature-corrected bandgap reference.” *Solid-State Circuits, IEEE Journal of*, [S.l.], v.17, n.6, p.1139–1143, 1982.

[22] Mattia, O. E.; Klimach, H.; Bampi, S. “0.9 V, 5 nW, 9 ppm/^{o}C resistorless subband gap voltage reference in 0.18um CMOS”. *In: Circuits and Systems (Lascas), IEEE 5th Latin American Symposium On*. Anais. pp. 1–4, 2014.

[23] A. Lahiri and N. Agarwal, “Design of sub-1-v CMOS bandgap reference circuit using only one bjt,” *Analog Integrated Circuits and Signal Processing*, vol. 71, pp. 359–369, 2012.

[24] Gregorie B R. “A compact switched-capacitor regulated charge pump power supply,” *IEEE J Solid-State Circuits*, Vol 41,pp. 263-267, 2006.

[25] Gilbert B, Shu S. “Switching bandgap voltage reference.” USA Patent, 5563504, 1996.

[26] Gregorie B R. “Switched capacitor voltage reference circuits using transconductance circuit to generate reference voltage.” USA Patent, 6819163, 2004.

[27] R. Paul and A. Patra, “Trimming process and temperature variation in second-order bandgap voltage reference circuits,” *Microelectronics Journal*, vol. 42, no. 2, pp. 271 – 276, 2011.

[28] H. Klimach, M. F. C. Monteiro, A. L. T. Costa and S. Bampi, “A resistorless switched bandgap reference topology,” *Circuits and Systems (LASCAS), IEEE Fourth Latin American Symposium on*, Cusco, pp. 1-4, 2013.

[29] H. Klimach, A. L. T. Costa, M. F. C. Monteiro and S. Bampi, “A resistorless switched bandgap voltage reference with offset cancellation, ” *Integrated Circuits and Systems Design (SBCCI), 26th Symposium on*, Curitiba, pp. 1-5, 2013.

[30] AITA, A. et al, “Low-Power CMOS Smart Temperature Sensor With a Batch-Calibrated, Inaccuracy of _0.25_C (_3_) From -70 °C to 130 °C.” *Sensors Journal, IEEE,* v.13, n.5, p.1840–1848, May 2013.

[31] S. Chen and B. J. Blalock, “Switched capacitor bandgap voltage reference for sub-1-V operation,” *IEICE Electronics Express*, vol. 3, no. 24, pp. 529-533, 2006

[32] A. Buck, C. McDonald, S. Lewis, and T. Viswanathan, “A cmos bandgap reference without resistors,” *Solid-State Circuits, IEEE Journal of*, vol. 37, no. 1, pp. 81 –83, jan 2002.

[33] H. Banba, H. Shiga, A. Umezawa, T. Miyaba, T. Tanzawa, S. Atsumi, and K. Sakui, “A cmos bandgap reference circuit with sub-1-v operation,” *Solid-State Circuits, IEEE Journal of*, vol. 34, no. 5, pp. 670–674, 1999.

[34] H. Wang and Q. Ye, “0.5-v operational transconductance amplifier for CMOS bandgap reference application,” *in Solid-State and Integrated Circuit Technology, 2006. ICSICT ’06. 8th International Conference on*, pp. 1705–1707, 2006.

[35] S. Gambini and J. Rabaey, “Low-power successive approximation converter with 0.5 v supply in 90 nm cmos,” *Solid-State Circuits, IEEE Journal of*, vol. 42, no. 11, pp. 2348–2356, 2007.

[36] W. Biederman, D. Yeager, E. Alon, and J. Rabaey, “A CMOS switchedcapacitor fractional bandgap reference,” *in Custom Integrated Circuits Conference (CICC), IEEE*, pp. 1–4, 2012.

[37] De Vita G, Iannaccone G. "Ultra low power series voltage regulator for passive RFID transponders with subthreshold logic." *Electron Lett*, 42(23):1350–1351, 2006.

[38] W. Biederman, D. Yeager, E. Alon, and J. Rabaey, "A CMOS switched-capacitor fractional bandgap reference," *Custom Integrated Circuits Conference (CICC), 2012 IEEE* , vol., no., pp.1,4, 9-12 Sept. 2012.

[39] A. A. and M. S. Baghini, "A Sub-1V 32nA Process, Voltage and Temperature Invariant Voltage Reference Circuit," *26th International Conference on VLSI Design and 2013 12th International Conference on Embedded Systems*, Pune, pp. 136-141, 2013.

[40] Mohammad Reza Salehi, Rezvan Dastanian, Ebrahim Abiri, Sajad Nejadhasan, “A 147 μW, 0.8 V and 7.5 (mV/V) LIR regulator for UHF RFID application,” *AEU - International Journal of Electronics and Communications*, Volume 69, Issue 1, Pages 133-140, January 2015.

[41] M. Wiessflecker, G. Hofer, G. Holweg, H. Reinisch and W. Pribyl, “A sub 1V self clocked switched capacitor bandgap reference with a current consumption of 180nA,” *Circuits and Systems (ISCAS*), *2012 IEEE International Symposium on* , vol., no.,pp.2841,2844, 20-23 May 2012

Abstract

In this study, two resistorless CMOS voltage reference circuits proposed that both circuit structures are based on PTAT and CTAT in sub-threshold region.
In the proposed structures instead of bipolar transistor the CMOS transistors subthreshold region are used for making CTAT voltage.

Using CMOS transistors in subthreshold result in decreasing power consumpation. In the first proposed circuit, for PTAT voltage generation two CTAT are used that difference of them makes PTAT voltage.

The folded cascode opamp structure (because of its high gain) is used to increase the output voltage accuracy. The proposed circuit generates 0.9V output reference in three switching steps.The circuit dependency to temperature is so very low and it's temperature coefficient is 22 ppm for 0 to 90^{o}. It should be noted that, the proposed circuits are designed based on 0.18 μm CMOS technology and simulated by ADS software.Monte Carlo analysis also shows the average value of the reference voltage (μ) is aboute 0.9V,it's standard deviation is about 0.062 and thus $\sigma/\mu = 6.9\%$.

In the second proposed circuit opamp is removed, PTAT and CTAT voltage are made separately, and a circuit is added at the final step to combine the CTAT and PTAT voltages. All of these changes decrease circuit current consumption significantly to about 345nA.

The output voltage of this circuit is about 745mV and it's temperature coefficient is 38.28 ppm for 0 to 90^{o}.

Using Monte Carlo analysis, the average value of the reference voltage is about 0.745volts, the output standard deviation is 0.00095 and thus $\sigma/\mu = 0.12\%$.

In both proposed structures, the reference output voltage can be changed by changing the dimension of transistor and also other circuit component parameters.

Keywords: Band gap, PTAT, CTAT, CMOS, Monte Carlo analysis, Voltage reference

Shahrood University of Technology

Faculty of Electrical Engineering

MSc thesis in Electronic

Design and simulation of a resistorless reference voltage circuit using CMOS technology

By: Abed Esmaili

Supervisor:

Dr. Emad Ebrahimi

Summer 2016