

Xilinx Entry and Simulation Tutorial

MOHAMMAD ASHERI

ISE 14.2 Tutorial

معرفی ►

□ در این آموزش شما نحوه کار با نرم افزار قدرتمند xilinx را خواهید آموخت

- نحوه ایجاد پروژه
- نحوه طراحی کد
- نحوه شبیه سازی و ...

ISE 14.2 Tutorial

➤ برخی از module های مورد استفاده در این نرم افزار عبارت
اند از :

- Design Window
- Workspace/Design Explorer
- VHDL Editor
- Block Diagram Editor
- State Machine Editor
- Standard Waveform Viewer/Editor
- Accelerated Waveform Viewer
- ...

ISE 14.2 Tutorial

شروع کار با راه اندازی نرم افزار ISE Design Navigator ➤



ISE 14.2 Tutorial

► نمای کلی محیط نرم افزار در یک نگاه

The screenshot displays the Xilinx ISE 14.2 Project Navigator interface. The main window shows the 'Design Summary' for a project named 'half_adder'. The 'Design Overview' pane on the right lists various reports such as IOB Properties, Module Level Utilization, and Timing Constraints. The 'Project Status' table on the right provides key information about the project, including the file name, module name, target device, and implementation state. A 'Tip of the Day' dialog box is open in the center, offering a helpful tip about moving source files between libraries. The bottom of the interface shows the 'Errors' and 'Warnings' panes, which are currently empty.

Field	Value	Field	Value
Project File:	Tutorial.xise	Parser Errors:	No Errors
Module Name:	half_adder	Implementation State:	New
Target Device:	xc7a100t-3csg324	•Errors:	
Product Version:	ISE 14.2	•Warnings:	
Design Goal:	Balanced	•Routing Results:	
Design Strategy:	Xilinx Default (unlocked)	•Timing Constraints:	
Environment:		•Final Timing Score:	

Report Name	Status	Generated	Errors	Warnings	Infos
Synthesis Report					
Translation Report					
Map Report					
Place and Route Report					
Power Report					
Post-PAR Static Timing Report					
Bitgen Report					

Report Name	Status	Generated
-------------	--------	-----------

Tip of the Day
Did you know...
Project Management:
Source files can be **dragged and dropped** in the **Libraries view** to move them between libraries.

ISE 14.2 Tutorial

New Project Wizard

Create New Project

Specify project location and type.

Enter a name, locations, and comment for the project

Name: Tutorial_ISE

Location: F:\Xilinx_projects\Tutorial_ISE

Working Directory: F:\Xilinx_projects\Tutorial_ISE

Description:

Select the type of top-level source for the project

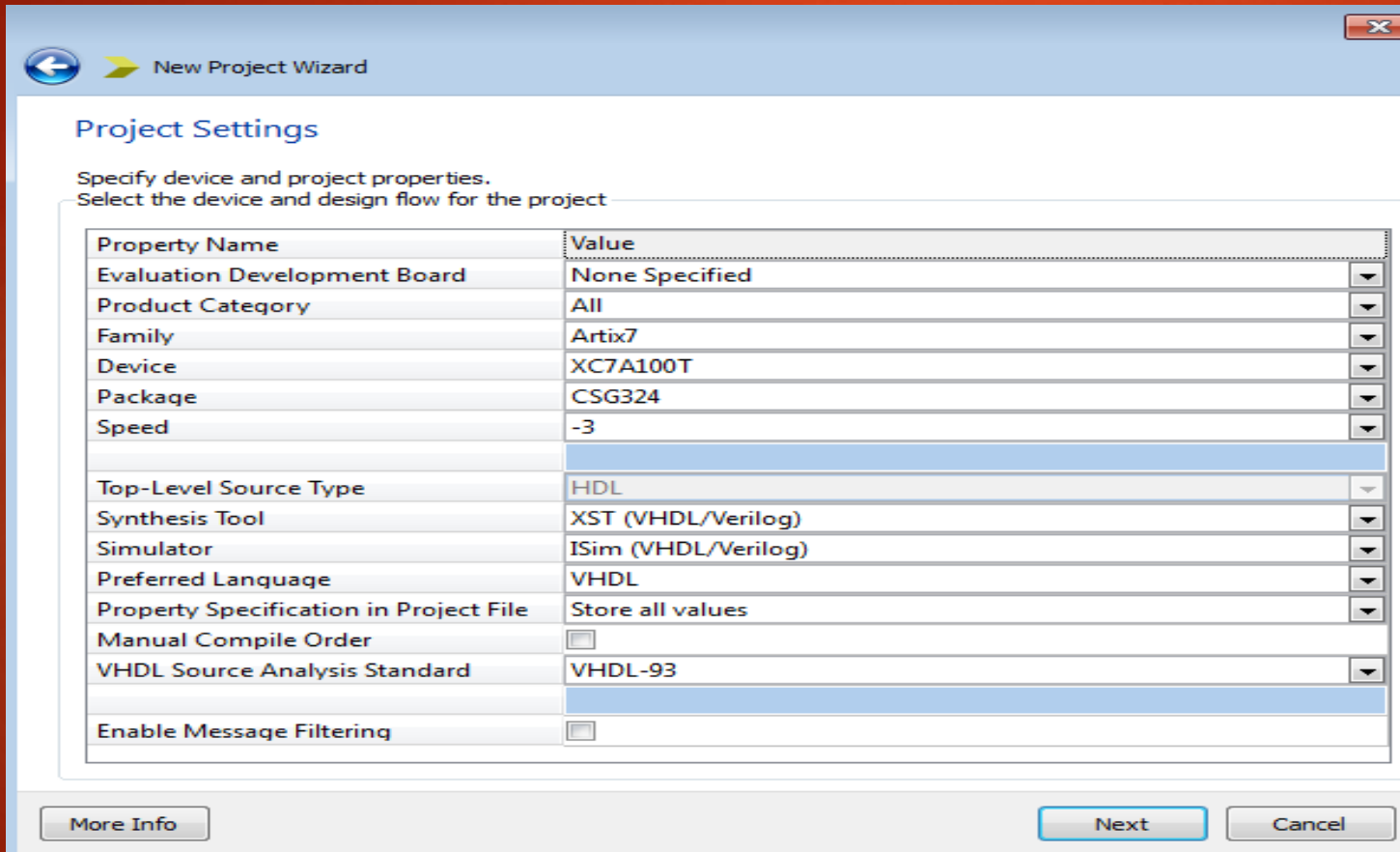
Top-level source type: HDL

More Info Next Cancel

ایجاد پروژه جدید ▶

ISE 14.2 Tutorial

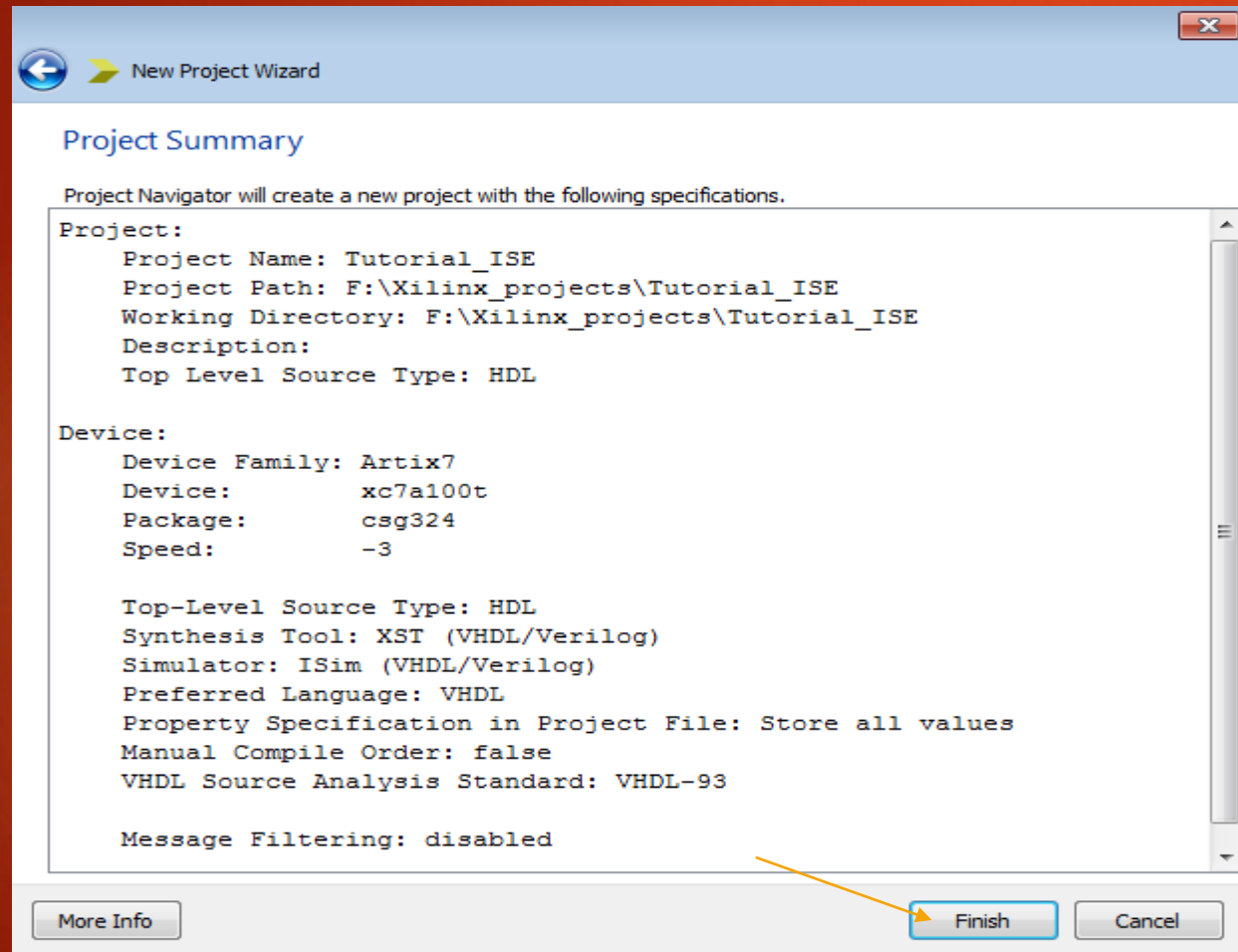
فیلدها را به صورت پیش فرض رها کنید ▶



The screenshot shows the 'New Project Wizard' dialog box in ISE 14.2, specifically the 'Project Settings' step. The dialog is titled 'New Project Wizard' and contains a section for 'Project Settings' with the instruction: 'Specify device and project properties. Select the device and design flow for the project'. Below this is a table of properties and their values, with dropdown arrows on the right side of each row. At the bottom, there are three buttons: 'More Info', 'Next', and 'Cancel'.

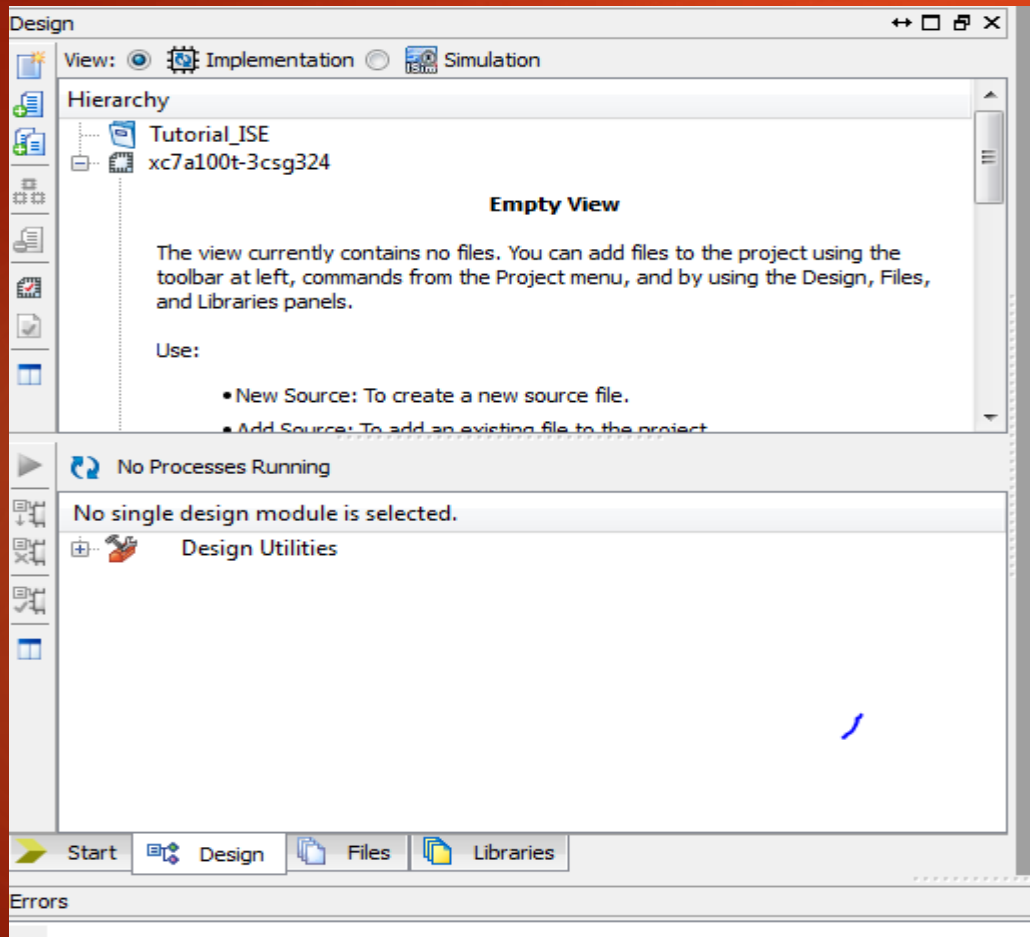
Property Name	Value
Evaluation Development Board	None Specified
Product Category	All
Family	Artix7
Device	XC7A100T
Package	CSG324
Speed	-3
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	VHDL
Property Specification in Project File	Store all values
Manual Compile Order	<input type="checkbox"/>
VHDL Source Analysis Standard	VHDL-93
Enable Message Filtering	<input type="checkbox"/>

ISE 14.2 Tutorial



► در این قسمت اطلاعات
کلی پروژه نمایش
داده می شود

ISE 14.2 Tutorial



▶ درخت طراحی شما به شکل روبرو خواهد بود

ISE 14.2 Tutorial

► حال باید یک فایل با پسوند .vhd ایجاد کنیم

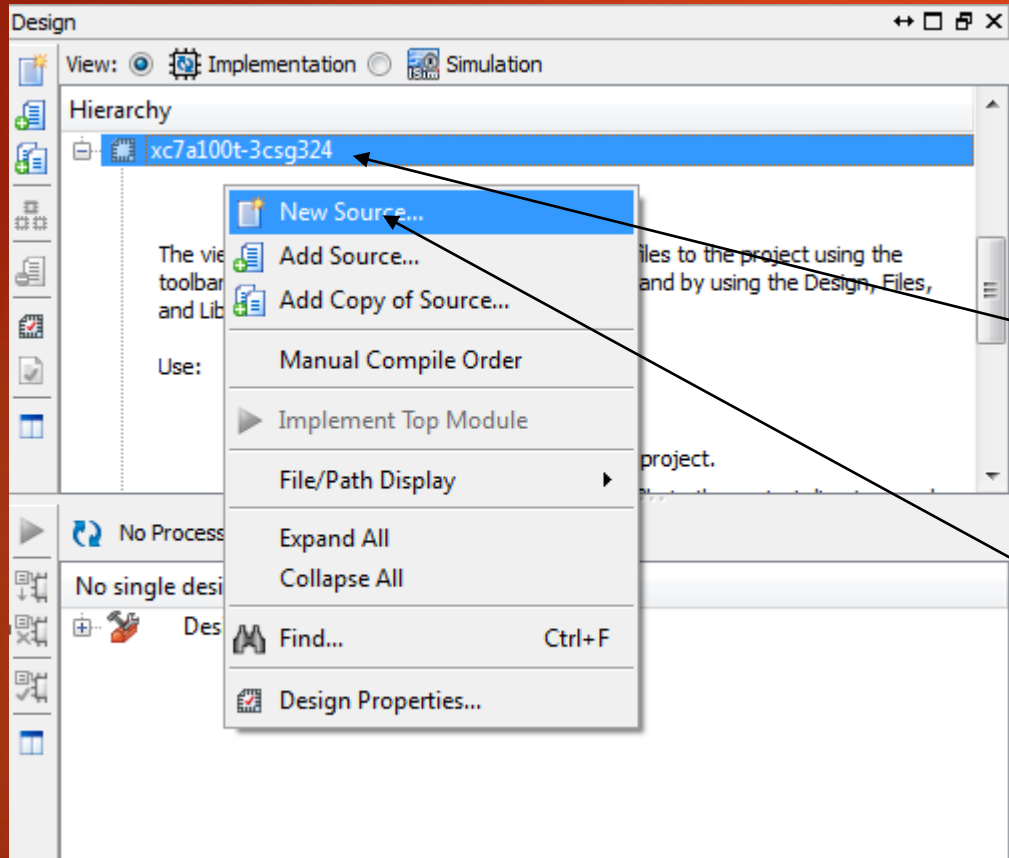
• در فایل hdl کلیه کامپوننت ها تعریف شده و نوشته می شوند

(Entity – Architecture)

• برای کامپایل کد ها ، این فایل را کامپایل می کنیم

• بعد از هر تغییر در این فایل باید آن را ذخیره کنیم

ISE 14.2 Tutorial

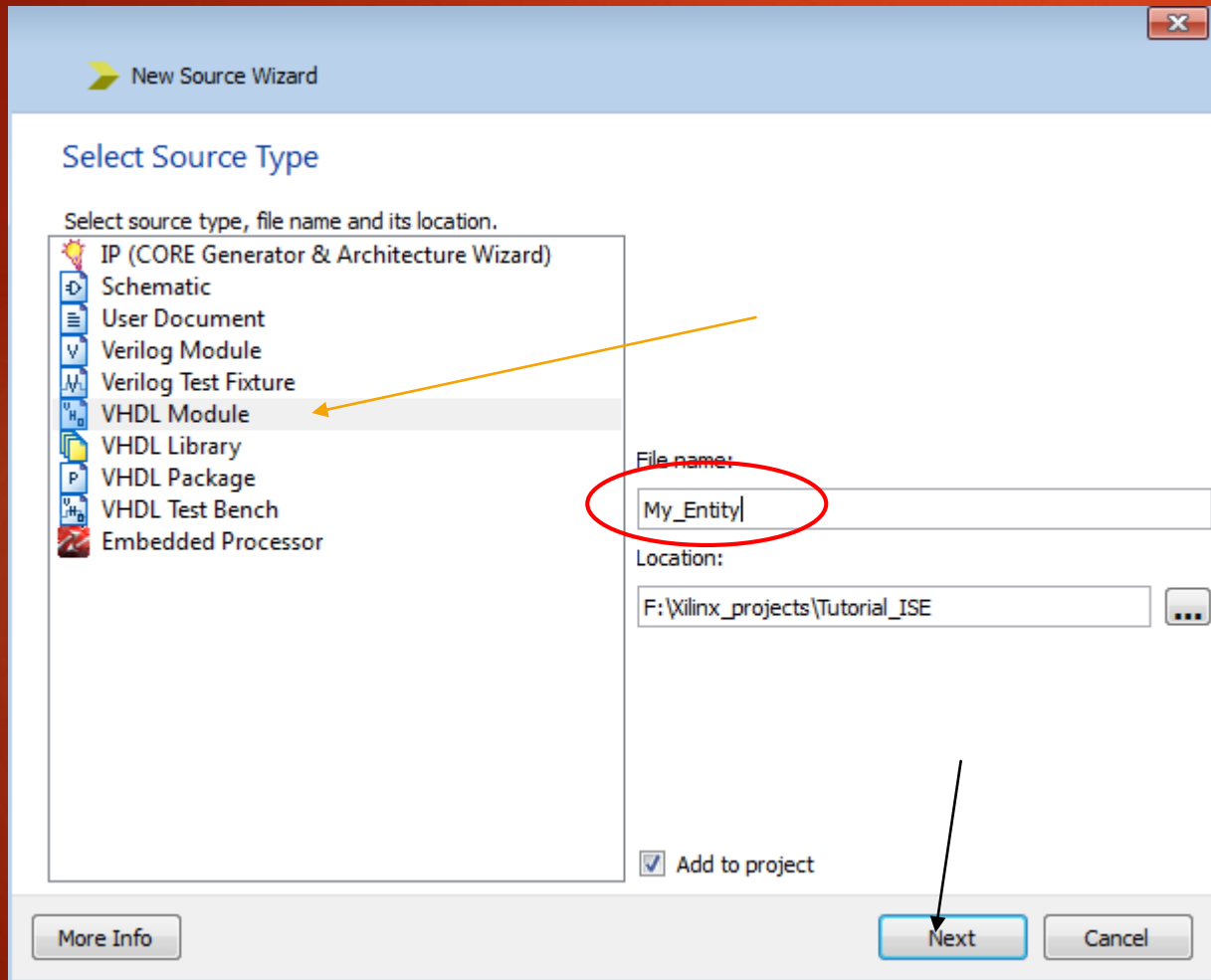


▶ نحوه ساخت فایل .vhd

Right click

Click this item

ISE 14.2 Tutorial



در پنجره باز شده ►
VHDL Module را انتخاب کنید

ISE 14.2 Tutorial

New Source Wizard

Define Module

Specify ports for module.

Entity name **Half_Adder**

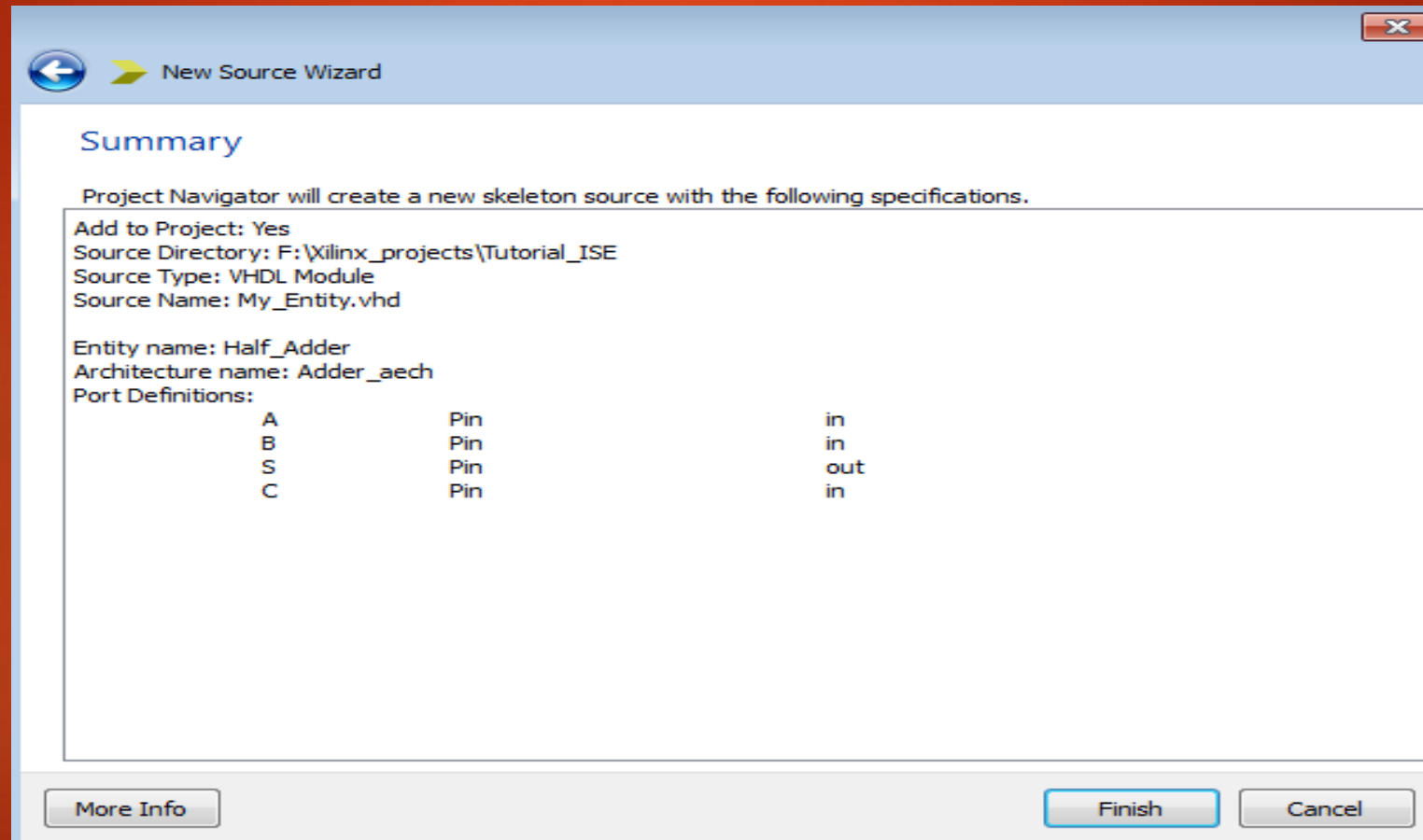
Architecture name **Adder_aech**

Port Name	Direction	Bus	MSB	LSB
A	in	<input type="checkbox"/>	0	0
B	in	<input type="checkbox"/>	0	0
S	out	<input type="checkbox"/>		
C	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		
	in	<input type="checkbox"/>		

More Info Next Cancel

در این جا باید نام
entity و architecture
و همچنین ورودی و خروجی
را مشخص کنید

ISE 14.2 Tutorial



ISE 14.2 Tutorial

```
1
2 library IEEE;
3 use IEEE.STD_LOGIC_1164.ALL;
4 |
5
6 entity Half_Adder is
7     Port ( A : in  STD_LOGIC;
8           B : in  STD_LOGIC;
9           S : out  STD_LOGIC;
10          C : in  STD_LOGIC);
11 end Half_Adder;
12
13 architecture Adder_aech of Half_Adder is
14
15 begin
16
17
18 end Adder_aech;
19
20
```

▶ فایل .hdl برنامه به

صورت زیر در خواهد آمد

My_Entity.vhd*

Design Summary

ISE 14.2 Tutorial

▶ ساخت پروژه و کامپوننت ها به پایان رسید

✓ حال می توانید کد را هر طور که مایلید تغییر دهید

✓ برنامه را کامپایل کنید

✓ شبیه ساز را راه اندازی کنید

✓ ورودی های مناسب را به شبیه ساز بدهید

✓ خروجی را بررسی کنید

ISE 14.2 Tutorial

▶ در این مرحله فایل `.vhd` را متناسب با نیاز خود تغییر میدهیم

▶ فایل ما به شکل زیر در می آید

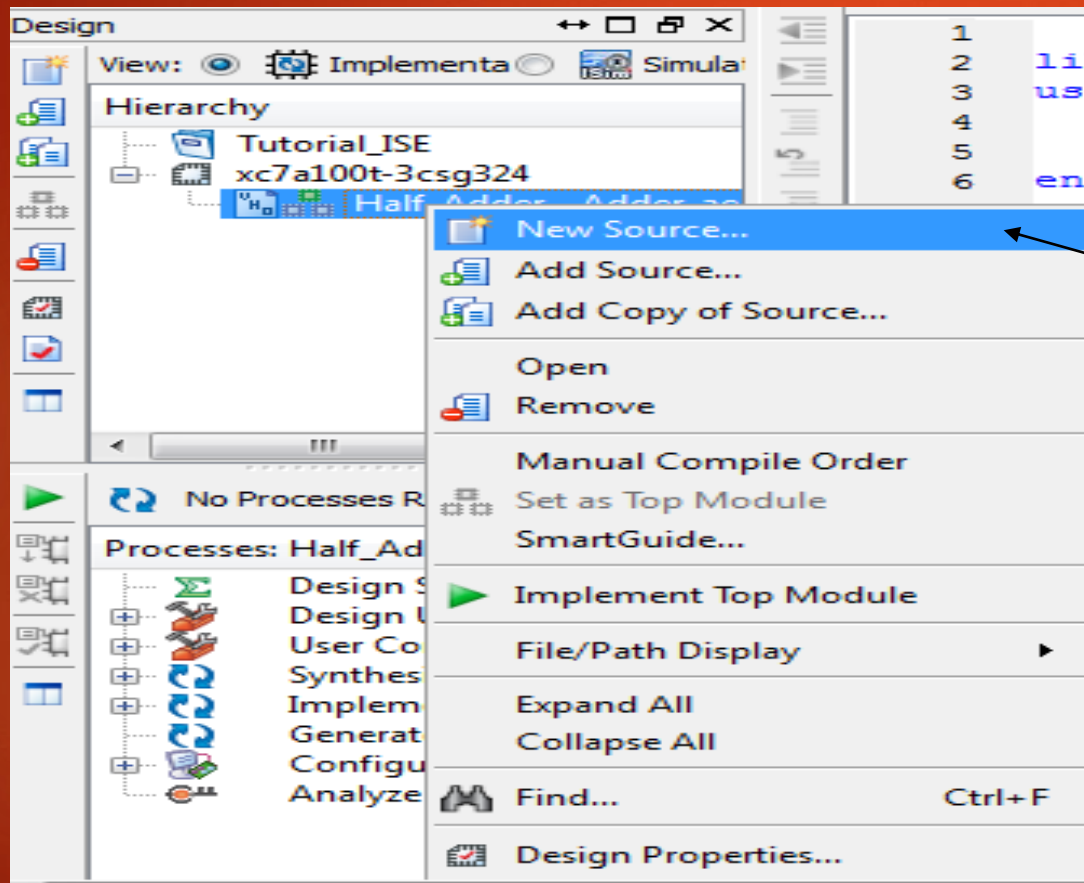
```
1
2 library IEEE;
3 use IEEE.STD_LOGIC_1164.ALL;
4
5
6 entity Half_Adder is
7     Port ( A : in  STD_LOGIC;
8           B : in  STD_LOGIC;
9           S : out  STD_LOGIC;
10          C : out  STD_LOGIC);
11 end Half_Adder;
12
13 architecture Adder_aech of Half_Adder is
14
15 begin
16
17     S <= A xor B;
18     C <= A and B;
19
20 end Adder_aech;
21
22
```

ISE 14.2 Tutorial

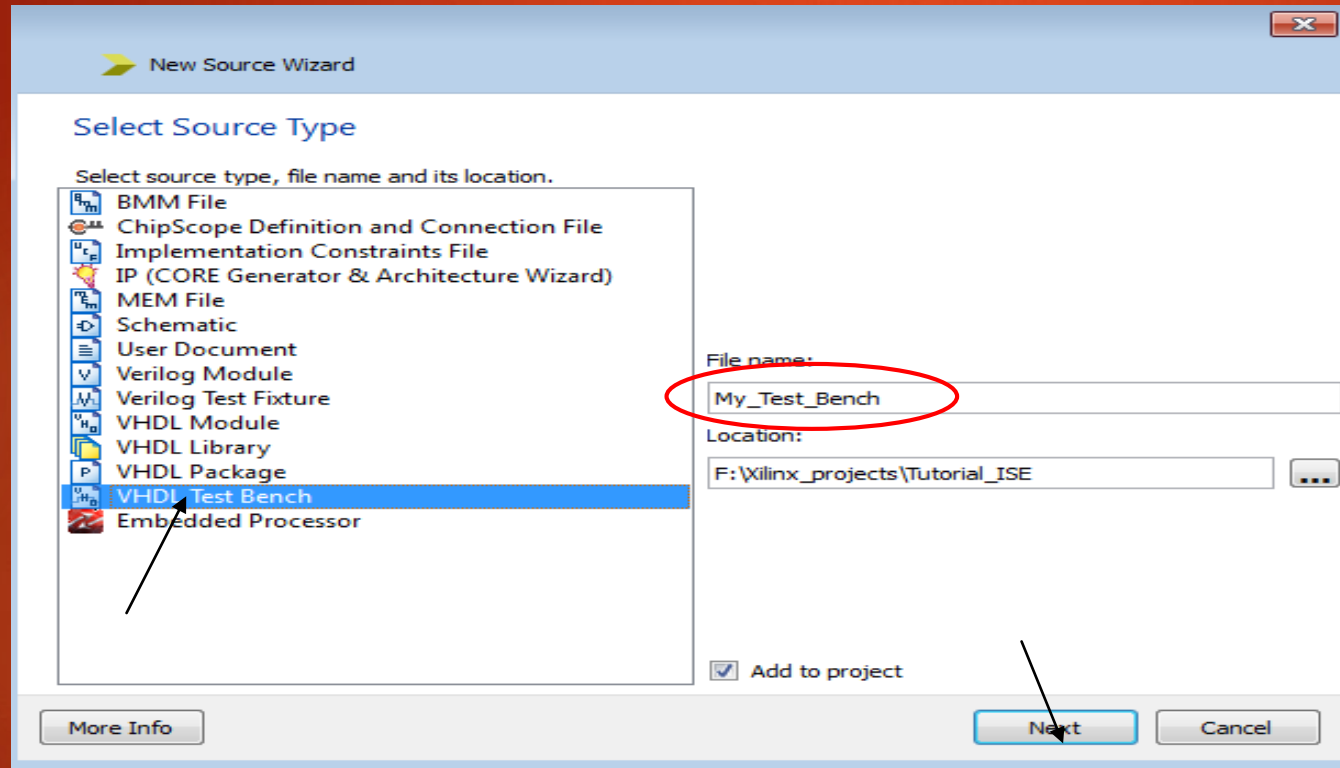
▶ حال نوبت به طراحی میز کار یا همان یا همان Test Bench برای تنظیم مقادیر موج های ورودی است

▶ اگر مایل به تنظیم اتومات هستید از این مرحله صرف نظر کنید

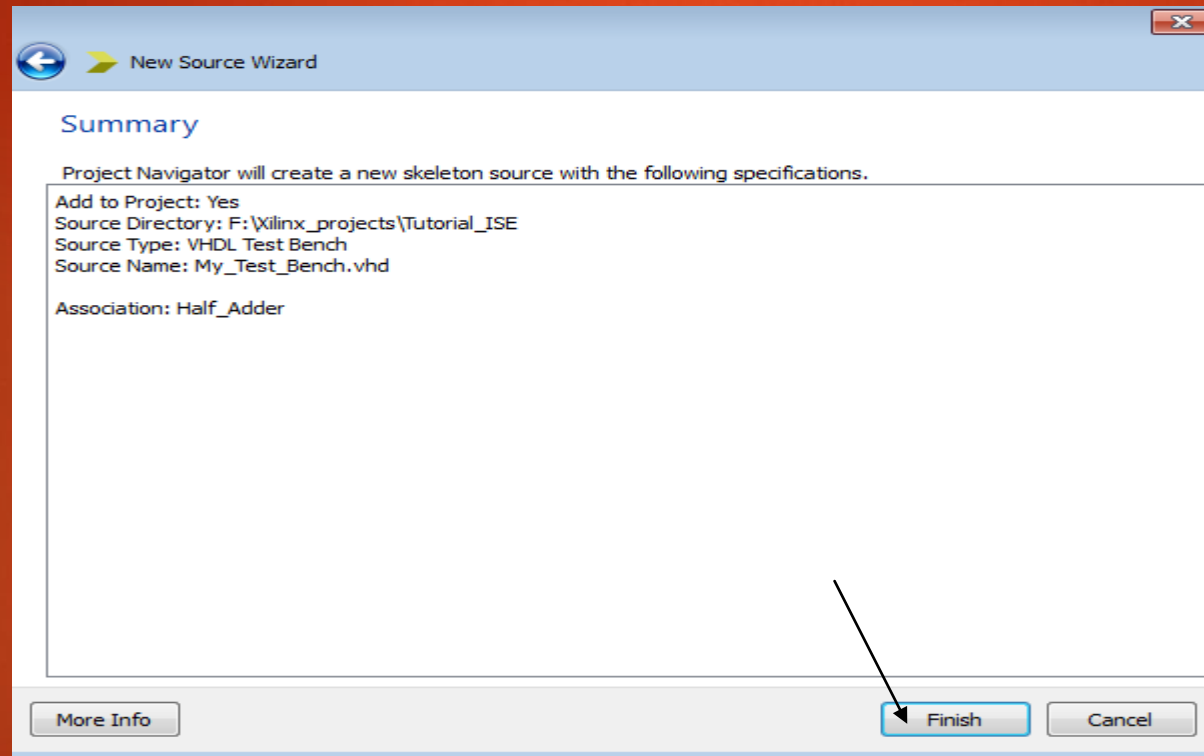
ISE 14.2 Tutorial



ISE 14.2 Tutorial

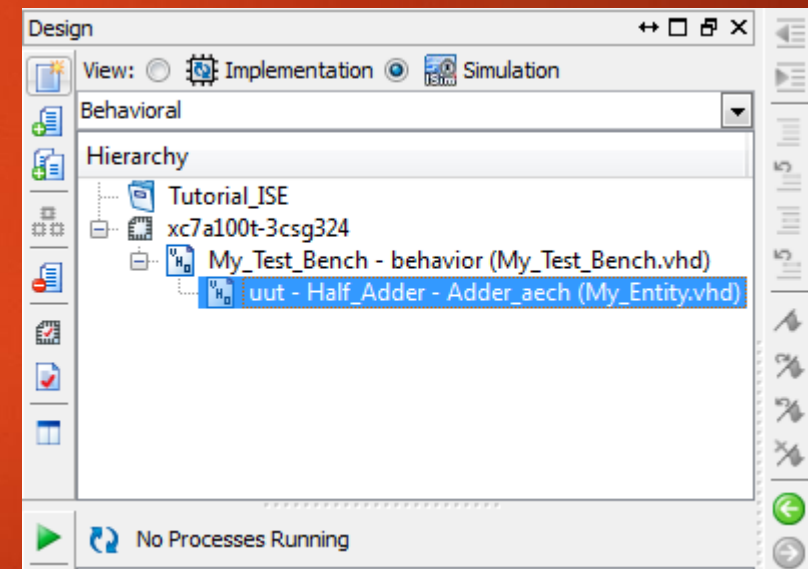
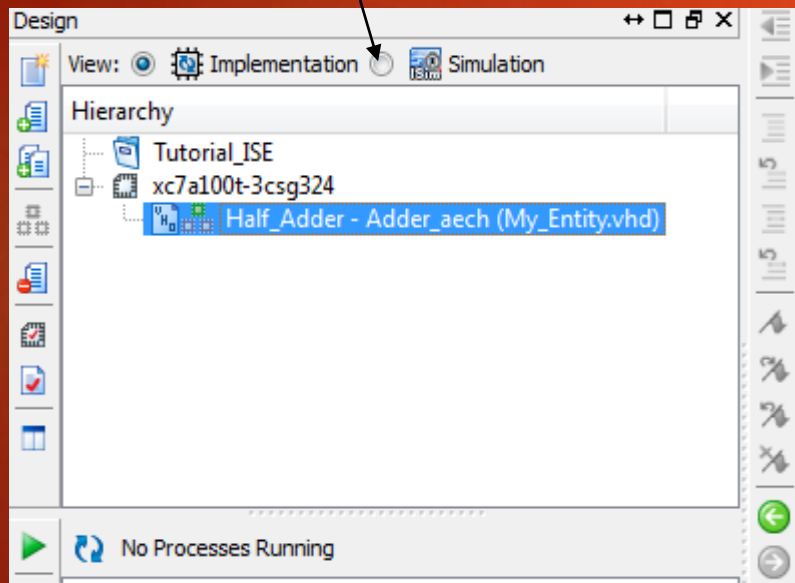


ISE 14.2 Tutorial

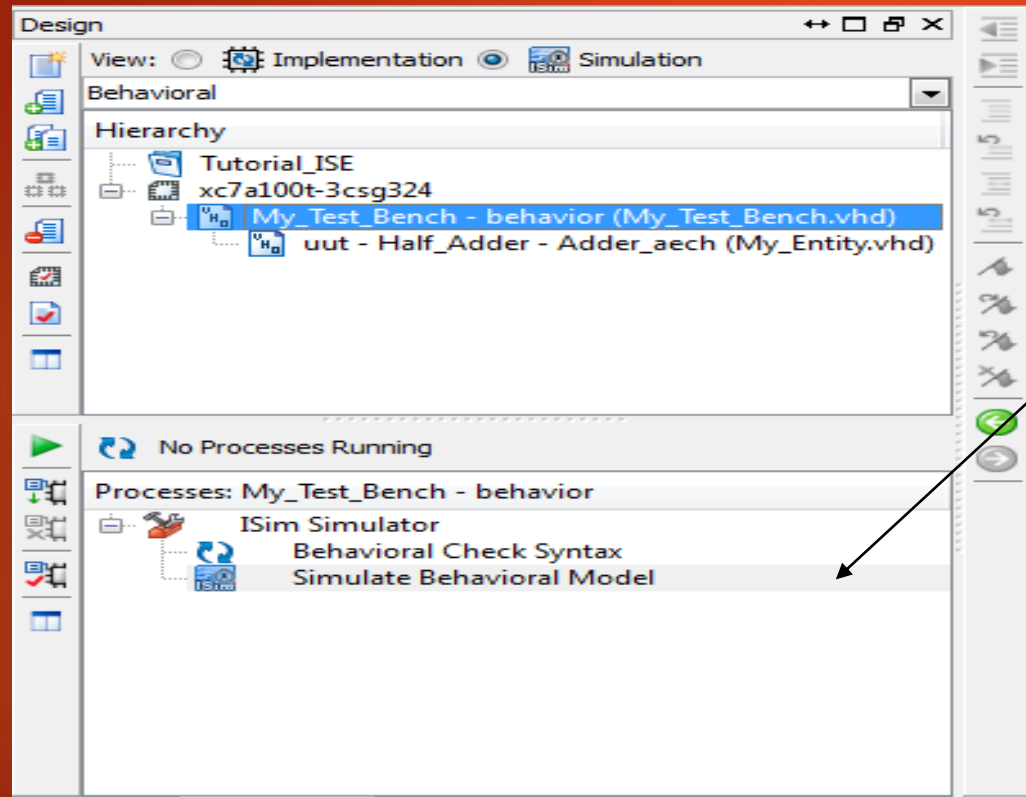


ISE 14.2 Tutorial

حال که فایل test bench ساخته شد، می توانیم به شبیه سازی پردازیم ▶



ISE 14.2 Tutorial



Double click

ISE 14.2 Tutorial

حالت نرم افزار ISIM راه اندازی شده و شبیه سازی را بر عهده دارد ▶

در منو پایین صفحه آیکون مورد نظر را خواهید دید ▶



Click on this

ISE 14.2 Tutorial



The screenshot displays the ISE 14.2 simulation environment. The main window is titled "ISim (P.28xd) - [Default.wcfg]". The interface includes a menu bar (File, Edit, View, Simulation, Window, Layout, Help), a toolbar, and several panels:

- Instances and Processes:** Shows a tree view with "my_test_bench" and "std_logic_1164".
- Objects:** A table listing simulation objects for "my_test_bench".
- Timing Diagram:** A waveform viewer showing signals "a", "b", "s", "c", and "period" over a 120 ns duration. The "period" signal is a square wave with a period of 10000 ps. The other signals show digital transitions.
- Console:** Displays the following text:

```
ISim P.28xd (signature 0xa0883be4)
This is a Full version of ISim.
Time resolution is 1 ps
Simulator is doing circuit initialization process.
Finished circuit initialization process.
ISim>
```

Name	Value
a	0
b	0
s	0
c	0
period	10000 ps

ISE 14.2 Tutorial

در این قسمت ►

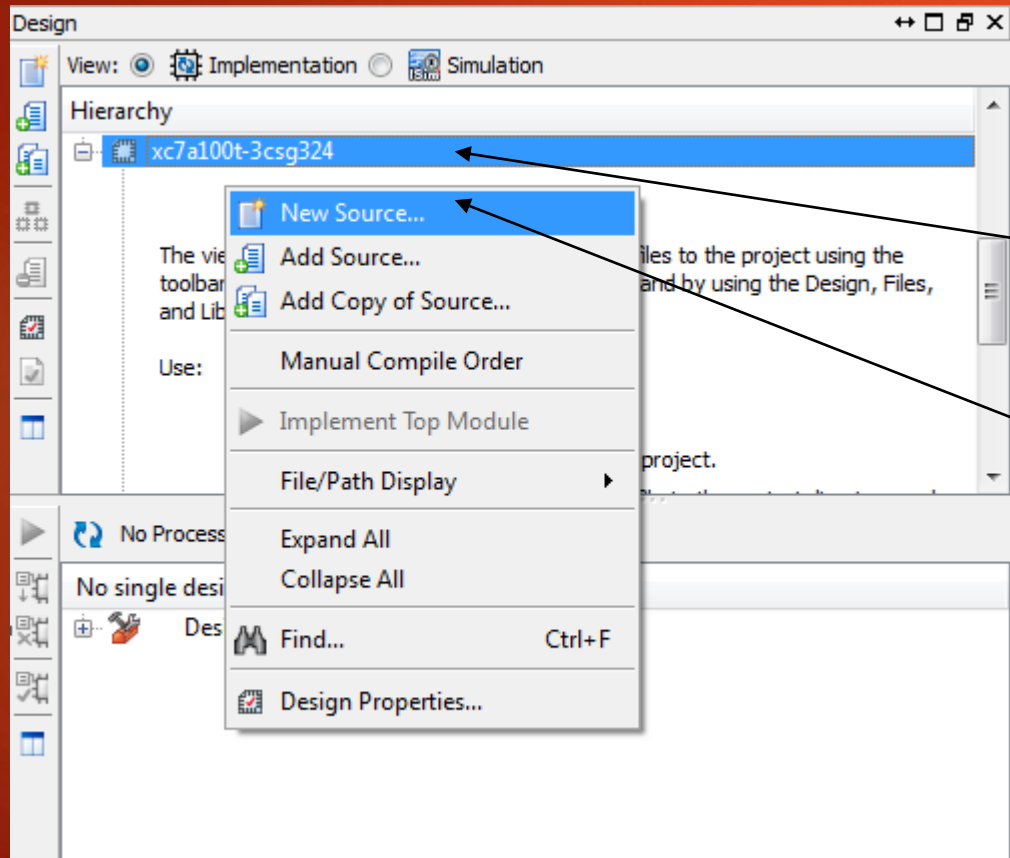


طراحی گرافیکی

ISE 14.2 Tutorial

طراحی گرافیکی را با ساخت یک فایل جدید ▶

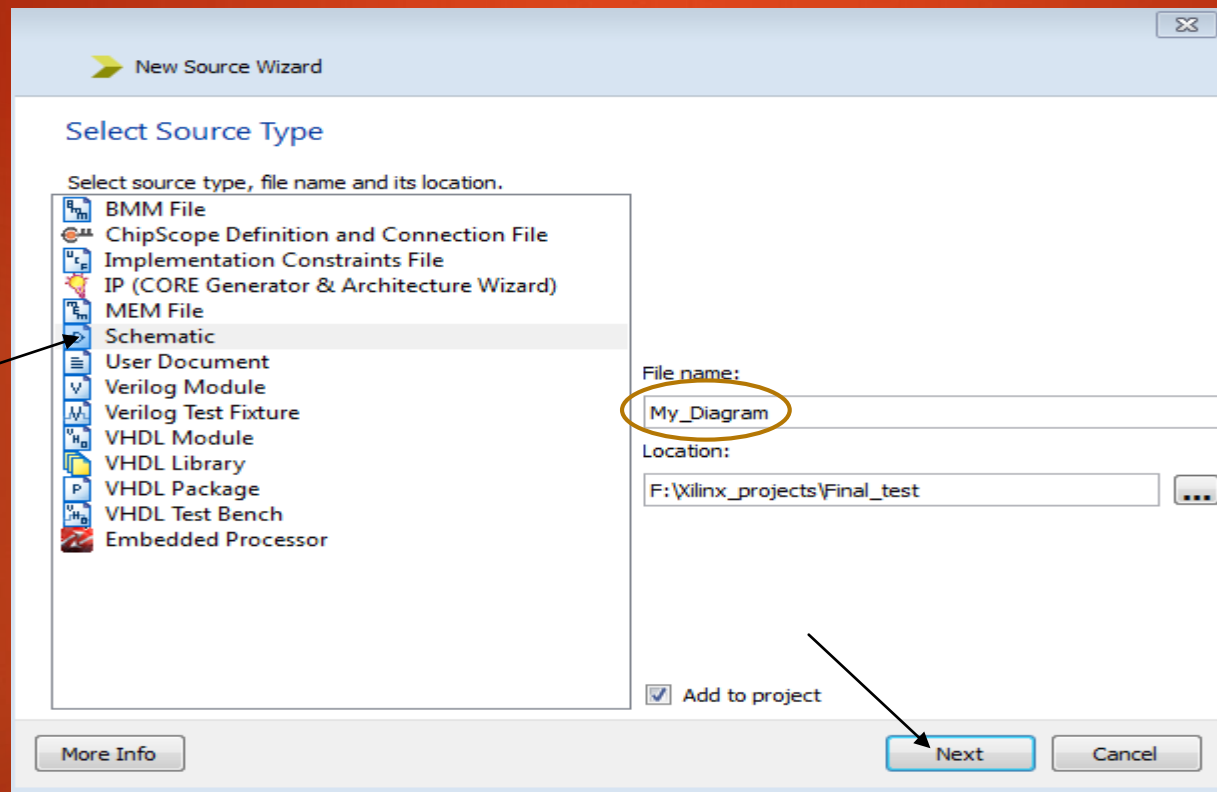
به نام Schematic آغاز می کنیم ▶



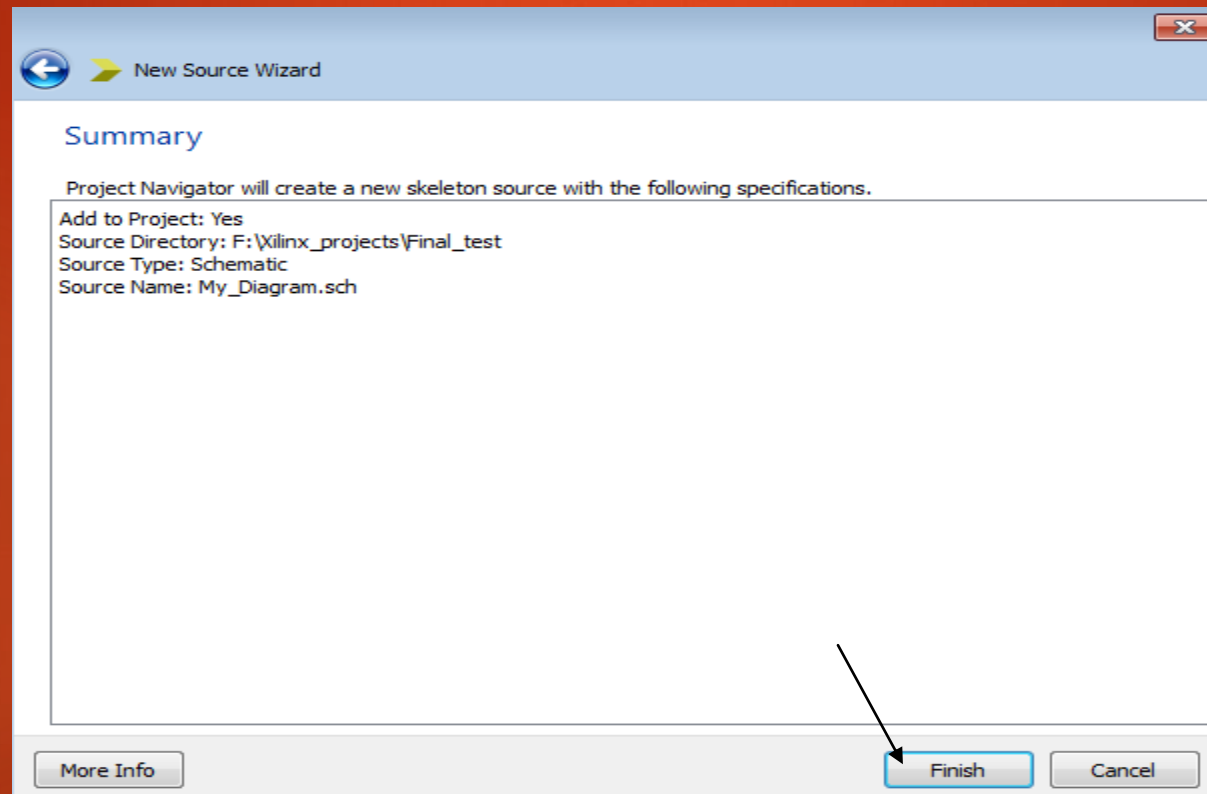
Right click

Click this item

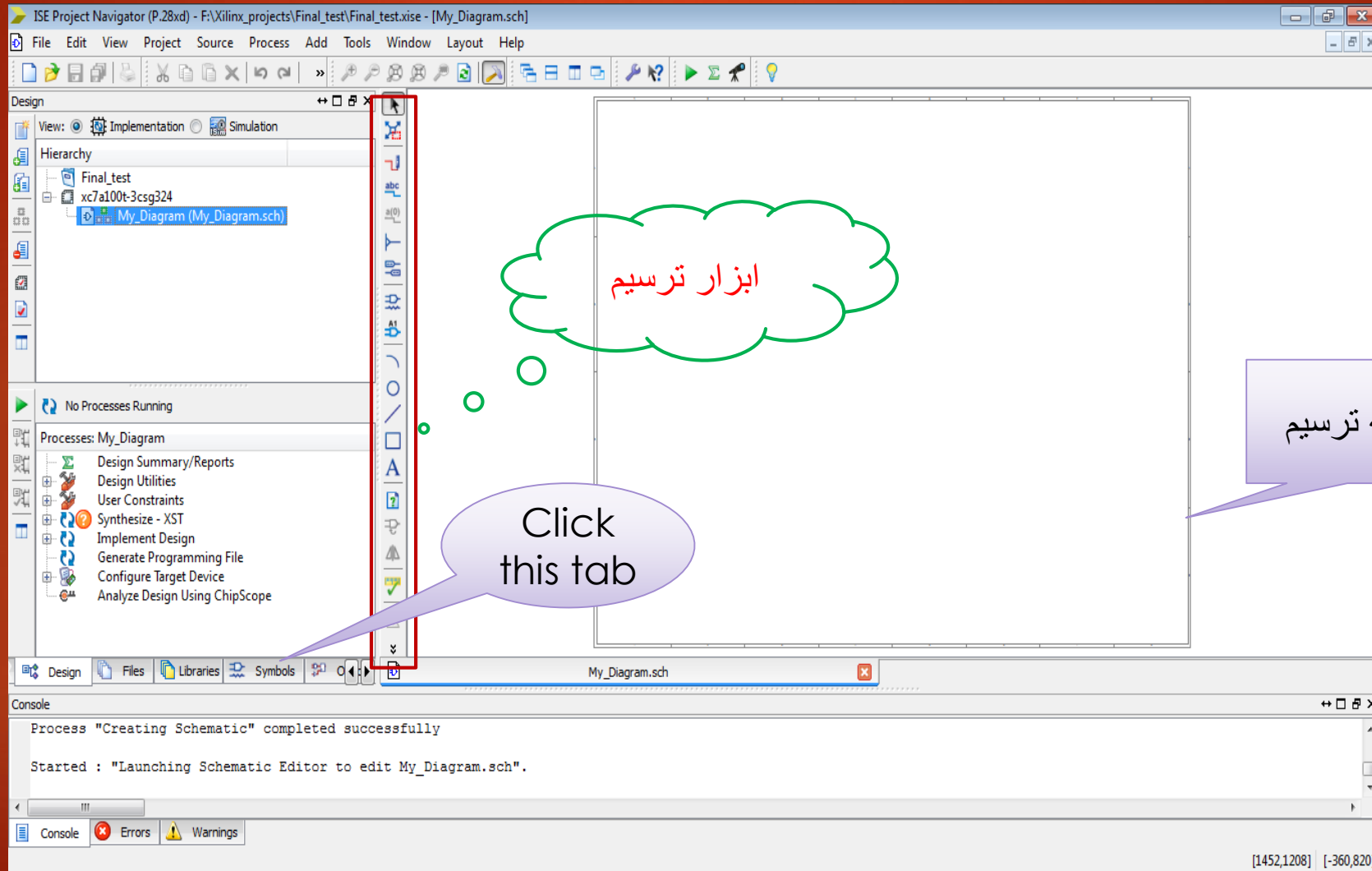
ISE 14.2 Tutorial



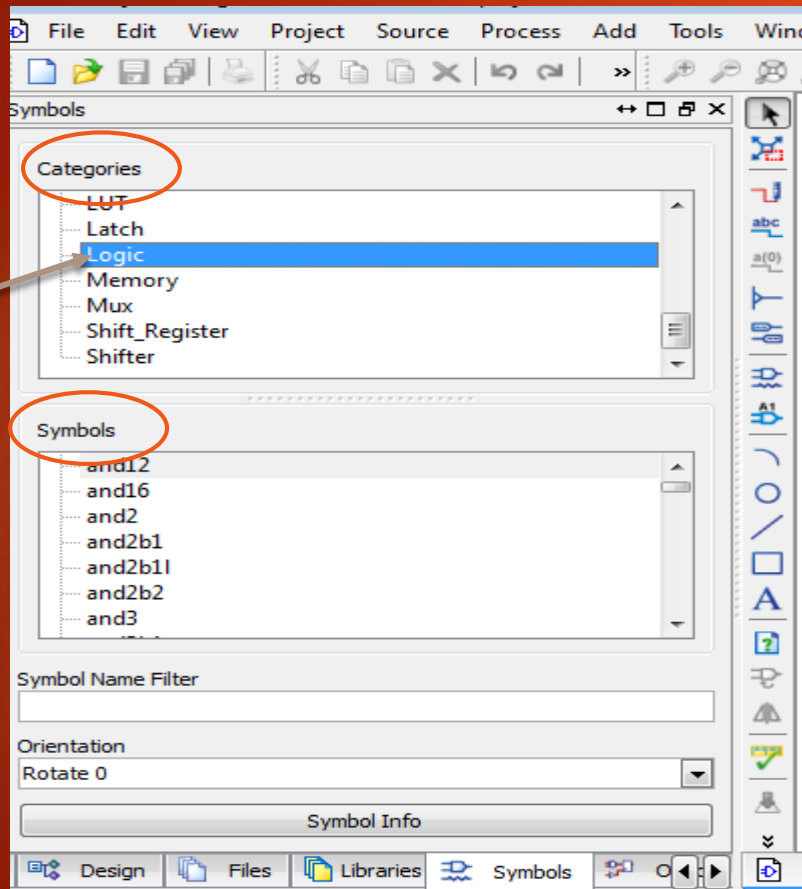
ISE 14.2 Tutorial



ISE 14.2 Tutorial



ISE 14.2 Tutorial



▶ حال در این مرحله می خواهیم عبارت منطقی

$$Y = A.B + B'.C$$

▶ در این قسمت ابتدا نوع گیت مورد نیاز را تعیین کنید

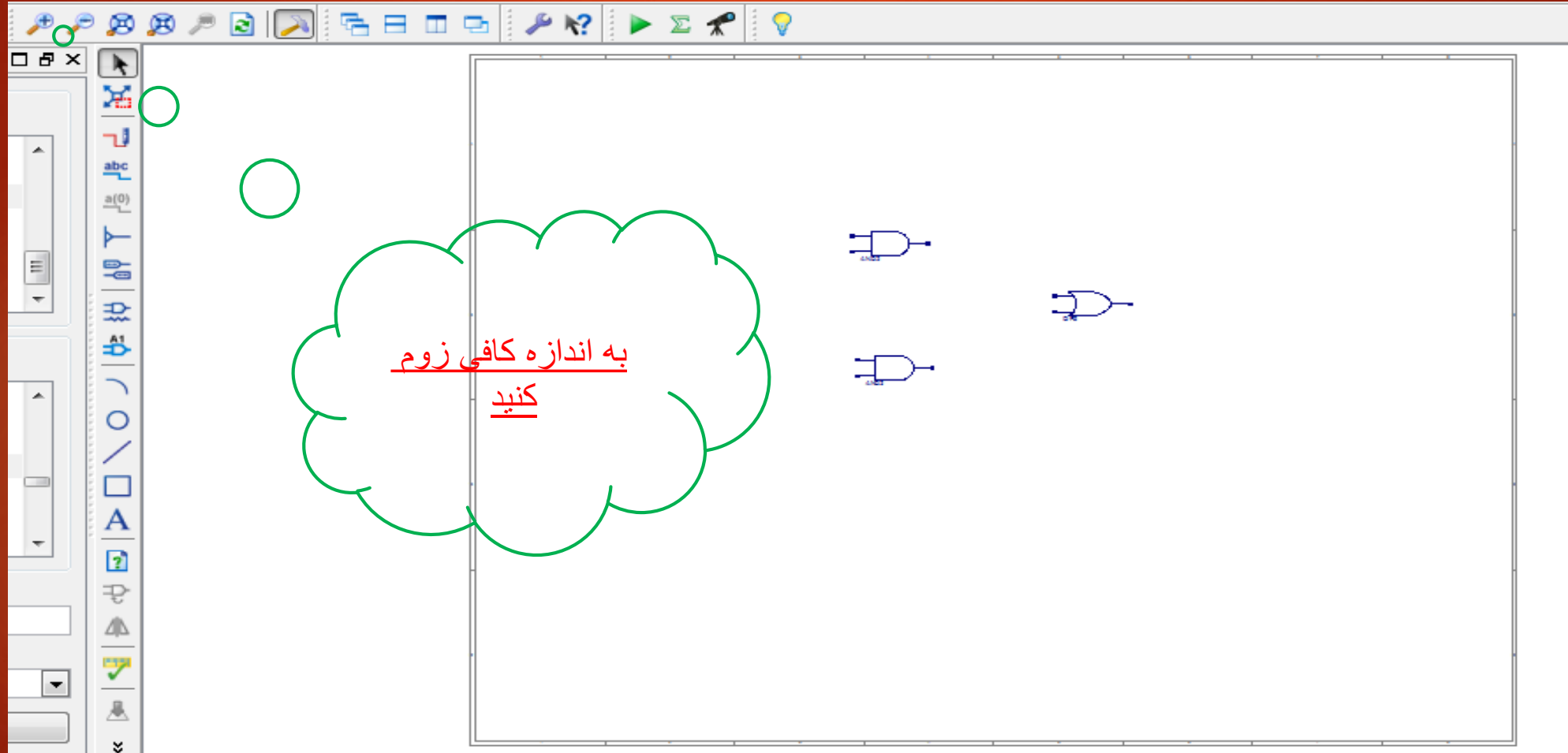
▶ سپس گیت های مورد نیاز را انتخاب کرده و به

صفحه طراحی اضافه کنید

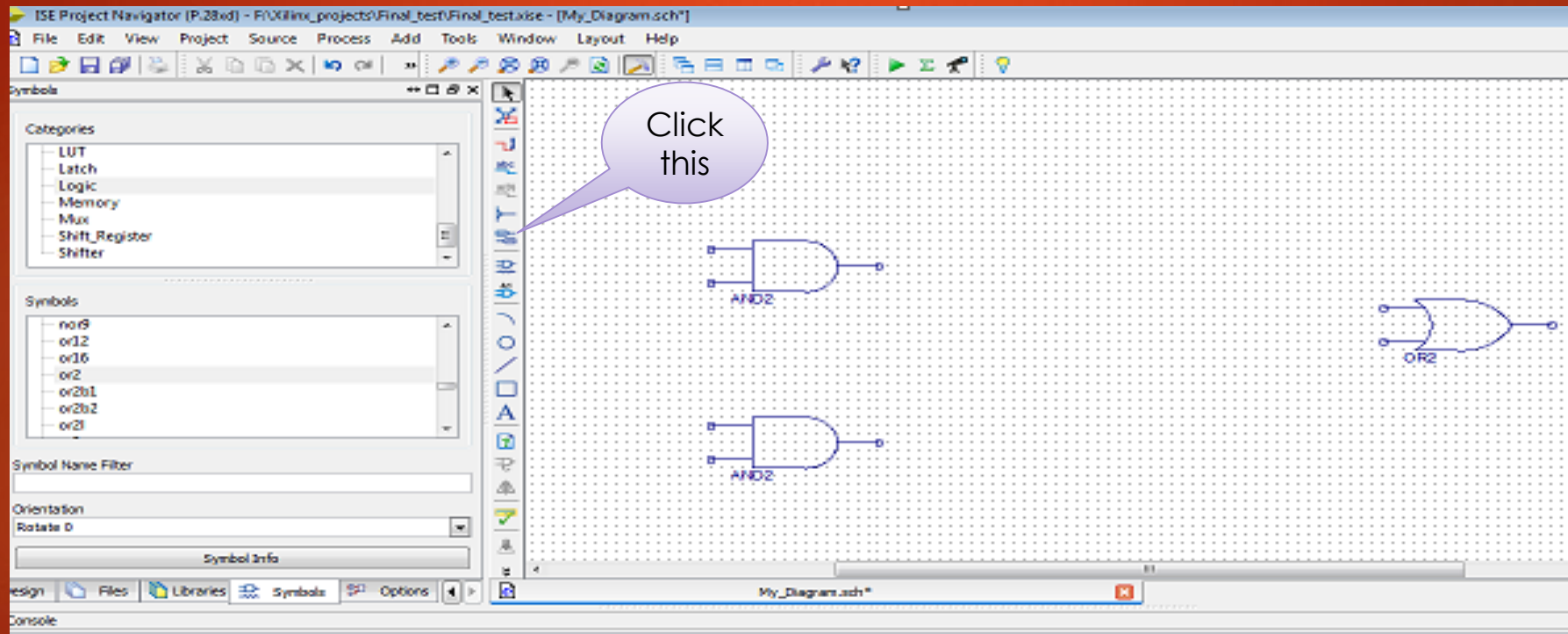
▶ به دو گیت and، یک گیت Not و یک گیت or نیاز داریم

که به صفحه طراحی اضافه میکنیم

ISE 14.2 Tutorial



ISE 14.2 Tutorial



ISE 14.2 Tutorial

Pin های ورودی و خروجی را مشخص کنید ▶

The screenshot displays the ISE 14.2 schematic editor interface. On the left, the 'Options' window is open to the 'Add I/O Marker Options' dialog. This dialog contains the following text and controls:

- When you click near the end of a branch, what do you want to do:
 - Add an automatic marker
 - Add an input marker
 - Add an output marker
 - Add a bidirectional marker
 - Remove the marker
- When you add an I/O marker, set its orientation so that its direction from its connection point is:
 - To Left
- In addition to clicking on a branch end point, you can drag a rectangle around one or more branch end points to add or to remove I/O markers at those points

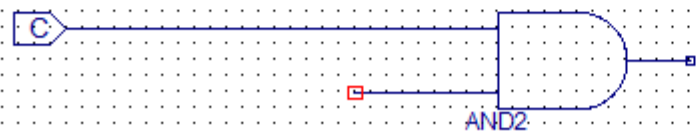
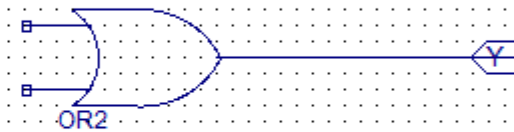
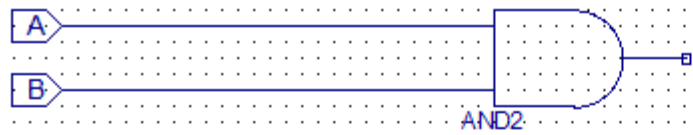
The main schematic editor window shows a grid with several logic gates. A yellow box highlights an AND gate with the following properties:

- Instance = XLX13
- Type = and2
- Input: I1 =>

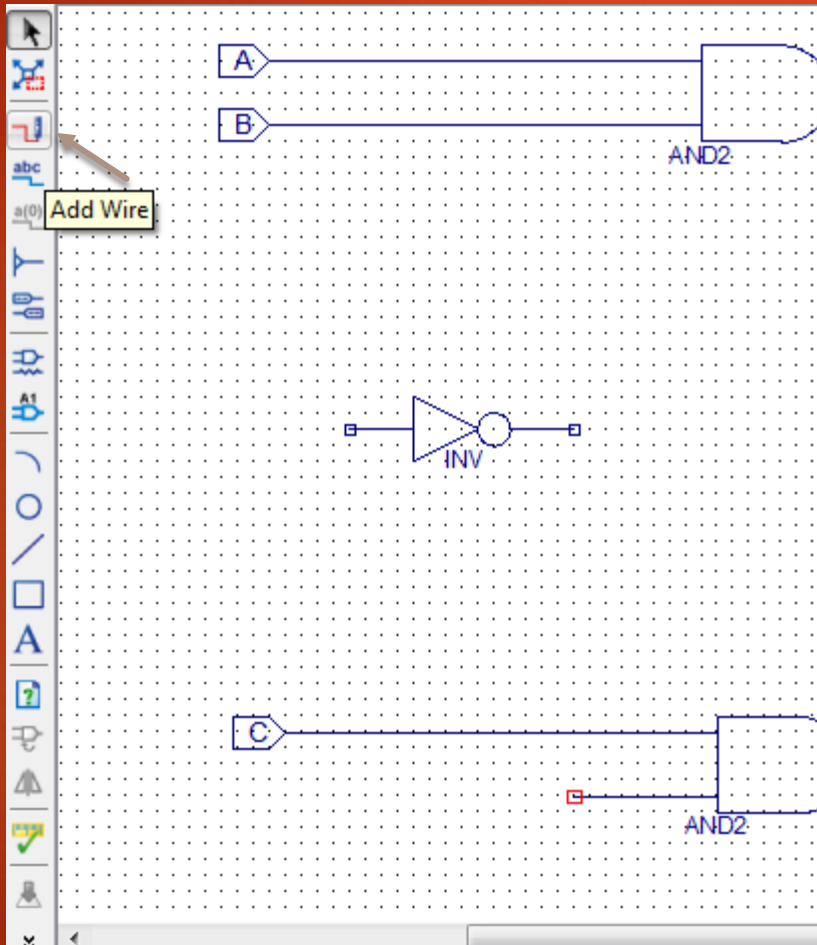
Other gates visible include an OR gate labeled 'OR2' and another AND gate labeled 'AND2'. The console at the bottom shows the following messages:

```
Process "Creating Schematic" completed successfully
Started : "Launching Schematic Editor to edit My_Diagram.sch".
```

ISE 14.2 Tutorial



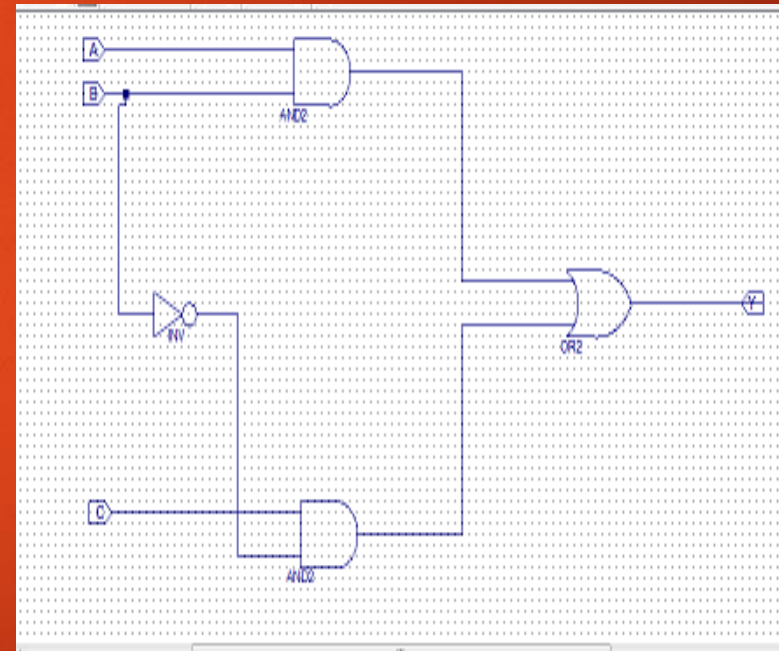
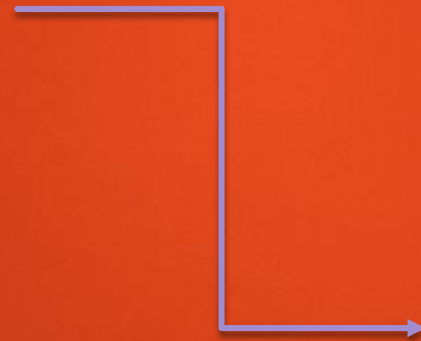
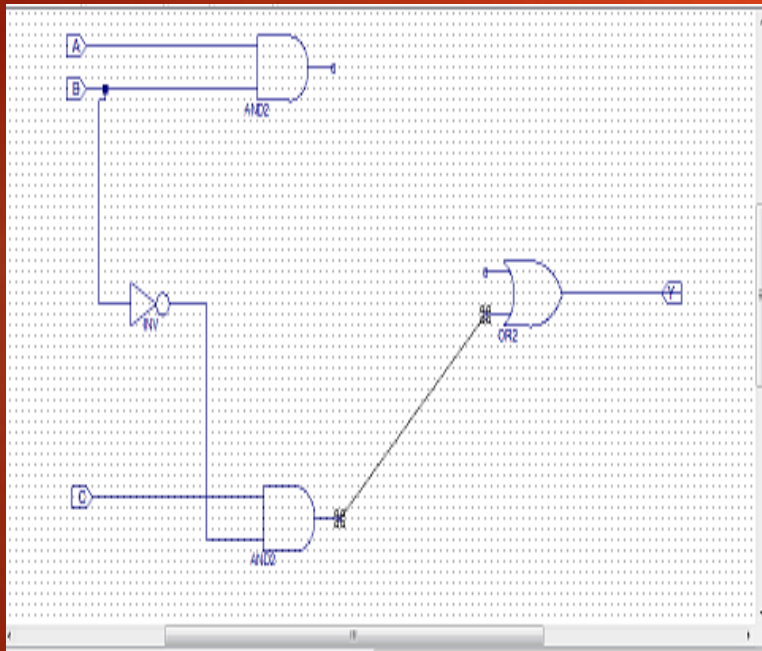
ISE 14.2 Tutorial



- ▶ حال با اضافه کردن سیم، گیت ها را طبق
- ▶ رابطه منطقی مسئله، به هم متصل میکنیم

ISE 14.2 Tutorial

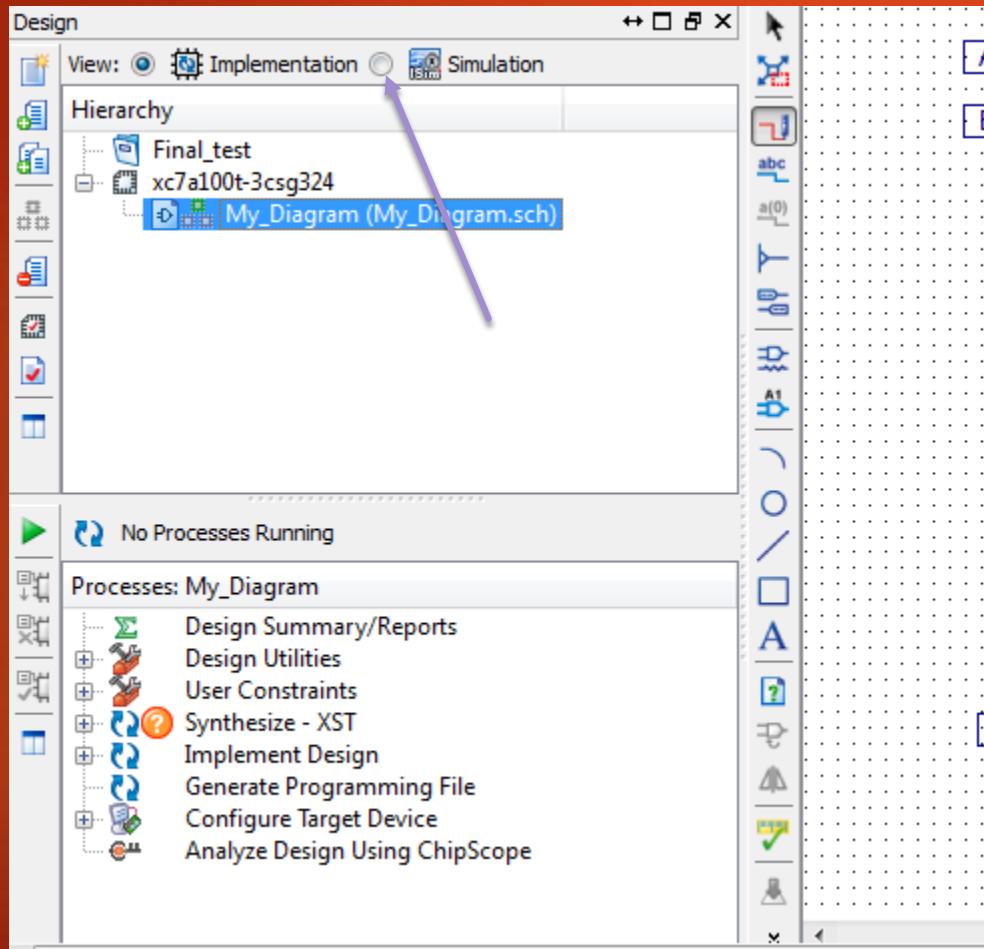
به همین ترتیب طراحی مدار را کامل می کنیم ►



ISE 14.2 Tutorial

- ▶ مانند بخش قبل، برای شبیه سازی به یک Test bench نیاز داریم
- ▶ ساخت test bench مانند بخش قبلی است
- ▶ پس از ساخت T/B آن را به طراحی اضافه می کنیم

ISE 14.2 Tutorial

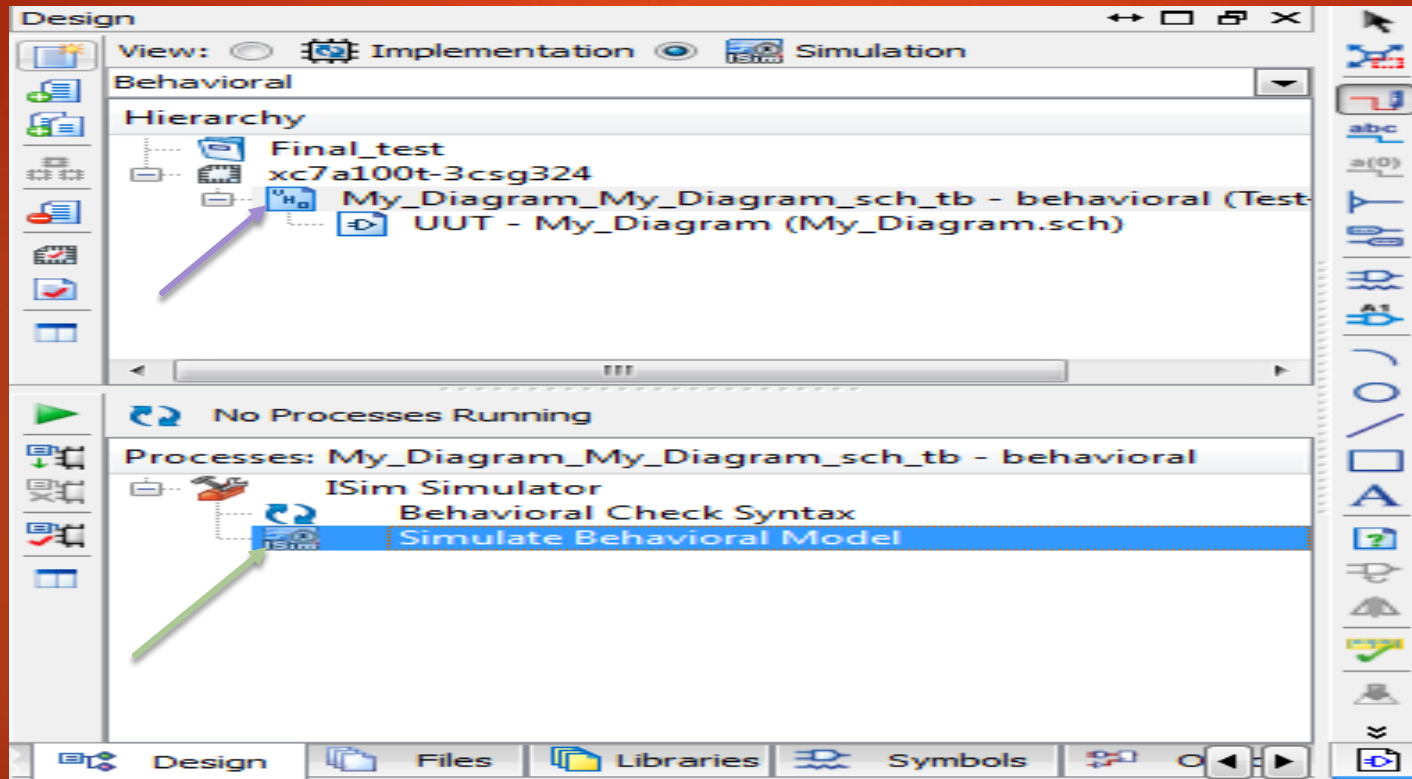


طراحی به پایان رسید ▶

برنامه را اجرا کنید و از درستی ▶

مدار اطمینان پیدا کنید

ISE 14.2 Tutorial



ISE 14.2 Tutorial

The screenshot displays the Xilinx ISE 14.2 simulation environment. The main window shows a timing diagram with a time scale from 0 ns to 500 ns. A yellow vertical cursor is positioned at 41.500 ns. The diagram shows several digital signals (a, c, y, b) and a period of 10000 ps. The console at the bottom is empty.

Name	Value
a	1
c	1
y	1
b	0
period	10000 ps

ISE 14.2 Tutorial

موفق و پیروز باشید