

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ



دانشکده مهندسی برق و رباتیک

پایان نامه کارشناسی ارشد مهندسی مدارهای مجتمع الکترونیک

## طراحی و شبیه سازی مرجع ولتاژ بندگپ کلیدخازنی زیر یک ولت

نگارنده: ملیحه عرب ناصری

استاد راهنما

دکتر عماد ابراهیمی

بهمن ماه ۹۶



فرم شماره (۳) صورتجلسه نهایی دفاع از پایان نامه دوره کارشناسی ارشد

با نام و یاد خداوند متعال، ارزیابی جلسه دفاع از پایان نامه کارشناسی ارشد خانم / آقای ملیحه عرب ناصری با شماره

دانشجویی ۹۴۳۶۴۹۴ رشته مهندسی برق- الکترونیک گرایش مدار مجتمع تحت عنوان: طراحی و شبیه

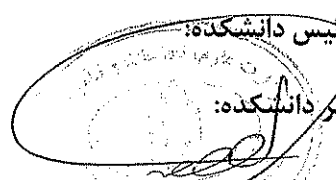
سازی مرجع ولتاژ بند گپ کلید خازنی زیر یک ولت که در تاریخ ۱۳۹۶/۱۱/۱۱ با حضور هیأت محترم داوران در

دانشگاه صنعتی شاهرود برگزار گردید به شرح ذیل اعلام می گردد:

قبول (با درجه: <u>خیلی خوب</u> )	<input checked="" type="checkbox"/>	مردود	<input type="checkbox"/>
نوع تحقیق:	<input checked="" type="checkbox"/> نظری	عملی	<input type="checkbox"/>

عضو هیات داوران	نام و نام خانوادگی	مرتبه علمی	امضاء
۱- استاد راهنمای اول	عمار ابراهیمی	استاد	
۲- استاد راهنمای دوم	-	-	-
۳- استاد مشاور	-	-	-
۴- نماینده تحصیلات تکمیلی	علی فتح	استادیار	
۵- استاد ممتحن اول	محمد رضا اشرف	استادیار	
۶- استاد ممتحن دوم	احسان رحیمی	استادیار	

نام و نام خانوادگی رئیس دانشکده:  
تاریخ و امضاء و مهر دانشکده:



تبصره: در صورتی که کسی مردود شود حداکثر یکبار دیگر (در مدت مجاز تحصیل) می تواند از پایان نامه خود دفاع نماید (دفاع مجدد نباید زودتر از ۴ ماه برگزار شود).

تقدیم اثر

تقدیم به همسر عزیزم

## تشکر و قدردانی

تشکر می‌کنم از

خدایی که آفرید؛

جهان را، انسان را، عقل را، علم را، معرفت را، عشق را

و به کسانی که عشقشان را در وجودم دمید.

## تعهد نامه

اینجانب ملیحه عرب ناصری دانشجوی دوره کارشناسی ارشد رشته مدارهای مجتمع آنالوگ دانشکده برق و رباتیک دانشگاه صنعتی شاهرود نویسنده پایان نامه طراحی و شبیه سازی مرجع ولتاژ بندگپ کلید-خازنی زیر یک ولت تحت راهنمایی دکتر عماد ابراهیمی متعهد می شوم:

- تحقیقات در این پایان نامه توسط اینجانب انجام شده است و از صحت و اصالت برخوردار است.
- در استفاده از نتایج پژوهشهای محققان دیگر به مرجع مورد استفاده استناد شده است.
- مطالب مندرج در پایان نامه تاکنون توسط خود یا فرد دیگری برای دریافت هیچ نوع مدرک یا امتیازی در هیچ جا ارائه نشده است.
- کلیه حقوق معنوی این اثر متعلق به دانشگاه صنعتی شاهرود می باشد و مقالات مستخرج با نام « دانشگاه صنعتی شاهرود » و یا « Shahrood University of Technology » به چاپ خواهد رسید.
- حقوق معنوی تمام افرادی که در به دست آمدن نتایج اصلی پایان نامه تأثیرگذار بوده اند در مقالات مستخرج از پایان نامه رعایت می گردد.
- در کلیه مراحل انجام این پایان نامه ، در مواردی که از موجود زنده ( یا بافتهای آنها ) استفاده شده است ضوابط و اصول اخلاقی رعایت شده است.
- در کلیه مراحل انجام این پایان نامه، در مواردی که به حوزه اطلاعات شخصی افراد دسترسی یافته یا استفاده شده است اصل رازداری ، ضوابط و اصول اخلاق انسانی رعایت شده است .

### تاریخ

### امضای دانشجو

### مالکیت نتایج و حق نشر

- کلیه حقوق معنوی این اثر و محصولات آن (مقالات مستخرج، کتاب، برنامه های رایانه ای، نرم افزار ها و تجهیزات ساخته شده است ) متعلق به دانشگاه صنعتی شاهرود می باشد.
- این مطلب باید به نحو مقتضی در تولیدات علمی مربوطه ذکر شود.
- استفاده از اطلاعات و نتایج موجود در پایان نامه بدون ذکر مرجع مجاز نمی باشد.

## چکیده

تامین سطوح مختلف ولتاژ که در برابر تغییرات دمایی، فرآیند ساخت و منبع تغذیه اصلی مدار پایدار باشد، از عوامل اصلی کارکرد صحیح هر دستگاه الکترونیکی است. به چنین ولتاژی، ولتاژ مرجع گویند و به دلیل این که مدارهای اولیه مرجع ولتاژ قادر به تولید ولتاژی در محدوده‌ی ولتاژ بندگپ سیلیکون بوده‌اند، این مدارها به مدار تولیدکننده‌ی ولتاژ مرجع بندگپ معروف شدند. ساختارهای زیادی در زمینه تولید مرجع ولتاژ ارائه شده‌است. با پیشرفت فناوری و کاهش سطح اشغالی بر روی تراشه، منابع تغذیه نیز کوچک‌تر می‌شوند و نیاز به مراجع ولتاژ زیر یک ولت افزایش می‌یابد، در نتیجه ساختارهای رایج که ولتاژ ثابت بندگپ بالای یک‌ولت را تولید می‌کنند، کارایی خود را از دست می‌دهند. هم‌چنین آفست تقویت‌کننده عملیاتی موجود در اکثر ساختارهای تولید ولتاژ مرجع یکی از عامل‌های بروز خطا در ولتاژ مرجع تولیدی است که در مراجع زیر یک‌ولت اثرات نامطلوب بیشتری دارد.

در این پایان‌نامه به طراحی دو مرجع ولتاژ کلید-خازنی پرداخته شده‌است که در آن‌ها برخلاف ساختارهای رایج از هیچ مقاومتی استفاده نشده و ساختار هر دو مبتنی بر تولید ولتاژ PTAT و CTAT با استفاده از یک ترانزیستور BJT و ذخیره ولتاژ روی خازن‌ها توسط روش کلیدزنی است. حذف مقاومت از این دو ساختار، سبب افزایش دقت در ولتاژ تولیدی شده و استفاده از یک ترانزیستور BJT بر خلاف ساختارهای متداول که از دو ترانزیستور BJT استفاده می‌کنند، اثر عدم تطبیق دو ترانزیستور دوقطبی را از مدار حذف می‌کند. اولین ساختار مرجع ولتاژ پیشنهادی قابلیت تنظیم ولتاژ خروجی روی سطح‌های دلخواه را دارد، اما برای عملکرد صحیح به دو منبع تغذیه مثبت و منفی نیاز دارد. با اعمال تغییراتی در ساختار مدار پیشنهادی اول، مرجع ولتاژ کلید-خازنی دوم به‌گونه‌ای طراحی شد که علاوه بر قابلیت تولید سطوح ولتاژ مرجع زیر یک‌ولت و قابل تنظیم، قابلیت حذف آفست را نیز دارد. ساختار مدار پیشنهادی دوم، نیاز تولید ولتاژهای مرجع قابل تنظیم و حذف اثر آفست تقویت‌کننده عملیاتی را فقط با استفاده از کلیدزنی بر روی چهار خازن تولید می‌کند. دو خازن اول، ولتاژ مرجع غیرحساس به دما را

تولید می‌کنند و دو خازن بعدی، درجه‌ی آزادی لازم برای تامین ولتاژ قابل تنظیم زیر یک‌ولت را فراهم می‌سازند.

در این پایان‌نامه پس از ارائه مدار پیشنهادی به محاسبه روابط ولتاژ مرجع ساخته شده برحسب پارامترهای مدار و شرط استقلال دمایی ولتاژ تولیدی پرداخته شده‌است. با توجه به روابط محاسبه شده، ولتاژ مرجع خروجی پیشنهادی به نسبت خازن‌ها در مدار وابسته است که این یک مزیت است؛ زیرا در مدارهای مجتمع نسبت خازن‌ها را می‌توان با دقت بالایی ساخت و این به معنای دقیق بودن مرجع ولتاژ پیشنهادی و کاهش حساسیت آن به خطاهای ساخت است.

در پایان مدار پیشنهادی در تکنولوژی TSMC 0.18 $\mu\text{m}$  CMOS طراحی و با نرم افزار ADS مورد شبیه‌سازی قرار گرفت. در یک مطالعه موردی، شبیه‌سازی‌ها نشان می‌دهد که مرجع ولتاژ پیشنهادی قابلیت تولید ولتاژ مرجع 460 mV با ضریب حرارتی  $24/4 \text{ ppm}/^\circ\text{C}$  را در بازه‌ی دمایی 40- تا 85 درجه سانتیگراد داراست. همچنین محاسبات مونت کارلو برای 200 نمونه و با اعمال خطای 1٪ برای المان‌ها نشان می‌دهد مقدار میانگین مرجع ولتاژ ( $\mu$ ) برابر 0/4677 و انحراف معیار ( $\sigma$ ) آن 0/00477 است. همچنین شبیه‌سازی‌ها حاکی از عملکرد صحیح ساختار پیشنهادی در حذف اثر آفست تقویت‌کننده عملیاتی در خروجی مدار مرجع ولتاژ می‌باشد.

کلمات کلیدی : حذف آفست، ضریب دمایی، مرجع ولتاژ زیر یک ولت، مرجع ولتاژ شکاف‌باند،

مرجع ولتاژ کلید-خازنی



عنوان	فهرست مطالب	صفحه
فهرست جدول‌ها.....	ل.....	
فهرست شکل‌ها.....	م.....	
فصل ۱ پیش‌گفتار.....	۱.....	
۱-۱ مقدمه.....	۲.....	
۲-۱ ضرورت تحقیق.....	۳.....	
۳-۱ نحوه تقسیم‌بندی پایان‌نامه و نوآوری‌های آن.....	۴.....	
فصل ۲ مروری بر مراجع ولتاژ بندگپ.....	۵.....	
۱-۲ مقدمه.....	۶.....	
۲-۲ مراجع ولتاژ زمان پیوسته.....	۶.....	
۳-۲ مراجع ولتاژ زمان پیوسته زیر یک‌ولت.....	۸.....	
۴-۲ مرجع ولتاژ کلید-خازنی.....	۱۳.....	
۱-۴-۲ مرجع ولتاژ کلید-خازنی با روش نمونه‌برداری مضاعف همبسته (CDS).....	۱۴.....	
۲-۴-۲ مرجع ولتاژ کلید-خازنی کسری CMOS.....	۱۹.....	
۳-۴-۲ مرجع ولتاژ کلید-خازنی با نسبت تبدیل دلخواه.....	۲۳.....	
۴-۴-۲ مرجع ولتاژ کلید-خازنی زیر یک‌ولت با هسته مقاومتی.....	۲۷.....	
۵-۴-۲ مرجع ولتاژ کلید-خازنی بدون مقاومت.....	۳۰.....	

عنوان	فهرست مطالب	صفحه
۶-۴-۲ مرجع ولتاژ کلید-خازنی با حذف آفست.....	۳۲	
فصل ۳ نظریه مرجع ولتاژ بندگپ زیر یکولت پیشنهادی.....	۳۷	
۱-۳ مقدمه.....	۳۸	
۲-۳ نظریه طراحی مرجع ولتاژ کلید-خازنی پیشنهادی زیر یکولت.....	۳۹	
۱-۲-۳ بهینه‌سازی رابطه ولتاژ مرجع پیشنهادی به منظور پایداری دمایی.....	۴۵	
۲-۲-۳ ملاحظات طراحی مرجع ولتاژ کلید-خازنی مطرح شده.....	۴۷	
۳-۳ اصلاح طراحی مرجع ولتاژ کلید-خازنی پیشنهادی زیر یکولت به منظور حذف آفست و تغذیه‌ی منفی.....	۵۰	
۱-۳-۳ محاسبات پایداری مرجع ولتاژ زیر یکولت پیشنهادی با حذف آفست.....	۵۴	
۴-۳ نتیجه‌گیری.....	۵۵	
فصل ۴ شبیه‌سازی مدار مرجع ولتاژ زیر یکولت پیشنهادی با حذف آفست.....	۵۷	
۱-۴ مقدمه.....	۵۸	
۲-۴ ملاحظات طراحی.....	۵۸	
۱-۲-۴ انتخاب اندازه خازن‌ها.....	۵۸	
۲-۲-۴ طراحی تقویت‌کننده عملیاتی.....	۵۹	
۳-۲-۴ انتخاب و طراحی کلید.....	۶۳	
۳-۴ شبیه‌سازی مرجع ولتاژ کلید-خازنی زیر یکولت پیشنهادی با حذف آفست.....	۶۶	

صفحه	فهرست مطالب	عنوان
۷۰	ضریب دمایی (TC) ۱-۳-۴	
۷۳	تحلیل مونت کارلو ۲-۳-۴	
۷۵	بررسی جریان مصرفی مدار ۳-۳-۴	
۷۶	تغییرات منبع تغذیه ۴-۳-۴	
۷۷	بررسی اثر آفست ۴-۴	
۷۹	فصل ۵ نتیجه گیری و پیشنهادات	
۸۰	مقدمه ۱-۵	
۸۰	مقایسه نتیجه‌های حاصل از مدار پیشنهادی با کارهای گذشته ۲-۵	
۸۱	نتیجه‌گیری ۳-۵	
۸۲	پیشنهاد ۴-۵	
۸۳	منابع	

عنوان	فهرست جدول ها	صفحه
جدول ۱-۲ : ضرایب محاسبه شده M و D برای داشتن ضریب دمایی مطلوب و ولتاژ مرجع قابل تنظیم	[۲۱].....	۲۰
جدول ۱-۴ : مقدار خازن های مدار مرجع ولتاژ زیر یک ولت پیشنهادی	.....	۵۹
جدول ۲-۴ : ابعاد ترانزیستورهای استفاده شده در تقویت کننده عملیاتی دو طبقه	.....	۶۱
جدول ۳-۴ : اندازه ترانزیستورهای استفاده شده در شکل واقعی مرجع ولتاژ کلید-خازنی زیر یک ولت	پیشنهادی.....	۶۶
جدول ۱-۵ : مقایسه عملکرد مرجع ولتاژ پیشنهادی در پایان نامه با کارهای انجام شده در گذشته	.....	۸۰

عنوان	فهرست شکل ها	صفحه
شکل ۱-۱: ساختار کلی مولد ولتاژ مرجع.....		۲
شکل ۱-۲: مثالی از مرجع ولتاژ زمان پیوسته.....		۷
شکل ۲-۲: مرجع ولتاژ مطرح شده در [ ۲].....		۹
شکل ۳-۲: مرجع ولتاژ ساخته شده با ماسفت ارائه شده در [۱۵].....		۱۱
شکل ۴-۲: مدار مولد الف (PTAT و ب) CTAT ارائه شده در [۱۶].....		۱۲
شکل ۵-۲: مدار مطرح شده به روش نمونه برداری مضاعف همبسته در [۲۰].....		۱۵
شکل ۶-۲: بخش تقویت کننده کلید-خازنی مدار مطرح شده به روش نمونه برداری مضاعف همبسته.....		۱۵
شکل ۷-۲: نحوه عملکرد تقویت کننده کلید-خازنی در زمان فعال بودن کلاک الف (F1 و ب) F2.....		۱۶
شکل ۸-۲: شکل موج کلاک F <sub>2</sub> و شکل موج خروجی مرجع ولتاژ بندگپ [۲۰].....		۱۷
شکل ۹-۲: هسته ی اصلی مرجع ولتاژ [ ۲۱].....		۱۹
شکل ۱۰-۲: شبکه کلید-خازنی مدار مطرح شده در [۲۱] در الف) فاز $\phi_1$ و ب) فاز $\phi_2$ .....		۲۱
شکل ۱۱-۲: منحنی تغییرات دمایی ولتاژ خروجی [۲۱].....		۲۲
شکل ۱۲-۲: بخش کلید-خازنی مدار ساده مطرح شده در [۲۲] در دو فاز الف) نمونه برداری و ب) ارزشیابی.....		۲۳

عنوان	فهرست شکل ها	صفحه
شکل ۲-۱۳: بخش کلید-خازنی مدار ساده [۲۲] در حالت چند شاخه در دو فاز الف) نمونه برداری و ب) ارزشیابی.....	۲۴	
شکل ۲-۱۴: مدار اصلاح شده بخش کلید-خازنی در حالت چند شاخه در [۲۲].....	۲۵	
شکل ۲-۱۵: مثالی از مدار تولید کسر در [۲۲].....	۲۵	
شکل ۲-۱۶: مدار کلید-خازنی در دو فاز الف) نمونه برداری و ب) ارزشیابی [۲۲].....	۲۶	
شکل ۲-۱۷: تغییرات ولتاژ خروجی تولید شده با دما در [۲۲].....	۲۷	
شکل ۲-۱۸: مدار مطرح شده در [۲۳].....	۲۸	
شکل ۲-۱۹: تغییرات ولتاژ مرجع تولید شده نسبت به دما در [۲۳].....	۳۰	
شکل ۲-۲۰: شکل مدار مطرح شده در [۲۴].....	۳۱	
شکل ۲-۲۱: مدار مرجع ولتاژ کلید خازنی با حذف ولتاژ آفست [۲۶].....	۳۳	
شکل ۲-۲۲: شکل موج تغییرات خروجی مرجع ولتاژ [۲۶].....	۳۴	
شکل ۳-۱: مدار مرجع ولتاژ کلید-خازنی پیشنهادی زیر یک ولت.....	۴۰	
شکل ۳-۲: مدار مرجع ولتاژ کلید-خازنی پیشنهادی زیر یک ولت در فاز ۱.....	۴۰	
شکل ۳-۳: مدار مرجع ولتاژ کلید-خازنی پیشنهادی زیر یک ولت در فاز ۲.....	۴۱	
شکل ۳-۴: مدار مرجع ولتاژ کلید-خازنی پیشنهادی زیر یک ولت در فاز ۳.....	۴۲	
شکل ۳-۵: مدار مرجع ولتاژ کلید-خازنی پیشنهادی زیر یک ولت در فاز ۴.....	۴۳	

- شکل ۳-۶: مدار مرجع ولتاژ کلید-خازنی پیشنهادی زیر یک ولت در فاز ۵..... ۴۴
- شکل ۳-۷: رفتار دمایی ولتاژ امیتر-بیس ترانزیستور BJT..... ۴۵
- شکل ۳-۸: مدار مرجع ولتاژ کلید-خازنی زیر یک ولت پیشنهادی با اثر حذف آفست..... ۵۰
- شکل ۳-۹: مدار مرجع ولتاژ کلید-خازنی زیر یک ولت پیشنهادی با اثر حذف آفست در فاز ۱..... ۵۱
- شکل ۳-۱۰: مدار مرجع ولتاژ کلید-خازنی زیر یک ولت پیشنهادی با اثر حذف آفست در فاز ۲..... ۵۱
- شکل ۳-۱۱: مدار مرجع ولتاژ کلید-خازنی زیر یک ولت پیشنهادی با اثر حذف آفست در فاز ۳..... ۵۲
- شکل ۳-۱۲: مدار مرجع ولتاژ کلید-خازنی زیر یک ولت پیشنهادی با اثر حذف آفست در فاز ۴..... ۵۳
- شکل ۴-۱: تقویت کننده عملیاتی دوطبقه استفاده شده در مرجع ولتاژ پیشنهادی..... ۶۱
- شکل ۴-۲: منحنی پاسخ فرکانسی تقویت کننده عملیاتی در محدوده دمایی ۴۰- تا ۸۵ درجه سانتیگراد..... ۶۲
- شکل ۴-۳: تغییرات بهره تقویت کننده عملیاتی دوطبقه مرجع ولتاژ نسبت به دما..... ۶۲
- شکل ۴-۴: مقاومت روشنایی کلید مکمل نسبت به ولتاژ ورودی کلید [۴]..... ۶۳
- شکل ۴-۵: اعوجاج ایجاد شده در اثر خاموش نشدن همزمان ترانزیستورهای کلید مکمل [۴]..... ۶۴
- شکل ۴-۶: اثر تزریق بار کانال در زمان خاموش شدن کلید [۴]..... ۶۵
- شکل ۴-۷: اثر نفوذ کلاک در کلید [۴]..... ۶۵

عنوان	فهرست شکل ها	صفحه
شکل ۴-۸ : شماتیک واقعی مدار مرجع ولتاژ کلید-خازنی زیر یک ولت پیشنهادی با حذف آفست.....	۶۶	۶۶
شکل ۴-۹ : سیگنال های اعمال شده به کلیدها.....	۶۷	۶۷
شکل ۴-۱۰ : خروجی مرجع ولتاژ کلیدخازنی زیر یک ولت پیشنهادی با حذف آفست.....	۶۸	۶۸
شکل ۴-۱۱ : نمای نزدیک خروجی مرجع ولتاژ کلیدخازنی زیر یک ولت پیشنهادی با حذف آفست.....	۶۸	۶۸
شکل ۴-۱۲ : تغییرات ولتاژ مرجع پیشنهادی نسبت به تغییرات دمایی.....	۶۹	۶۹
شکل ۴-۱۳ : منحنی تغییرات دمایی ولتاژ مرجع پیشنهادی.....	۷۱	۷۱
شکل ۴-۱۴ : منحنی تغییرات دمایی ولتاژ مرجع پیشنهادی در گوشه های مختلف پروسه الف) FF ، ب) SS ، ج) SF و د) FS.....	۷۳	۷۳
شکل ۴-۱۵ : هیستوگرام ولتاژ مرجع مدار پیشنهادی با ۲۰۰ نمونه در شبیه سازی مونت کارلو.....	۷۴	۷۴
شکل ۴-۱۶ : پراکندگی ولتاژ مرجع پیشنهادی بر حسب تعداد تکرار در شبیه سازی مونت کارلو.....	۷۴	۷۴
شکل ۴-۱۷ : جریان کشیده شده در یک دوره مدار پیشنهادی .....	۷۵	۷۵
شکل ۴-۱۸ : تغییرات ولتاژ مرجع پیشنهادی بر حسب تغییرات منبع تغذیه.....	۷۶	۷۶
شکل ۴-۱۹ : تقویت کننده عملیاتی حالت ایده آل به منظور آزمایش اثر آفست.....	۷۷	۷۷
شکل ۴-۲۰ : ولتاژ مرجع پیشنهادی الف) بدون اعمال آفست ب) با اعمال آفست.....	۷۸	۷۸



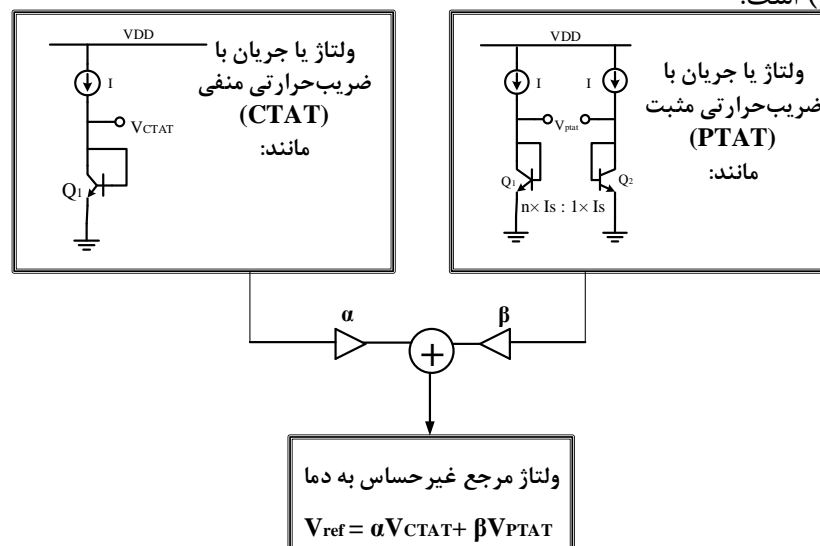
فصل ۱:

پیش‌گفتار

## ۱-۱ مقدمه

هر مدار الکترونیکی از بخش‌های متفاوتی تشکیل شده که هر بخش وظیفه خاصی را برعهده دارد. منبع تغذیه از اجزای جدایی ناپذیر مدار به حساب می‌آید. با پیشرفت فناوری، کوچک شدن اندازه و کاهش مصرف توان از عوامل مهم طراحی یک مدار خوب به حساب می‌آید. منبع تغذیه (باتری) در اکثر مدارهای الکترونیکی وجود دارد. از طرفی هر بخش مدار، سطوح مختلف ولتاژ را برای کاربردهایی از قبیل استفاده به عنوان سطح مقایسه نیاز دارد. بنابراین باید از منبع تغذیه اصلی مدار، سطوح دیگر را تولید کرد. این سطوح ولتاژ باید نسبت به تغییرات دما، تغییرات منبع تغذیه (باتری)، و فرآیند ساخت<sup>۱</sup> ایمن باشند.

سطوح مختلف ولتاژ در مدار توسط بخش مرجع ولتاژ بندگپ<sup>۲</sup> (BGR) تولید می‌شود. دلیل نام‌گذاری آن، برابری ولتاژ تولیدی در نسخه‌های اولیه این مدار با ولتاژ بندگپ است [۱] (برای سیلیکون  $E_g = 1.12\text{eV}$ ). همان‌طور که در شکل ۱-۱ مشاهده می‌شود، ساختار هر مرجع ولتاژ، از سه بخش اصلی تشکیل شده است. یک بخش با ضریب حرارتی مثبت (PTAT)<sup>۳</sup> و بخش دیگر با ضریب حرارتی منفی (CTAT)<sup>۴</sup> است.



شکل ۱-۱: ساختار کلی مولد ولتاژ مرجع

<sup>1</sup> Process

<sup>2</sup> Bandgap Voltage Reference (BGR)

<sup>3</sup> Proportional To Absolute Temperature (PTAT)

<sup>4</sup> Complementary To Absolute Temperature (CTAT)

این دو بخش در بخش سوم با ضریب‌های مناسب با هم جمع می‌شوند تا در خروجی مدار، ولتاژی غیرحساس به دما به دست بیاید. پژوهش‌های زیادی برای بهبود ولتاژ مرجع در مدارها انجام شده‌است. این پژوهش‌ها به منظور کاهش حساسیت ولتاژ مرجع به دما و ولتاژ تغذیه و فرآیند ساخت صورت گرفته‌است.

در ملاحظات طراحی مرجع ولتاژ، آفست<sup>۱</sup> تقویت‌کننده عملیاتی بیشترین تاثیر را در دقت مدار دارد [۲]. اما به‌طور کلی، متناسب نبودن آینه‌های جریان، مقاومت‌ها، ترانزیستورها، نشت ولتاژ بیس-امیتر و خطای مقاومت‌ها از مهمترین عامل‌های تولید خطا در مراجع ولتاژ هستند. از طرفی به دلیل ملاحظات طراحی و برای رسیدن به ضریب‌دمایی<sup>۲</sup> صفر در مدار مرجع ولتاژ، ولتاژ خروجی غالباً در محدوده‌ی بالای یک ولت قرار می‌گیرد [۳].

هدف این پایان‌نامه ارائه طرحی جدید برای رسیدن به ولتاژ مرجع زیر یک ولت به روش کلید-خازنی است. در این طرح از روش‌هایی برای تقسیم ولتاژ استفاده شده تا بتوان با تغییر مقدار ظرفیت خازن‌ها، به ولتاژ خروجی مطلوب دست یافت و بتوان ولتاژهای زیر یک‌ولت را نیز تولید کرد.

## ۲-۱ ضرورت تحقیق

از آن‌جاکه مراجع ولتاژ و جریان به صورت گسترده در مدارهای آنالوگ از قبیل حافظه‌های دینامیکی<sup>۳</sup> (DRAM)، حافظه‌های فلش، تنظیم‌کننده‌های ولتاژ LDO، مبدل‌های<sup>۴</sup> A/D و<sup>۵</sup> D/A به کار می‌رود [۲]، دقت بالای آن برای بالابردن عملکرد این گونه مدارها ضروری است. به طور مثال در سیستم‌های مبدل داده برای تعیین محدوده‌ی کامل سیگنال ورودی و خروجی و مقایسه، به یک مرجع ولتاژ نیاز است. هم‌چنین مرجع تولید شده باید نسبت به نویز در وضعیت مطلوبی باشد [۴]. ممکن است

---

<sup>1</sup> Offset

<sup>2</sup> Temperature Coefficient

<sup>3</sup> Dynamic Random Access Memory

<sup>4</sup> Analog To Digital Converter

<sup>5</sup> Digital To Analog Converter

نویز خروجی مدارهای مولد مرجع به نحو چشم‌گیری عملکرد مدارهای با نویز پایین را تحت‌تاثیر قرار دهد. به‌طورمثال در مبدل‌های A/D با دقت بالا، که از ولتاژ بندگپ برای مقایسه با سیگنال‌های ورودی استفاده می‌کنند، نویز مرجع مستقیماً با ورودی جمع می‌شود. پس ضرورت ایجاد می‌کند مرجعی تولید شود که بتواند هر سطح ولتاژی را بسازد و وابستگی پایینی به دما و تغییرات منبع تغذیه داشته باشد.

### ۳-۱ نحوه تقسیم‌بندی پایان‌نامه و نوآوری‌های آن

همان‌طور که در بخش مقدمه به آن اشاره شد، در این پایان‌نامه با مطالعه کارهای انجام شده در گذشته و اعمال نوآوری در آن‌ها، مدار مولد ولتاژ کلید-خازنی طراحی شده‌است که می‌توان در کاربردهای زیر یک‌ولت از آن استفاده کرد و هم‌چنین قابلیت حذف آفست را نیز دارد. در ادامه، توضیح فصل‌های پایان‌نامه مشاهده می‌شود.

فصل ۲ به توضیح و تفسیر کارهای انجام‌شده در گذشته در زمینه مدارهای مرجع ولتاژ می‌پردازد. سپس در فصل ۳ به بیان تئوری و تحلیل دو ساختار پیشنهادی و بیان ویژگی‌های هر ساختار پرداخته می‌شود. در فصل ۴ ساختار پیشنهادی در فصل ۳ شبیه‌سازی شده و نتایج آن مشخص و بررسی می‌شود. در انتها، در فصل ۵ به نتیجه‌گیری و مقایسه این نتیجه‌ها با کارهای انجام‌شده در این زمینه و هم‌چنین به ارائه پیشنهاد برای ادامه کار پرداخته می‌شود.

## فصل ۲:

مروری بر مراجع و لتاژ بندگپ

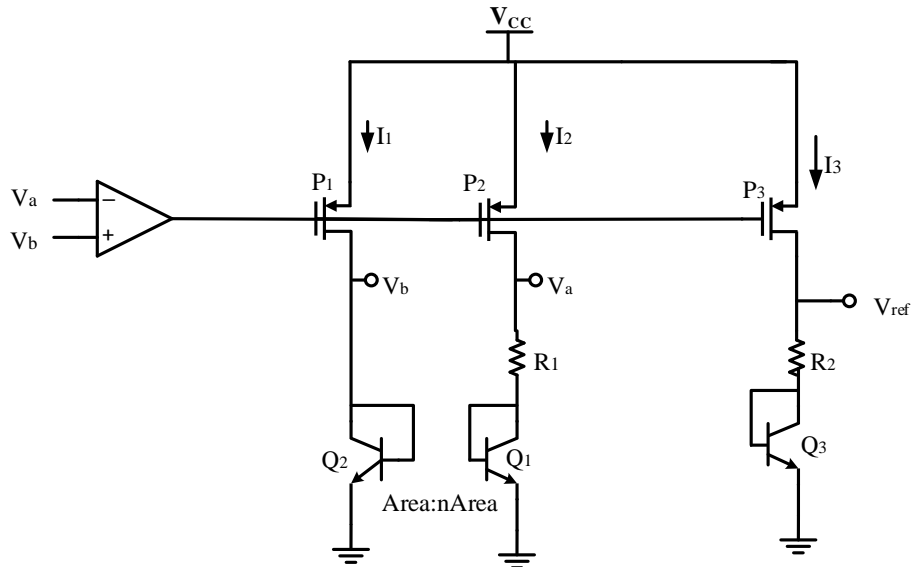
## ۱-۲ مقدمه

مرجع ولتاژ یکی از بخش‌های مهم مدارهای الکترونیکی به حساب می‌آید. طراحی مناسب مرجع ولتاژ، می‌تواند از بسیاری از خطاهای مدار جلوگیری کند. مراجع ولتاژ با حساسیت پایین به دما برای هر دو مدار آنالوگ و دیجیتال مانند تنظیم‌کننده‌های ولتاژ LDO و حافظه‌های DRAM مورد نیاز است. از آنجا که مراجع ولتاژ به صورت معمول ولتاژهایی نزدیک ولتاژ بندگپ سیلیکون (بالای یک‌ولت) تولید می‌کنند، نمی‌توانند گزینه مناسبی برای استفاده در مدارها با فناوری‌های جدید باشند [۵]. بنابراین طراحی مرجع ولتاژی که بتواند علاوه بر غیرحساس بودن به دما، فرآیند ساخت و منبع تغذیه، قابلیت تولید ولتاژهای زیر یک‌ولت را داشته‌باشد یک نیاز ضروری است. در زمینه طراحی مراجع ولتاژ زیر یک‌ولت، تلاش‌های بسیاری صورت گرفته و مدارهای گوناگونی نیز طراحی شده‌است. به‌طور کلی، مدارهای مرجع ولتاژ را می‌توان به دو دسته مراجع ولتاژ زمان پیوسته و کلید-خازنی تقسیم نمود که اساس همه‌ی آن‌ها مبتنی بر ترکیب دو ولتاژ با ضرایب حرارتی مثبت و منفی است. در ادامه فصل به بیان کلیات یک مدار مرجع ولتاژ و تقسیم‌بندی کارهای انجام شده در این زمینه پرداخته می‌شود.

## ۲-۲ مراجع ولتاژ زمان پیوسته

همان‌طور که در در بخش مقدمه ذکر شد، به‌طور کلی ولتاژ مرجع از جمع دو ولتاژ با ضریب حرارتی مثبت و منفی به‌دست می‌آید. شکل ۱-۲ مثال ساده‌ای از مدار مرجع ولتاژ زمان پیوسته را نشان می‌دهد. در این مدار تقویت‌کننده عملیاتی نقش هم‌پتانسیل کردن گره‌های  $V_a$  و  $V_b$  را برعهده دارد. بنابراین جریان مقاومت  $R_1$  برابر اختلاف ولتاژ امیتر-بیس دو ترانزیستور  $Q_1$  و  $Q_2$  می‌شود. رابطه ۱-۲، جریان مقاومت  $R_1$  را نشان می‌دهد.

$$I_{R1} = \frac{V_{EB}(Q_2) - V_{EB}(Q_1)}{R_1} = \frac{V_T}{R_1} \ln(n) \quad (1-2)$$



شکل ۲-۱: مثالی از مرجع ولتاژ زمان پیوسته

که در این رابطه  $V_T$  ولتاژ حرارتی و  $n$  نسبت سطح ترانزیستورهای  $Q_2$  و  $Q_1$  است. تغییرات ولتاژ حرارتی نسبت به تغییرات دما صعودی است، بنابراین جریان مقاومت  $R_1$  نیز همین رفتار صعودی را دارد. جریان مقاومت  $R_1$  توسط آینه جریان بین ترانزیستورهای  $P_2$  و  $P_3$  به مقاومت  $R_2$  تزریق می‌شود. بنابراین ولتاژ مرجع خروجی به صورت رابطه ۲-۲ به دست می‌آید. این رابطه از دو ولتاژ PTAT و CTAT تشکیل شده است.

$$V_{ref} = \frac{R_2}{R_1} V_T \ln(n) + V_{EB}(Q_3) \quad (2-2)$$

به منظور پایداری دمایی ولتاژ مرجع، باید مشتق ولتاژ نسبت به دما صفر شود. اگر مشتق ولتاژ

حرارتی نسبت به دما  $0.08 \frac{mV}{^\circ C}$  و مشتق ولتاژ امیتر بیس حدود  $-2 \frac{mV}{^\circ C}$  در نظر گرفته شود، ضریب

$\frac{R_2}{R_1} \ln(n)$  برابر با ۲۵ می‌شود. با در نظر گرفتن  $26 mV$  برای ولتاژ گرمایی و  $700 mV$  برای ولتاژ امیتر-

بیس و جایگذاری اعداد به دست آمده در رابطه ۲-۲، ولتاژ مرجع پایدار نسبت به دما حدود  $1/3$  ولت به دست می‌آید.

ولتاژ مرجع شکل ۲-۱ نسبت به تغییرات دما، ولتاژ تغذیه و فرآیند ساخت پایدار است ولی به دلیل ثابت بودن ضریب  $\frac{R_2}{R_1} \ln(n)$ ، توانایی تولید سطوح مختلف ولتاژ از جمله سطوح ولتاژ زیر یک‌ولت را ندارد. از طرفی به دلیل حضور مستقیم نسبت دو مقاومت در رابطه‌ی ولتاژ مرجع، خطای ساخت مقاومت می‌تواند مستقیماً روی ولتاژ مرجع تأثیر بگذارد. همچنین وجود آفست تقویت‌کننده عملیاتی نیز بر ولتاژ خروجی تأثیر می‌گذارد و سطح ولتاژ مرجع را نسبت به حالت ایده‌آل جابه‌جا می‌کند. از آنجا که آفست تقویت‌کننده عملیاتی به تغییرات دما حساس است، بنابراین حضور آفست در مدارهای مرجع ولتاژ، به شدت پایداری حرارتی را تخریب می‌کند.

با توجه به نیاز شدید ولتاژ مرجع قابل تنظیم و زیر یک‌ولت در مدارهای الکترونیکی، در ادامه مراجع ولتاژهای زمان پیوسته زیر یک ولت بررسی می‌شود.

## ۲-۳ مراجع ولتاژ زمان پیوسته زیر یک‌ولت

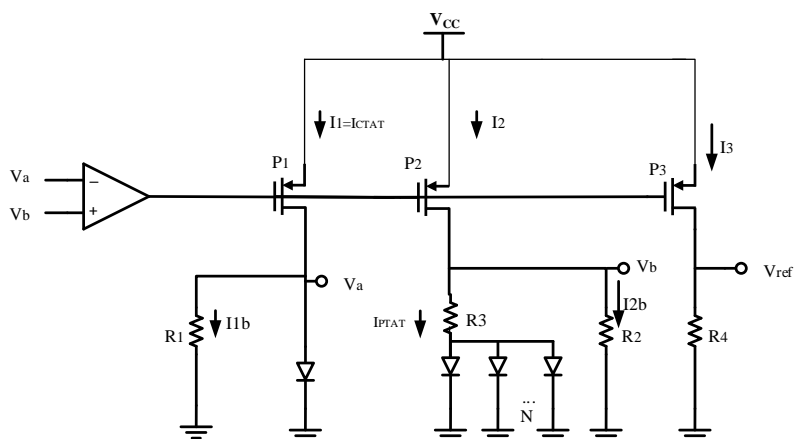
به‌طور کلی مراجع ولتاژ زمان پیوسته زیر یک ولت را می‌توان به‌صورت زیر دسته‌بندی کرد:

مراجع ولتاژ برپایه‌ی فن تقسیم مقاومتی [۶] و [۳]، کاهش ولتاژ آستانه با بایاس مناسب بستر ماسفت [۷]، روش نقطه ضریب‌دمایی صفر [۸]، روش ماسفت زیر آستانه [۹]، مبتنی بر ولتاژ آستانه [۱۰] و بر پایه تابع کار گیت [۱۱].

اولین مدار مرجع ولتاژ بندگپ زیر یک ولت در سال ۱۹۹۷ توسط نوتبوم [۶] ارائه شد که با روش تقسیم مقاومتی توانست ولتاژی زیر ولتاژ بندگپ سیلیکون و در حدود  $0.67\text{mV}$  تولید کند. در ادامه با فن مشابه و اعمال تغییراتی، مدار Bandba در [۳] مطرح شد که توانست ولتاژ مرجعی در اندازه‌ی  $518 \pm 15\text{mV}$  برای ۲۳ نمونه آزمایش شده تولید کند. شکل ۲-۲ مدار مرجع ولتاژ [۳] را نشان می‌دهد.

<sup>1</sup> Neuteboom





شکل ۲-۲: مرجع ولتاژ مطرح شده در [۲]

این مدار نسبت به مدار مطرح شده در شکل ۱-۲، یک درجه آزادی بیشتر به مدار اضافه کرده تا بتواند توسط مقاومت  $R_2$  سطوح مختلف ولتاژ زیر یک ولت را نیز تولید کند. رابطه ۲-۳ ولتاژ مرجع شکل ۲-۲ را نشان می‌دهد.

$$V_{ref} = \frac{R_4}{R_2} V_D + \frac{R_4}{R_3} V_T \ln(n) \quad (3-2)$$

همان‌طور که در شکل ۲-۲ مشاهده می‌شود، استفاده از اتصال‌های دیودی به تعداد زیاد سبب ایجاد مشکل عدم تطبیق بین دیودها در عملکرد مدار می‌شود. هم‌چنین مشکل عدم تطبیق مقاومت‌ها و خطای بالای ساخت مقاومت نیز یکی از مشکلات بزرگ در این مدار به حساب می‌آید. از طرفی حضور مقاومت  $R_4$  در گره خروجی، ولتاژ مرجع را نسبت به بار حساس می‌کند، به این معنا که در صورت تغییر بار طبقه بعد، مقاومت گره خروجی و در نتیجه ولتاژ مرجع نیز تغییر می‌کند.

علاوه بر مشکلات مطرح شده برای این مدار، بالا بودن ولتاژ روشن شدن پیوندهای دیودی نسبت به ماسفت نیز سبب ترغیب جایگزینی پیوندهای دیودی با المان‌های دیگر شده است. برای مثال استفاده از ولتاژ آستانه ماسفت برای تولید ولتاژ مرجع، ولتاژی کمتر از نصف پیوند دیودی را برای روشنایی می‌خواهد. هم‌چنین مدارهای مرجع ولتاژ بر پایه‌ی ماسفت (به دلیل حذف پیوند دیودی) معمولاً سطح کمتری را بر روی تراشه اشغال می‌کنند. برای مثال کمترین سطح اشغال شده در مدار مرجع ولتاژ بر

پایه‌ی ماسفت در [۱۲] کمتر از  $0.024\text{mm}^2$  گزارش شده، در حالی که در مراجع ولتاژ با پیوندهای دیودی در [۱۳] حدود  $0.0445\text{mm}^2$  گزارش شده است.

از دیگر محدودیت‌های پیاده‌سازی مراجع ولتاژ بر پایه‌ی ماسفت، ولتاژ آستانه ترانزیستورها است که با پیشرفت فناوری همانند ولتاژ تغذیه کاهش مقیاس نمی‌یابند. بنابراین سال ۲۰۰۲ در [۷] مداری ارائه شد که با بایاس مستقیم زیرلایه ترانزیستور اثرمیدان کانال<sup>۱</sup> P، ولتاژ آستانه را کاهش داد. در نتیجه سطح حالت مشترک ورودی تقویت‌کننده عملیاتی کاهش یافته و اجازه‌ی تولید مرجع زیر یک‌ولت را می‌دهد.

روش دیگری برای تولید ولتاژ مرجع، استفاده از ساختار ماسفتی به عنوان CTAT است. اگر دو ترانزیستور اثرمیدان<sup>۲</sup> با جریان درین ثابت بایاس شوند، ولتاژ گیت‌سورس با افزایش دما، به شکل خطی کاهش پیدا می‌کند. این امر باعث جبران‌سازی متقابل قابلیت<sup>۳</sup> تحرک‌پذیری<sup>۴</sup> و ولتاژ آستانه در CMOS می‌شود. این امر از نقطه ضریب‌دمایی صفر در مشخصه انتقالی ماسفت نتیجه شده است. این روش برای تولید مرجع ولتاژ بندگپ در [۸] استفاده شده است که ساختار مطرح شده به ضریب‌دمایی مطلوب  $4\text{ppm}/^\circ\text{C}$  یافته است.

از آن جا که ترانزیستور ماسفت در ناحیه زیرآستانه می‌تواند عملکردی مشابه ترانزیستور دوقطبی<sup>۵</sup> داشته‌باشد، پس گزینه مناسبی برای طراحی مدارهای مرجع ولتاژ است. این روش در [۹] به کار گرفته شده است و ساختار مطرح شده ولتاژ خروجی  $0.1087 \pm 0.02953$  با ضریب‌دمایی  $35/7 \pm 119\text{ ppm}/^\circ\text{C}$  تولید کرده است. مدل دیگر مدار مرجع ولتاژ زیر یک ولت در [۱۰] ارائه شده که با استفاده از اختلاف ولتاژ آستانه ترانزیستورهای ماسفت، جریان PTAT تولید می‌کند. با اعمال تغییراتی در تابع کار گیت

---

<sup>1</sup> PMOS

<sup>2</sup> Input Common Mode

<sup>3</sup> MOSFET

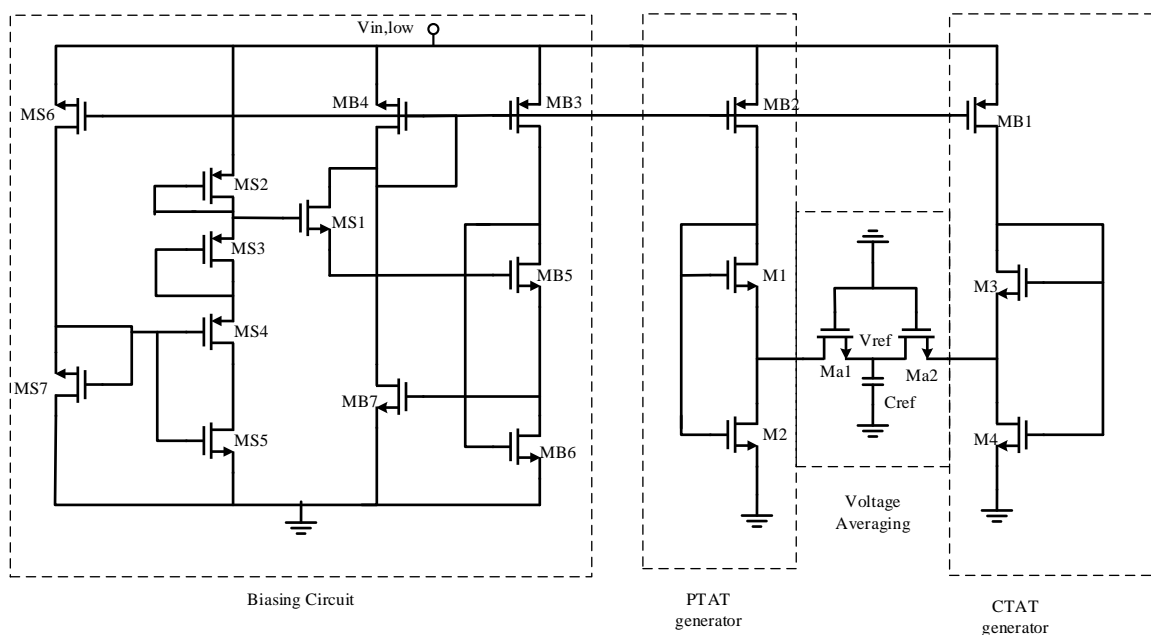
<sup>4</sup> Mobility

<sup>5</sup> BJT: Bipolar Junction Transistor

نیز می‌توان به مدل دیگر طراحی مرجع بندگان رسید. این طراحی در [۱۱] استفاده شده است که در آن به ولتاژ خروجی  $0.02 \pm 0.41 \text{ mV}$  و ضریب دمایی  $80 \text{ ppm}/^\circ\text{C}$  دست یافته‌اند.

طراحی مدارهای تمام‌ماسفتی مزایای متعددی از جمله سازگاری با فناوری CMOS را دارد. از این نمونه طراحی‌ها می‌توان به [۱۴] اشاره کرد که در عین حال که کاملاً از ترانزیستور اثرمیدان استفاده کرده است، اما وابستگی به فرآیند ساخت در آن کاملاً مشهود است. در این مراجع ولتاژ مدولاسیون طول کانال ترانزیستورهای ماسفت باعث وابستگی چشمگیر عملکرد مدار به تغییرات منبع تغذیه می‌شود [۴].

مدل دیگری از مدار مرجع ولتاژ بندگان نیز وجود دارد که از ترانزیستور ماسفت برای تولید ولتاژ زیر یک‌ولت در آن استفاده شده است [۱۵]. ترانزیستورهای ماسفت استفاده شده در این مدار، در ناحیه زیرآستانه کار می‌کنند. استفاده از ترانزیستور ماسفت در ناحیه زیرآستانه، علاوه بر رفتار بسیار مشابه ترانزیستور BJT، جریان مصرفی و در نتیجه توان مصرفی مدار را به صورت قابل ملاحظه‌ای کاهش می‌دهد. مدار مرجع ولتاژ مطرح شده در شکل ۲-۳ قابل مشاهده است.



شکل ۲-۳: مرجع ولتاژ ساخته شده با ماسفت ارائه شده در [۱۵]

رابطه ۴-۲، رابطه ولتاژ گیت سورس ترانزیستور ماسفت در ناحیه عملکردی زیرآستانه را نشان می‌دهد. این رابطه با در نظر گرفتن  $V_{ds} > 4V_T$  محاسبه می‌شود.

$$V_{gs} = \eta V_T \cdot \ln\left(\frac{I}{I_S (W/L)}\right) + V_{th} \quad (4-2)$$

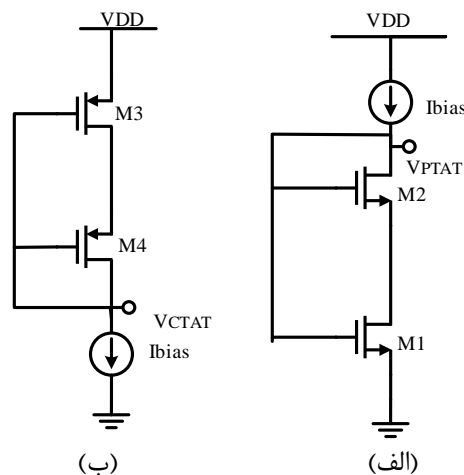
که در این رابطه،  $\eta$  ثابت شیب زیرآستانه،  $I$  جریان زیرآستانه،  $I_S$  جریان ثابت،  $W/L$  نسبت عرض به طول ترانزیستور و  $V_{th}$  ولتاژ آستانه ترانزیستور است. با در نظر گرفتن رابطه ۴-۲، اختلاف ولتاژ  $V_{gs}$  دو ترانزیستور یک ولتاژ PTAT مطابق رابطه ۵-۲ می‌سازد.

$$V_{PTAT} = V_{gs2} - V_{gs1} = \eta V_T \ln(K) \quad (5-2)$$

که  $K$  نسبت ابعاد دو ترانزیستور است. اگر نسبت ابعاد  $(W/L)$  ترانزیستور  $M_1$ ،  $K$  برابر نسبت ابعاد ترانزیستور  $M_2$  باشد،  $\ln(K)$  مثبت می‌شود و مشتق ولتاژ نسبت به دما مثبت شده و ولتاژ PTAT تولید می‌شود. حال اگر این نسبت برعکس شود، ضریب با علامت منفی برای ولتاژ به وجود می‌آید و مشتق ولتاژ نسبت به دما منفی می‌شود. بنابراین ولتاژ CTAT تولید می‌شود.

مدارهای دیگری نیز با استفاده از این ایده تولید شده‌اند. مدار ارائه شده در [۱۶] نیز با روشی مشابه به تولید ولتاژهای PTAT و CTAT می‌پردازد. شکل ۴-۲ مدارهای مولد ولتاژ PTAT و CTAT در

[۱۶] را نشان می‌دهد.



شکل ۴-۲: مدار مولد الف (PTAT و ب) CTAT ارائه شده در [۱۶]

<sup>1</sup> Specific Current

رابطه های ۶-۲ و ۷-۲ به ترتیب، رابطه ولتاژ PTAT و CTAT در مدار شکل های ۴-۲ (الف) و (ب) را نشان می دهد.

$$V_{PTAT} = V_{gs1} - V_{gs2} = \eta V_T \ln(K) \quad (۶-۲)$$

$$V_{CTAT} = V_{DD} - (V_{gs3} - V_{gs4}) = V_{DD} - \eta V_T \ln(K') \quad (۷-۲)$$

$V_{DD}$  ولتاژ منبع تغذیه،  $K$  و  $K'$  اعداد ثابت هستند که از نسبت ابعاد دو ترانزیستور به دست می آیند.

مشکل اصلی مدار مولد ولتاژ CTAT در [۱۶] وابستگی مستقیم آن به منبع تغذیه است که باعث می شود ولتاژ مرجع تولید شده به تغییرات منبع تغذیه حساس باشد.

از آن جاکه هدف این پایان نامه، طراحی مرجع ولتاژ زیر یک ولت از نوع کلید-خازنی است، در ادامه ی این فصل به مرور کارهای انجام شده در زمینه مراجع ولتاژ کلید-خازنی پرداخته می شود.

## ۴-۲ مرجع ولتاژ کلید-خازنی

بعد از مدارهای زمان پیوسته، اولین مراجع ولتاژ زمان گسسته در [۱۷] و [۱۸] مطرح شدند که برای تولید ولتاژ مرجع به کلید و کلاک نیاز دارند. هر دو مدار از یک پیوند دیودی ساخته شده با ترانزیستور BJT به عنوان هسته اصلی مدار مرجع ولتاژ استفاده می کنند. مزایای زیادی در مرجع های ولتاژ کلید-خازنی نسبت به مدارهای آنالوگ وجود دارد که محبوبیت استفاده از این روش را بیشتر می کند. قابلیت استفاده از یک پیوند دیودی (به جای دو پیوند استفاده شده در مدارهای مرجع ولتاژ آنالوگ معمول)، باعث حذف خطای ناشی از عدم تطابق پیوندهای دیودی می شود. همان طور که در بخش قبل ذکر شد، بالابودن ولتاژ روشنایی پیوندهای دیودی نسبت به ترانزیستور ماسفت، باعث ترغیب طراحان به استفاده از ترانزیستور ماسفت در طراحی مراجع ولتاژ شده است. با این حال مراجع ولتاژ بر پایه ی ولتاژ آستانه ماسفت، بسیار به فرآیند ساخت وابسته هستند (بر خلاف BJT). بنابراین مصالحه ای

<sup>1</sup> Clock

بین سطح پایین روی تراشه، ولتاژ روشنایی پایین و وابستگی به فرآیند ساخت وجود دارد که باعث می‌شود کماکان BJT در مدارهای مرجع ولتاژ استفاده شود. از طرف دیگر، در مدارهای کلید-خازنی حساسیت نسبت به تغییر منبع تغذیه محدودتر است [۱۹]. کلیدها با اعمال تحریک مناسب نسبت به هم، زمان روشن و خاموش شدن را طوری تنظیم می‌کنند که با ذخیره ولتاژ PTAT و CTAT روی خازن‌ها، بتوان ولتاژ مرجع معتبر خروجی بدون حساسیت به دما را تولید کرد.

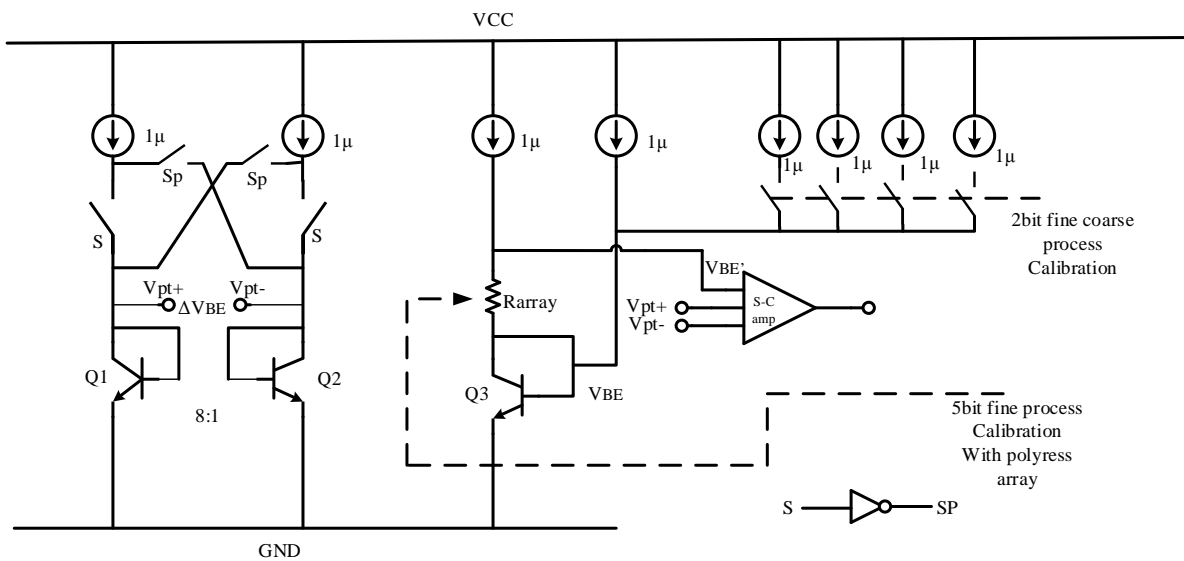
استفاده از خازن در مدارهای مرجع ولتاژ کلید-خازنی به جای مقاومت در مدارهای مرجع ولتاژ زمان پیوسته متداول، باعث تطبیق بهتر و کاهش خطا می‌شود. علاوه بر این، این مدارها نیاز به بخش راه‌انداز ندارند که این طراحی را آسان‌تر می‌کند. مدارهای متنوعی در زمینه مراجع ولتاژ کلید-خازنی مطرح شده‌است. اما اساس عملکرد همه‌ی آن‌ها یکسان است و از یک الگوی خاص پیروی می‌کنند. در ادامه به شرح برخی از این مدارها پرداخته می‌شود.

## ۲-۴-۱- مرجع ولتاژ کلید-خازنی با روش نمونه‌برداری مضاعف همبسته (CDS)

همان‌طور که در بخش مراجع ولتاژ زمان پیوسته بیان شد، عدم تقارن تقویت‌کننده عملیاتی سبب حضور اثر آفست در ولتاژ مرجع تولیدشده می‌شود. در مدار مطرح‌شده در [۲۰] تلاش شده تا این اثر را به حداقل برسانند. شکل ۲-۵، مدار مطرح‌شده در [۲۰] را نشان می‌دهد. این مدار از ایده تولید مرجع ولتاژ زمان پیوسته متداول ارائه‌شده در شکل ۲-۱ استفاده کرده‌است. به این صورت که اختلاف ولتاژ امیتر-بیس ترانزیستورهای  $Q_1$  و  $Q_2$ ، ولتاژ با ضریب حرارتی مثبت PTAT تولید می‌کند و جمع این ولتاژ با ولتاژ امیتر-بیس  $Q_3$ ، ولتاژ مرجع پایدار نسبت به تغییرات دما را می‌سازد. ولتاژ مرجع تولید شده در رابطه ۲-۸ مشاهده می‌شود.

<sup>1</sup> Startup

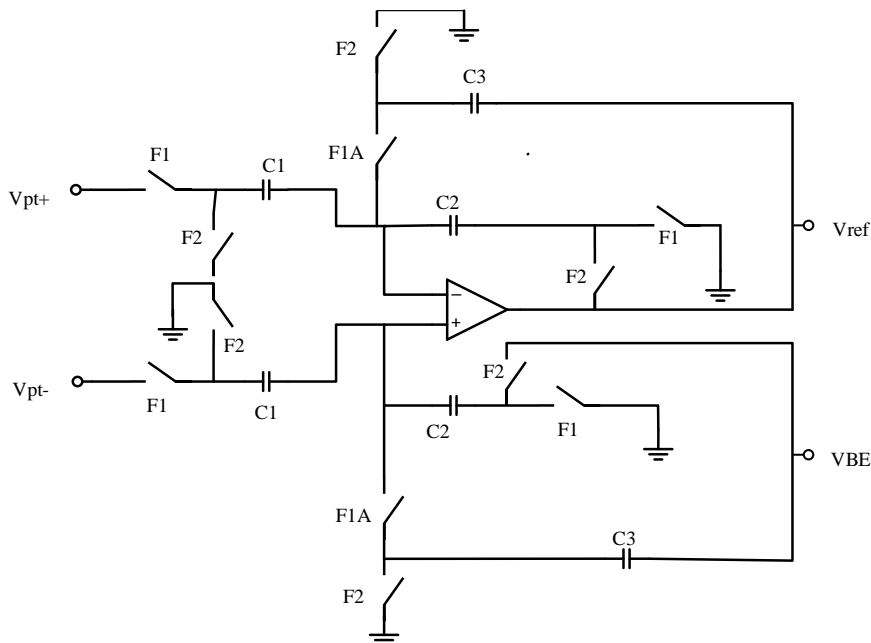
<sup>2</sup> Correlated Double Sampled



شکل ۲-۵: مدار مطرح شده به روش نمونه برداری مضاعف همبسته در [۲۰]

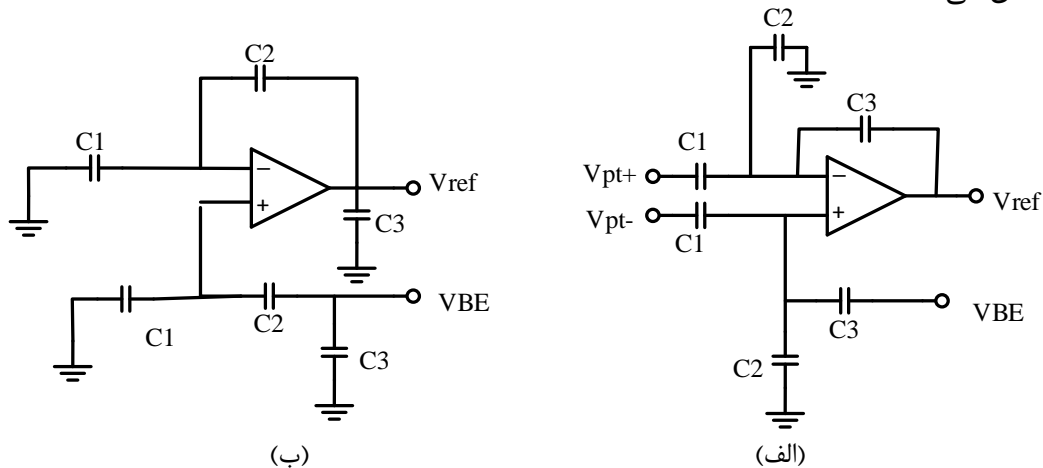
$$V_{ref} = K \times \Delta V_{BE} + V_{BE}' = K \times \Delta V_{BE} + V_{BE} + 1_{\mu A} \times R_{Array} \quad (۸-۲)$$

در این رابطه  $V_{ref}$  ولتاژ مرجع تولید شده،  $V_{BE}$  ولتاژ پیوند بیس-امیتر ترانزیستور  $Q_3$ ،  $\Delta V_{BE}$  اختلاف ولتاژ بیس-امیتر دو ترانزیستور  $Q_1$  و  $Q_2$ ،  $R_{Array}$  مقاومت اصلاح دقت و  $K$  بهره تقویت کننده کلید-خازنی مشخص شده در شکل ۲-۵ است. عملیات جمع ولتاژ PTAT و CTAT و هم چنین تولید ضریب  $K$  توسط بخش تقویت کننده کلید-خازنی انجام می شود. این بخش در شکل ۲-۶ آمده است.



شکل ۲-۶: بخش تقویت کننده کلید-خازنی مدار مطرح شده به روش نمونه برداری مضاعف همبسته

تقویت کننده کلید-خازنی شکل ۲-۶ با دو سیگنال کلاک  $F_1$  و  $F_2$  کار می کند. این دو سیگنال، غیرهم پوشان<sup>۱</sup> و با فرکانس کاری ۲۰ KHz هستند که زمان های روشن و خاموش شدن کلیدها را کنترل می کنند. شکل ۲-۷ عملکرد تقویت کننده کلید-خازنی شکل ۲-۶ را در زمان فعال بودن کلاک های  $F_1$  و  $F_2$  نشان می دهد.



شکل ۲-۷: نحوه عملکرد تقویت کننده کلید-خازنی در زمان فعال بودن کلاک (الف)  $F_1$  و (ب)  $F_2$

شکل ۲-۷ بخش (الف)، عملکرد مدار را در زمان وصل بودن کلیدهای تحت کنترل کلاک  $F_1$  نشان می دهد. این فاز، فاز نمونه برداری است. خازن  $C_1$  از اختلاف ولتاژ بیس-امیتر دو ترانزیستور  $Q_1$  و  $Q_2$  در شکل ۲-۵ نمونه می گیرد، در حالی که خازن  $C_3$  به عنوان خازن فیدبک عمل می کند، که این باعث می شود ولتاژ خروجی تقویت کننده عملیاتی فقط با آفست ورودی تقویت کننده عملیاتی تغییر کند (یعنی اختلاف ولتاژ پایه های ورودی تقویت کننده عملیاتی مدنظر است، نه مقدار مطلق ولتاژ). بنابراین در این زمان، اختلاف ولتاژ امیتر-بیس و ولتاژ آفست تقویت کننده عملیاتی روی خازن  $C_1$  ذخیره شده است. از آنجا که محدوده تغییرات دینامیک خروجی کاهش یافته است، نیاز به آهنگ گردش<sup>۲</sup> کمتری است و طراحی به منظور پایین آوردن توان ممکن می شود. در همین زمان، ولتاژ آفست تقویت کننده عملیاتی روی خازن  $C_2$  نیز ذخیره می شود.

<sup>1</sup> Non overlap

<sup>2</sup> SR: Slew Rate

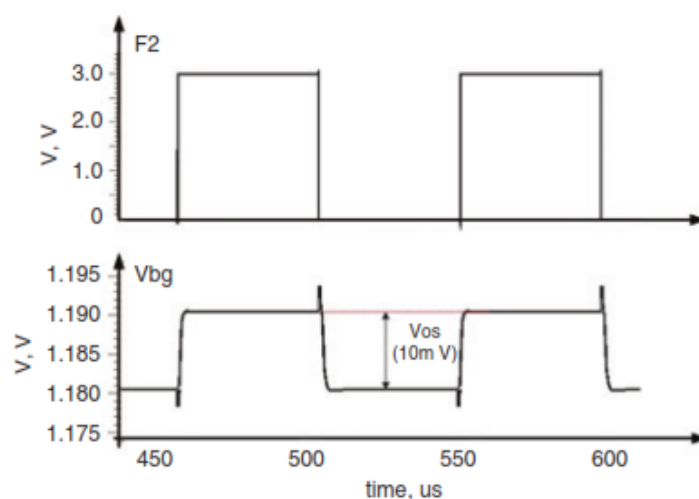


در زمان روشن بودن کلیدهای تحت کنترل کلاک  $F_2$ ، بار ذخیره شده در خازن  $C_1$  به خازن  $C_2$  انتقال می‌یابد. پس ولتاژ آفست تقویت کننده عملیاتی که روی هر دو خازن  $C_1$  و  $C_2$  ولی با علامت‌های مخالف ذخیره شده بود، حذف می‌شود. در نهایت ولتاژ خروجی مرجع مطلوب بدون اثر آفست تقویت کننده عملیاتی تولید می‌شود. برای کاهش نفوذ کلاک، کلیدی که خازن  $C_3$  را به ورودی تقویت کننده عملیاتی وصل می‌کند (کلاک  $F_{1A}$ )، باید به آرامی و قبل از این که کلیدی که خازن  $C_2$  را به زمین متصل می‌کند، باز شود. رابطه ۹-۲ بهره تقویت کننده کلید-خازنی ( $K$ ) را نشان می‌دهد.

$$K = \frac{C_1}{C_2} \left(1 - \frac{C_1 + C_2}{A^2 C_2}\right) \quad (9-2)$$

در این رابطه  $A$  بهره تقویت کننده عملیاتی شکل ۶-۲ است. قطعا هرچه این بهره بیشتر باشد، عبارت خطا به صفر نزدیک تر می‌شود و  $K$  از نسبت دو خازن  $C_1$  و  $C_2$  به دست می‌آید.

در طراحی این مدار از تقویت کننده عملیاتی دوطبقه تا شده استفاده شده است، هم چنین به منظور کاهش تزریق نویز از زیرلایه، خازن‌هایی که به تقویت کننده عملیاتی متصل هستند، باید از فلزهای سطوح بالاتر ساخته شوند. شکل ۸-۲، شکل موج خروجی و شکل کلاک  $F_2$  را نشان می‌دهد. همان طور که در شکل مشاهده می‌شود شکل موج خروجی  $10\text{mV}$  بالازدگی دارد.



شکل ۸-۲: شکل موج کلاک  $F_2$  و شکل موج خروجی مرجع ولتاژ بندگپ [۲۰]

<sup>1</sup>Cascode

این بالا زدگی به دلیل ولتاژ آفست به هنگام کلیدزنی بین فاز نمونه برداری و تقویت کنندگی است که پرش ایجاد شده در جابه جایی بین دو بخش روشن بودن کلیدهای تحت کنترل  $F_1$  و  $F_2$  به دلیل باز شدن حلقه ی فیدبک اتفاق می افتد. گرچه مرجع ولتاژ تنها در زمان روشن بودن کلیدهای تحت کنترل کلاک  $F_2$  معتبر است، اما دو راه حل برای حل مشکل پرش ولتاژ خروجی بیان شده است. در روش اول، با استفاده از مدار دیگری که کلیدهای آن با کلاک های مخالف مدار اول کار کند، می توان مدار را به گونه ای تغییر داد که خروجی در هر دو فاز معتبر بماند. روش دیگر استفاده از مدار کلید-خازنی تمام تفاضلی است تا از خروجی در انتهای زمان فعال بودن کلاک  $F_2$  نمونه بگیرد تا خروجی در طول فعال بودن کلاک  $F_1$  نیز معتبر بماند.

شیب ولتاژ بیس-امیتر نسبت به تغییرات دما به پارامترهای فرآیند ساخت و مقدار مطلق جریان کلکتور وابسته است. به همین منظور، در این مدار از دو سطح تنظیم استفاده شده است. مقاومت تنظیم ۵ بی تی برای رسیدن به دقت  $31nA$  در مجموع بازه  $2-7 \mu A$  استفاده شده تا خطای پیاده سازی در فرآیند ساخت و تغییرات مطلق بایاس جریان را جبران کند. هم چنین عدم تطبیق بین آینه های جریان بایاس  $Q_1$  و  $Q_2$  خطایی به وجود می آورد که می توان آن را با معاوضه منبع جریان در وسط هر چرخه ی تبدیل، محدود کرد. این عمل با استفاده از کلیدهای  $S_P$  که روی شکل ۲-۵ مشخص است، تحقق می یابد. ساختار این مدار به منظور کاهش خطای ناشی از ولتاژ آفست، نویز  $1/f$ ، بهره ی ورودی تقویت کننده عملیاتی و نفوذ کلاک<sup>۱</sup> مطرح شده است. گرچه نمی توان اثر آفست تقویت کننده عملیاتی را کامل حذف کرد و تقویت کننده عملیاتی باید توانایی آهنگ گردش بالایی را داشته باشد تا محدوده دینامیکی ولتاژ خروجی تقویت کننده عملیاتی را تامین کند [۲۰]. در روش CDS نیاز نیست خروجی در زمان فعال بودن هر کلاک ریست شود و ولتاژ خروجی تنها با ولتاژ آفست ورودی تقویت کننده عملیاتی تغییر می کند که این باعث می شود تقویت کننده عملیاتی SR کمتری بخواهد و بالطبع مصرف جریان

---

<sup>1</sup> Glitch

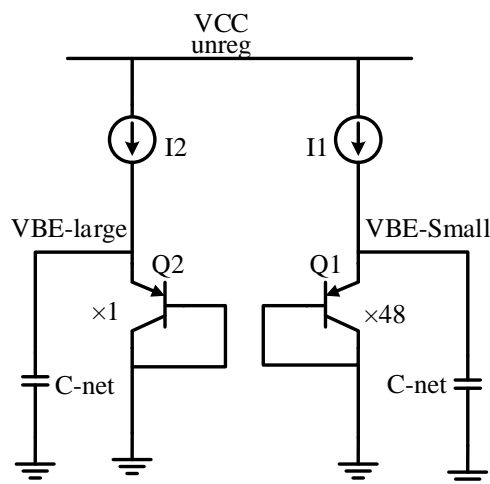
<sup>2</sup> Clock feedthrough

کاهش پیدا خواهد کرد. با این حال استفاده از بخش تنظیم کننده در مدار و حضور مستقیم مقاومت در رابطه ولتاژ مرجع تولید شده سبب ایجاد خطای زیاد در ولتاژ مرجع تولیدی می شود و از مشکل های اساسی استفاده از این مدار به شمار می آید. همچنین استفاده از منابع جریان متعدد نیز باعث حضور خطای ناشی از عدم تطابق منبع های جریان در روابط و ایجاد خطا می شود. علاوه بر موارد ذکر شده ولتاژ مرجع تولید شده قابلیت تنظیم ندارد و نمی توان با آن ولتاژ زیرولت تولید کرد. اگر بتوان یک درجه آزادی به مدار اضافه کرد یا به عبارتی بتوان ضریبی مستقل از  $K$  برای ولتاژ  $V_{BE}$  نیز در نظر گرفت، می توان با تنظیم ضرایب نسبت به هم ولتاژ مرجع مستقل از دما و زیر یک ولت تولید کرد.

## ۲-۴-۲ مرجع ولتاژ کلید-خازنی کسری CMOS

یکی از مشکل های مدار مرجع ولتاژ کلید-خازنی با روش نمونه برداری مضاعف همبسته، تولید ولتاژ ثابت و در حدود ولتاژ بندگپ سیلیکون است. همان طور که گفته شد اگر بتوان برای دو بخش  $V_{BE}$  و  $\Delta V_{BE}$  ضرایب جداگانه و مستقل از هم در نظر گرفت، می توان ولتاژ مرجع با قابلیت تنظیم سطوح دلخواه ولتاژ و پایدار نسبت به تغییرات دمایی تولید کرد. مرجع ولتاژ کلید-خازنی کسری مطرح شده در [۲۱] با همین روش به تولید ولتاژ مرجع پایدار نسبت به تغییرات دما و با قابلیت تنظیم می پردازد.

شکل ۲-۹، هسته ی اصلی مدار مطرح شده در [۲۱] را نشان می دهد.



شکل ۲-۹: هسته ی اصلی مرجع ولتاژ [۲۱]

<sup>1</sup> Tunning

در شکل ۹-۲، مساحت ترانزیستور  $Q_1$  ۴۸ برابر مساحت ترانزیستور  $Q_2$  است، بنابراین ولتاژ بیس-امیتر ترانزیستور  $Q_2$  بیشتر از  $Q_1$  است. گره‌های  $V_{BE-small}$  و  $V_{BE-large}$  به منظور تولید ضریب مناسب، به شبکه‌ای از خازن‌ها که توسط عمل کلیدزنی کنترل می‌شوند، متصل هستند. هدف از طراحی، رسیدن به رابطه‌ی ۱۰-۲ برای ولتاژ مرجع خروجی است.

$$V_{out} = \frac{1}{D} V_{BE}(on) + M V_T \cdot \ln(n) \quad (10-2)$$

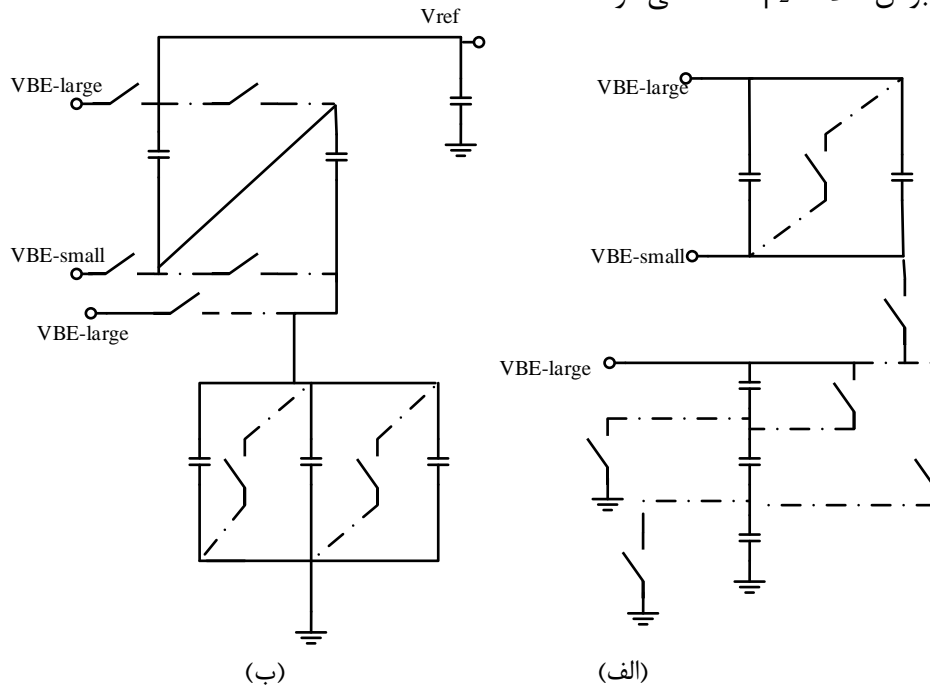
در این رابطه  $n$  نسبت مساحت دو ترانزیستور  $Q_1$  و  $Q_2$  است که در اینجا ۴۸ می‌باشد.  $D$  و  $M$  نیز دو عدد هستند که  $D$  بر ولتاژ بیس-امیتر  $Q_2$  تقسیم می‌شود و  $M$  در اختلاف ولتاژ بیس-امیتر دو ترانزیستور  $Q_1$  و  $Q_2$  که همان ولتاژ PTAT است، ضرب می‌شود. با تنظیم این دو ضریب می‌توان سطوح مختلف ولتاژ مرجع را تولید کرد و علاوه بر این شرط پایداری دمایی را نیز برآورده کرد. جدول ۱-۲ چند نمونه از ضرایب محاسبه شده برای داشتن سطوح مختلف ولتاژ مرجع را نشان می‌دهد. جدول ۱-۲: ضرایب محاسبه شده  $M$  و  $D$  برای داشتن ضریب دمایی مطلوب و ولتاژ مرجع قابل تنظیم [۲۱]

$V_{BE}$	Divide Ratio(D)	$\Delta V_{BE}$	Multiply Ratio(M)	Theoretical $V_{REF}$
	<b>6</b>		<b>1</b>	<b>196mV</b>
	<b>4</b>		<b>1.5</b>	<b>293mV</b>
	<b>3</b>		<b>2</b>	<b>391mV</b>
	<b>2</b>		<b>3</b>	<b>587mV</b>
	<b>1.5</b>		<b>4</b>	<b>782mV</b>
	<b>1</b>		<b>6</b>	<b>1174mV <math>\approx</math> BG<sub>si</sub></b>

در این مقاله ضرایب دلخواه ۳ و ۲ برای  $D$  و  $M$  انتخاب شده‌اند (با جریان بایاس ۲۵nA). بنابراین ولتاژ مرجع خروجی به صورت رابطه‌ی ۱۱-۲ می‌شود.

$$V_{out} = \frac{V_{BE-large}}{3} + 2\Delta V_{BE} \quad (11-2)$$

ضرایب M و D توسط شبکه کلید-خازنی شکل ۲-۱۰ به دست می‌آیند. خازن‌های این شبکه ظرفیت یکسانی دارند و دو کلاک غیرهم‌پوشان  $\Phi_1$  و  $\Phi_2$  کلیدها را کنترل می‌کنند. خروجی معتبر در زمان فعال بودن کلاک  $\Phi_2$  آماده می‌شود.



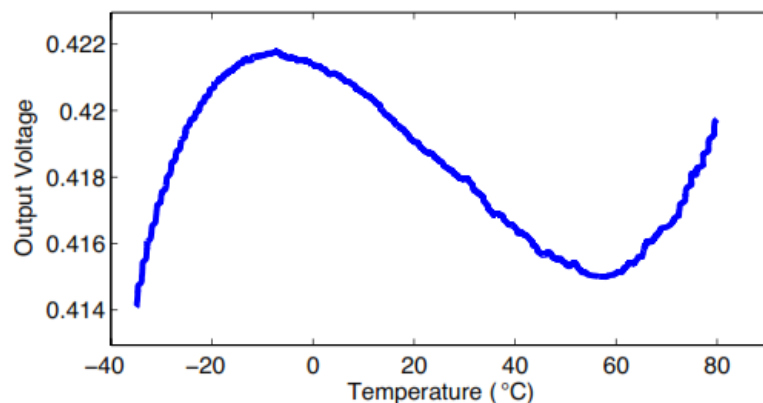
شکل ۲-۱۰: شبکه کلید-خازنی مدار مطرح‌شده در [۲۱] در الف) فاز  $\Phi_1$  و ب) فاز  $\Phi_2$

همان‌طور که در شکل ۲-۱۰ مشاهده می‌شود، تعداد خازن‌ها و نحوه کنارهم‌قرارگرفتن آن‌ها ضرایب M و D که در اینجا ۳ و ۲ است را می‌سازد. همه‌ی خازن‌ها ظرفیت یکسانی دارند و کنترل اتصال‌ها توسط کلیدهایی که روی شکل مشخص هستند، انجام می‌شود. به این‌صورت که در زمان فعال بودن کلاک  $\Phi_1$ ، دو خازن موازی و سه خازن سری باهم هستند. بنابراین دو خازن اول ولتاژ یکسان و به میزان  $\Delta V_{BE}$  دارند و سه خازن دوم هرکدام ولتاژی معادل  $\frac{V_{BE-large}}{3}$  دارند. در زمان فعال بودن کلاک  $\Phi_2$ ، دو خازن اول سری شده و سه خازن دوم موازی می‌شوند. بنابراین ولتاژ مجموع دوخازن اول،  $2\Delta V_{BE}$  و ولتاژ سه خازن دوم تغییری نمی‌کند. در نتیجه رابطه‌ی ۲-۱۱ برای ولتاژ مرجع محقق می‌شود.

برای تامین کلاک مدار کلید-خازنی، می‌توان از یک نوسان‌ساز حلقوی<sup>۱</sup> استفاده کرد. تولید کلاک با مدار توان‌پایینی مشابه لچ SR و المان‌های تاخیر در فیدبک محقق می‌شود. به دلیل تلفات ناشی از خازن‌های پارازیتیکی و نشت کلیدها در شبکه کلید-خازنی، مصالحه‌ای در انتخاب جریان‌های بایاس وجود دارد. در اینجا جریان  $25\text{nA}$  انتخاب شده‌است.

یک منبع بزرگ خطا در این مدار، خازن‌های پارازیتیکی صفحه بالایی<sup>۲</sup> و صفحه پایینی<sup>۳</sup> هستند. خازن‌های پارازیتیکی که یک صفحه‌شان به زمین متصل است، ابتدا در کلاک  $\Phi_1$  به اندازه  $V_{BE\text{-large}}$  یا  $V_{BE\text{-small}}$  شارژ می‌شوند. این شارژ در کلاک  $\Phi_2$  روی ولتاژ مرجع اثر می‌گذارد. در این طراحی، ولتاژ همه‌ی گره‌ها در طول فاز  $\Phi_2$  شبکه کلید-خازنی از مقدار ولتاژ ذخیره‌شده روی خازن‌های پارازیتیکی کمتر است. بنابراین، ولتاژ خازن‌های پارازیتیکی، همواره ولتاژ گره‌ها و در نتیجه، ولتاژ خروجی را افزایش می‌دهد.

برای شبیه‌سازی این مدار، از تکنولوژی CMOS  $65\text{nm}$  استفاده شده‌است. برای طراحی شبکه کلید-خازنی، از خازن‌های MOM به جای خازن‌های MOS استفاده شده‌است. دلیل آن هم، خطینگی بالاتر و کاهش نشتی می‌باشد. هم‌چنین، با طراحی جانمایی دقیق، می‌توان اثر خازن‌های پارازیتیکی را بر روی گره‌ی خروجی کاهش داد. شکل ۲-۱۱، منحنی تغییرات دمایی ولتاژ مرجع تولیدشده را نشان



می‌دهد.

شکل ۲-۱۱: منحنی تغییرات دمایی ولتاژ خروجی [۲۱]

<sup>1</sup> Ring Oscillator

<sup>2</sup> Top Plate

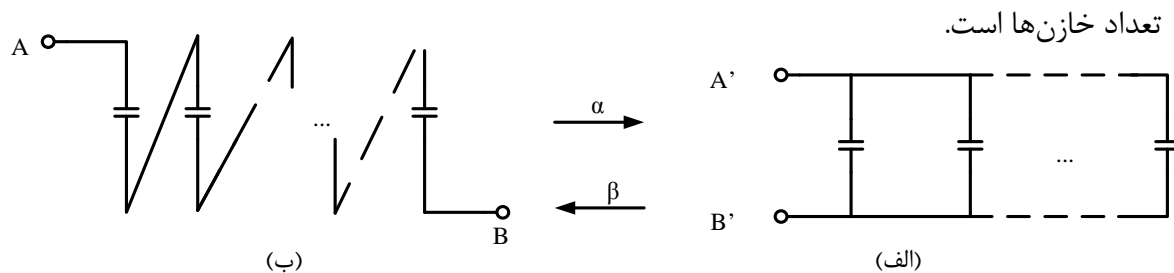
<sup>3</sup> Bottom Plate

ولتاژ تولیدی در این مقاله در حالت تئوری  $391\text{mV}$  و در حالت شبیه‌سازی،  $411\text{mV}$  است. جریان کل مصرفی با ولتاژ تغذیه  $750\text{mV}$  برابر با  $138\text{nA}$  است و ضریب‌حرارتی ولتاژخروجی در محدوده‌ی دمایی  $35^\circ\text{C}$  تا  $80^\circ\text{C}$  برابر با  $160\text{ppm}/^\circ\text{C}$  است.

## ۳-۴-۲ مرجع ولتاژ کلید-خازنی با نسبت تبدیل دلخواه

در بخش مرجع‌ولتاژ کلید-خازنی کسری، هسته اصلی مدار، مرجع ولتاژ کلید-خازنی زمان‌پیوسته متداول شکل ۱-۲ بود که به منظور تولید سطوح مختلف ولتاژ مرجع پایدار نسبت به تغییرات دمایی، دو ضریب  $M$  و  $D$  تعریف شدند که جدول ۱-۲ مقادیر مختلف این ضرایب به منظور رسیدن به سطوح دلخواه ولتاژ مرجع را نشان می‌دهد. روشی که [۲۲] به آن می‌پردازد، تولید ضرایب  $M$  و  $D$  بر پایه‌ی تبدیل بین ارتباط‌های سری و موازی خازن‌ها است و با استفاده از الگوریتم ریاضی، تعداد و آرایش خازن‌ها کنار هم را مشخص می‌کند. به این روش به اختصار  $\text{SPCC}^1$  می‌گویند.

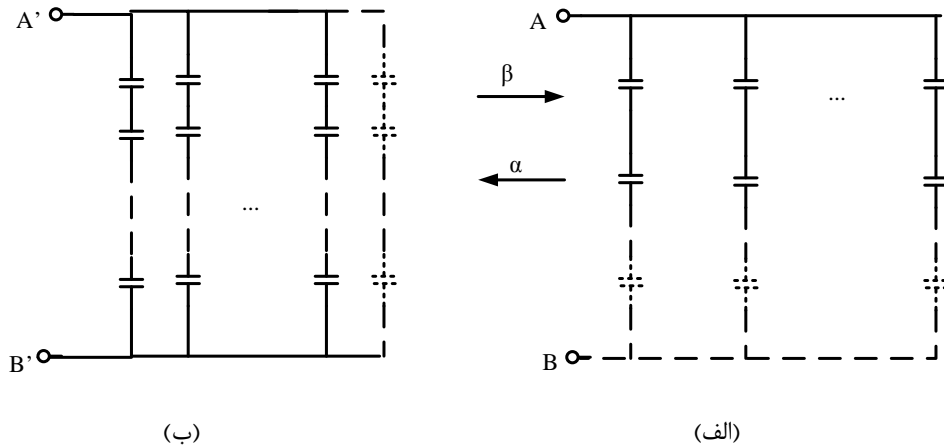
هسته اصلی این مدار، مشابه شکل ۹-۲ است. همان‌طور که در شکل ۹-۲ مشاهده شد، به دو شبکه خازنی برای تولید ضرایب متفاوت برای  $M$  و  $D$  نیاز است. شکل ۱۲-۲ حالت ساده ساختار این شبکه‌ها را نشان می‌دهد. مدار به دو کلاک غیرهم‌پوشان برای تولید ولتاژ مرجع نیاز دارد. در حالت ساده، در کلاک اول (فاز نمونه‌برداری) خازن‌ها با ظرفیت یکسان با هم موازی می‌شوند، بنابراین اختلاف ولتاژ دو سر تمامی خازن‌ها یکسان است. در کلاک بعدی (فاز ارزشیابی)، خازن‌ها با هم سری می‌شوند، بنابراین اختلاف ولتاژ دوسر شاخه سری خازن‌ها برابر ضرب اختلاف ولتاژ هر خازن در کلاک قبلی در



شکل ۱۲-۲: بخش کلید-خازنی مدار ساده مطرح شده در [۲۲] در دو فاز الف) نمونه‌برداری و ب) ارزشیابی

<sup>1</sup>Series-Parallel Connection Conversion

حالت چندشاخه این روش نیز در شکل ۱۳-۲ آمده است.



شکل ۱۳-۲: بخش کلید-خازنی مدار ساده [۲۲] در حالت چند شاخه در دو فاز الف) نمونه برداری و ب) ارزشیابی

رابطه ی ۱۲-۲، رابطه ی بین دو بخش سری شده و موازی را نشان می دهد. این دو بخش با ضریب های  $\alpha$  و  $\beta$  با هم رابطه دارند.

$$V_{AB} = \beta V_{A'B'} \quad , \quad V_{A'B'} = \alpha V_{AB} \quad (12-2)$$

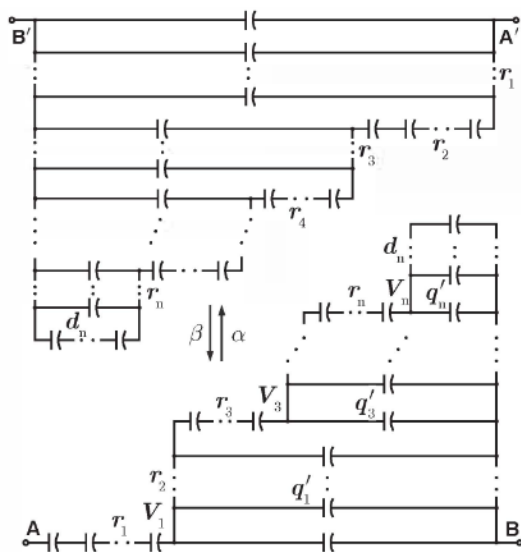
تعداد شاخه ها و تعداد خازن ها در هر شاخه از نسبت دلخواه  $M/D$  به دست می آید. به این صورت که در فاز نمونه برداری تعداد خازن ها در هر شاخه موازی  $D$  است و تعداد شاخه های موازی  $M$  است. در فاز ارزشیابی، این دو عدد با هم جابه جا می شوند. این روش برای اعداد بزرگ  $M \times D$  بهینه نیست و به تعداد زیادی خازن نیاز است. بنابراین این روش به منظور کاهش تعداد خازن ها اصلاح شده و ساختار کلی آن در شکل ۱۴-۲ آمده است.

ضرایب  $\alpha$  و  $\beta$  که روی شکل مشخص هستند، از رابطه ۱۱-۲ به دست می آیند.

$$\alpha = \frac{1}{\beta} = \frac{1}{r_1 + \frac{1}{r_2 + \frac{1}{r_3 + \dots + \frac{1}{r_n + \frac{1}{d_n}}}}} \quad (11-2)$$

در این رابطه  $r_1, \dots, r_n$  و  $d_n$  تعداد خازن ها و شاخه ها است که روی شکل به مشخص شده اند.



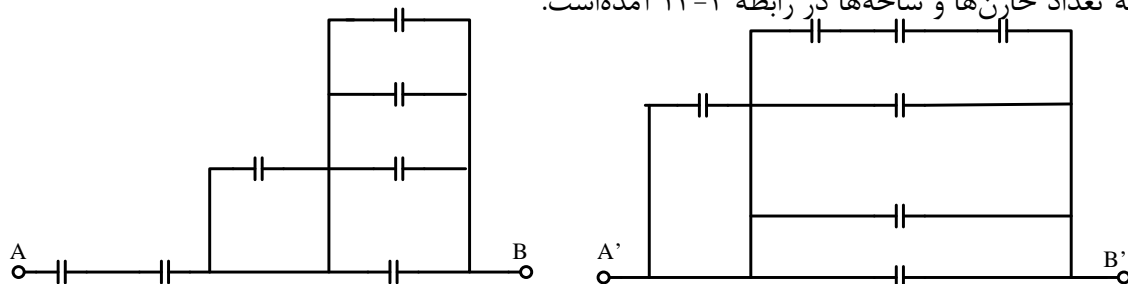


شکل ۲-۱۴: مدار اصلاح شده بخش کلید-خازنی در حالت چند شاخه در [۲۲]

برای رسیدن به مقادیر  $r_n$  و  $d_n$  باید از الگوریتم زیر پیروی کرد:

ابتدا باید ضریب دلخواه  $D/M$  یا  $M/D$  را به گونه‌ای انتخاب کرد که صورت کسر حاصله از مخرجش بزرگ‌تر باشد. حال کسر به دست آمده را می‌توان به عدد مخلوط تبدیل کرد. همان‌طور که می‌دانید عدد مخلوط از دو بخش عدد صحیح و کسری که صورت از مخرج کوچک‌تر است تشکیل می‌شود. عدد صحیح را کنار گذاشته و دوباره با معکوس کردن کسر حاصله، صورت از مخرج بزرگ‌تر شده و آن را به عدد مخلوط تبدیل کنید. این عملیات تا زمانی که صورت کسر آخر ۱ شود، ادامه دهید. حال هر طبقه را می‌توان با یک SPCC ساده پیاده‌سازی کرد و اتصال ۲ زیر شبکه، قدم به قدم به صورت یک در میان اتصال سری و موازی هستند. در نتیجه اعداد به دست آمده را می‌توان به صورت رابطه‌ی ۲-۱۱ مرتب کرد و مدار را مانند شکل ۲-۱۴ پیاده‌سازی کرد. شکل ۲-۱۵، مثالی از این مدار با ضریب دلخواه  $7/18$  (یا  $18/7$ ) است. تمامی خازن‌ها ظرفیت یکسان دارند. روند انجام الگوریتم به منظور رسیدن

به تعداد خازن‌ها و شاخه‌ها در رابطه ۲-۱۳ آمده است.



شکل ۲-۱۵: مثالی از مدار تولید کسر در [۲۲]

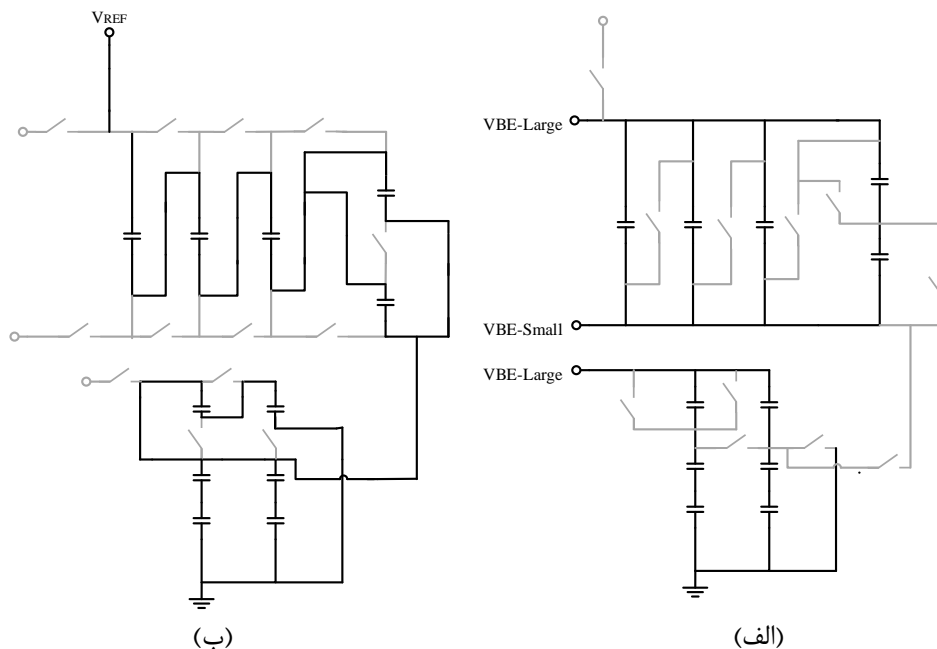
$$18/7 \text{ (or } 7/18) \rightarrow 2\frac{4}{7} \rightarrow 1\frac{3}{4} \rightarrow 1\frac{1}{3} \quad (13-2)$$

$$r_n (n=1,2,3): 2,1,1, \quad d_3 = 3$$

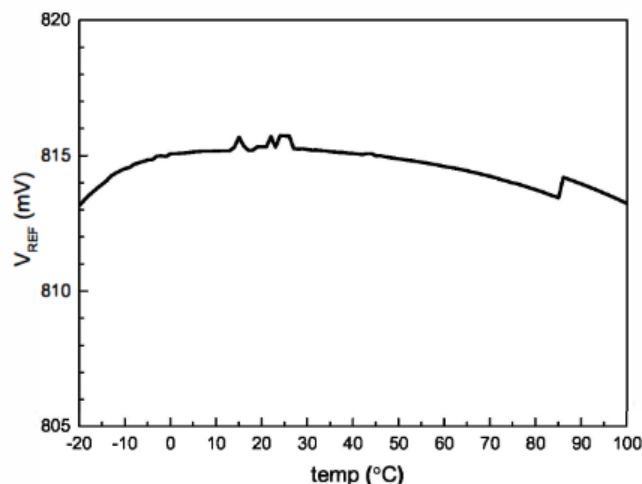
برای داشتن ولتاژ مرجع حدود  $800 \text{ mV}$  و با در نظر گرفتن  $dV_{BE}/dT$  برابر  $-1/72 \text{ mV}/^\circ\text{C}$  و انتخاب ضریب  $V_{BE}$  به اندازه‌ی  $1/5$  ضریب ولتاژ  $\Delta V_{BE}$  مانند رابطه‌ی ۲-۱۴ محاسبه می‌شود.

$$\beta \Delta V_{BE} = \frac{dV_{BE}/dT}{1.5 \times d\Delta V_{BE}/dT \times \ln N} \approx 3.47 \quad (14-2)$$

در این رابطه  $N$  نسبت مساحت دو ترانزیستور  $Q_1$  و  $Q_2$  در شکل ۲-۹ و به اندازه‌ی ۴۸ است. بنابراین دو نسبت دلخواه  $3/5$  و  $1/5$  برای شبکه‌های خازنی به دست می‌آید. شکل ۲-۱۶ شبکه‌های کلید-خازنی مطرح شده را در دو بخش الف) نمونه برداری و ب) ارزشیابی و تولید خروجی معتبر نشان می‌دهد و در نهایت شکل ۲-۱۷، شکل موج تغییرات ولتاژ مرجع تولیدشده، نسبت به دما را نشان می‌دهد.



شکل ۲-۱۶: مدار کلید-خازنی در دو فاز الف) نمونه برداری و ب) ارزشیابی [۲۲]



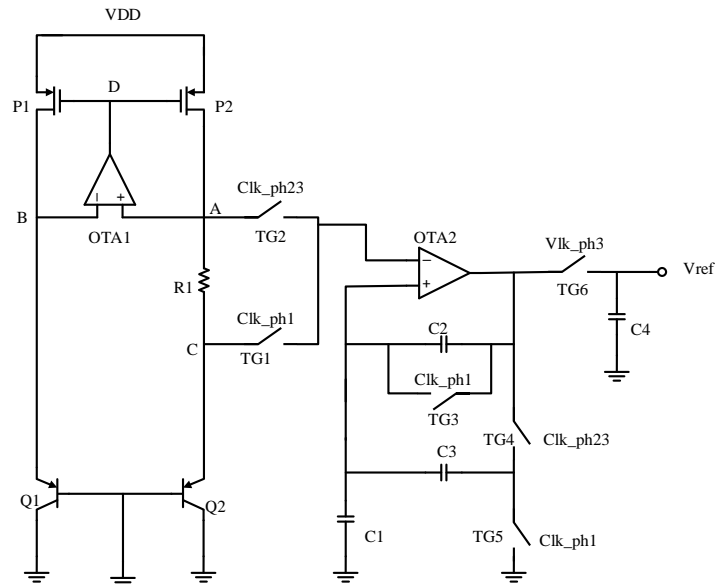
شکل ۲-۱۷: تغییرات ولتاژ خروجی تولید شده با دما در [۲۲]

مطابق شکل ۲-۱۷، ضریب دمایی در بازه دمایی  $^{\circ}\text{C}$  ۲۰- تا  $^{\circ}\text{C}$  ۱۰۰،  $25\text{ppm}/^{\circ}\text{C}$  محاسبه شده است. نتایج شبیه‌سازی این مدار، در تکنولوژی CMOS  $65\text{nm}$  و با منبع تغذیه  $1/27$  گزارش شده است.

روش مطرح شده در این بخش، قابلیت تولید سطوح مختلف ولتاژ زیروالت و پایدار نسبت به تغییرات دمایی را دارد. اما به این نکته باید توجه داشت که تعداد زیاد خازن‌ها و کلیدها؛ حتی در حالت اصلاح شده نیز، سبب تزریق بار کانال کلیدها بر روی خازن‌ها و پایین آمدن دقت ولتاژ مرجع تولیدی می‌شود. از طرف دیگر استفاده از تقویت کننده عملیاتی در این مدار سبب حضور اثر آفست در ولتاژهای  $V_{BE}$  و  $\Delta V_{BE}$  می‌شود و پخش این دو ولتاژ بین خازن‌ها در دو فاز نمونه برداری و ارزشیابی، سبب حضور اثر آفست در ولتاژ مرجع خروجی می‌شود.

#### ۴-۴-۲ مرجع ولتاژ کلید-خازنی زیر یک‌ولت با هسته مقاومتی

یکی از نکات مهم در طراحی مدارهای الکترونیکی، مصرف توان پایین است. مسلماً مداری که توان کمتری مصرف می‌کند، از محبوبیت بیشتری برخوردار است. البته پایین آوردن توان در مدارهای مرجع ولتاژ کلید-خازنی سبب ایجاد مصالحه‌ای بین توان و سرعت می‌شود. مدار مطرح شده در [۲۳]، به طراحی مرجع ولتاژ کلید-خازنی با مصرف توان پایین می‌پردازد. شکل ۲-۱۸، مدار مطرح شده در [۲۳] را نشان می‌دهد.



شکل ۲-۱۸: مدار مطرح شده در [۲۳]

ساختار و ایده کلی این مدار مشابه مرجع ولتاژ کلید-خازنی زمان پیوسته در شکل ۲-۱ است. در

این مدار جریان عبوری از مقاومت از رابطه ۲-۱۵ به دست می آید.

$$I_Q = \frac{V_T \cdot \ln(n)}{R_1} \quad (۱۵-۲)$$

در این رابطه  $n$  نسبت ابعاد دو ترانزیستور  $Q_1$  و  $Q_2$  است. برای کاهش توان مصرفی می بایست

جریان  $I_Q$  کم شود. بر اساس رابطه ۲-۱۵ برای کاهش جریان باید مقاومت  $R_1$  را بسیار بزرگ یا  $n$  را

کوچک انتخاب نمود. از آنجاکه مقاومت های بزرگ مساحت زیادی را در تراشه اشغال می کنند، بهترین

راه کاهش  $n$  می باشد. در این کار  $n=6$  انتخاب شده است. در بندگپ استاندارد مقدار کم  $n$ ، یک عیب به

حساب می آید، چون برای جبران پایداری حرارتی، باید مقدار مقاومت در گره خروجی را زیاد کرد [۲۳].

از آنجاکه در این ساختار هیچ مقاومتی در گره خروجی وجود ندارد، پس این مشکل نیز پیش نمی آید.

درحقیقت ایده اصلی این مدار حذف مقاومت گره خروجی از مدارهای مرجع ولتاژ زمان پیوسته و

جایگزینی با شبکه کلید-خازنی است.

برای ترکیب دو ولتاژ PTAT و CTAT با ضرایب مطلوب، از یک مدار کلید-خازنی استفاده

شده است که عملکرد آن به سه فاز جدا تقسیم می شود که نحوه ی عملکرد آن در هر فاز به شرح زیر

است:

فاز ۱) در این فاز کلیدهای  $TG_5, TG_3, TG_1$  وصل هستند. بنابراین  $OTA_2$  به عنوان بافر بهره واحد عمل می‌کند. خازن  $C_2$  اتصال کوتاه است و خازن‌های  $C_1$  و  $C_3$  به اندازه‌ی ولتاژ گره  $C$  یعنی  $V_{EB2}$  شارژ می‌شوند. با رفتن از فاز ۱ به فاز ۲ چند عمل به ترتیب تحقق می‌یابد:

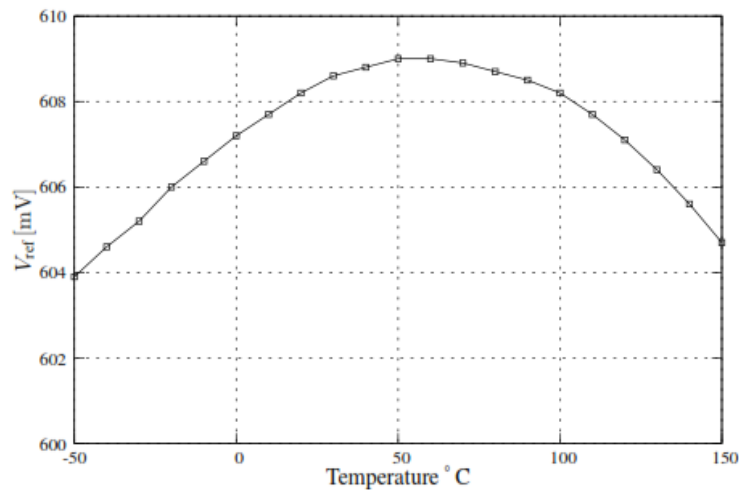
فاز ۲) در این فاز ابتدا کلید  $TG_3$  باز می‌شود. در این زمان هیچ تغییری در بار خازن‌ها رخ نمی‌دهد. سپس  $TG_5$  باز می‌شود ولی هنوز  $TG_4$  بسته است. در این هنگام خازن‌های  $C_2$  و  $C_3$  موازی شده و بار موجود در خازن  $C_3$  با خازن  $C_2$  به اشتراک گذاشته می‌شود و بین آن دو جابه‌جا می‌شود. در این طراحی خازن‌های  $C_2$  و  $C_3$  ظرفیت‌های یکسانی دارند. بنابراین بعد از نشست، ولتاژ ذخیره‌شده بر روی خازن  $C_2$  موازی  $C_3$ ، دقیقاً نصف ولتاژ گره  $C$  می‌شود.

در این لحظه دو خازن موازی  $C_2$  و  $C_3$  از یک سمت به جایی متصل نیستند، بنابراین ولتاژ خروجی  $OTA_2$  به اندازه‌ی  $V_C - \frac{1}{2}V_C = \frac{1}{2}V_C$  می‌شود. در نتیجه، ولتاژ  $CTAT$  در گره  $C$  نصف شده تا تولید ولتاژ مرجع خروجی که کمتر از ولتاژ بندگپ سیلیکون است، تحقق یابد. در این فاز هنوز به  $OTA_2$  هیچ سیگنال ورودی اعمال نشده است. در نتیجه ولتاژ خازن  $C_1$  تغییری نمی‌کند.

در مرحله‌ی آخر  $TG_1$  باز و  $TG_2$  وصل می‌شود. بنابراین یک سیگنال ورودی ایجاد می‌شود (برای  $OTA_2$ ) که مقدار آن ولتاژ دو سر مقاومت  $R_1$  است که ضریب حرارتی مثبت دارد. پس در این بخش ولتاژ  $PTAT$  تولید می‌شود.  $OTA_2$  به دلیل وجود فیدبک منفی، سعی در کاهش خطای ولتاژ بین پایه‌های مثبت و منفی‌اش را دارد. بنابراین ولتاژ خروجی، تا این‌که ورودی منفی برابر ورودی مثبت شود، افزایش می‌یابد. رابطه ۲-۱۶ از فاز ۲ نتیجه می‌شود.

$$V_{out} = \frac{C_2}{C_2 + C_3} V_C + \frac{C_1 + C_2 + C_3}{C_2 + C_3} \cdot (V_A - V_C) \quad (16-2)$$

فاز ۳) در این فاز خروجی  $OTA_2$  با کلید  $TG_6$  به خازن بار  $C_4$  متصل می‌شود تا ولتاژ خروجی پیوسته‌ای را تولید کند. شکل ۲-۱۹، منحنی تغییرات ولتاژ خروجی بر حسب تغییر دما را نشان می‌دهد.



شکل ۲-۱۹: تغییرات ولتاژ مرجع تولید شده نسبت به دما در [۲۳]

ولتاژ مرجع تولیدی گزارش شده در این مقاله  $615\text{mV}$  است و نوسان قابل قبول حدود  $2\text{mV}$  دارد. در طراحی این مدار از ایده مدارهای مرجع ولتاژ زمان پیوسته معمول با دو ترانزیستور BJT استفاده شده که تنها دلیل استفاده از کلید و خازن، ذخیره ولتاژهای PTAT و CTAT است. همچنین طراحی مدار و یا به عبارت صحیح‌تر، طراحی تقویت کننده‌های عملیاتی به گونه‌ای صورت گرفته تا مصرف جریان و در نتیجه مصرف توان به حداقل برسد. مصرف جریان این مدار  $180\text{nA}$  است و مساحت  $\text{mm}^2$   $0.13 \times 0.2$  را روی تراشه اشغال می‌کند. استفاده از جریان پایین محبوبیت طراحی را در مدارهایی با توان محدود زیاد می‌کند، اما باید این نکته را در نظر داشت که در مدارهای کلید-خازنی، جریان پایین سبب افزایش زمان آماده‌سازی خروجی می‌شود و مدار زمان بیشتری را صرف شارژ خازن‌ها می‌کند.

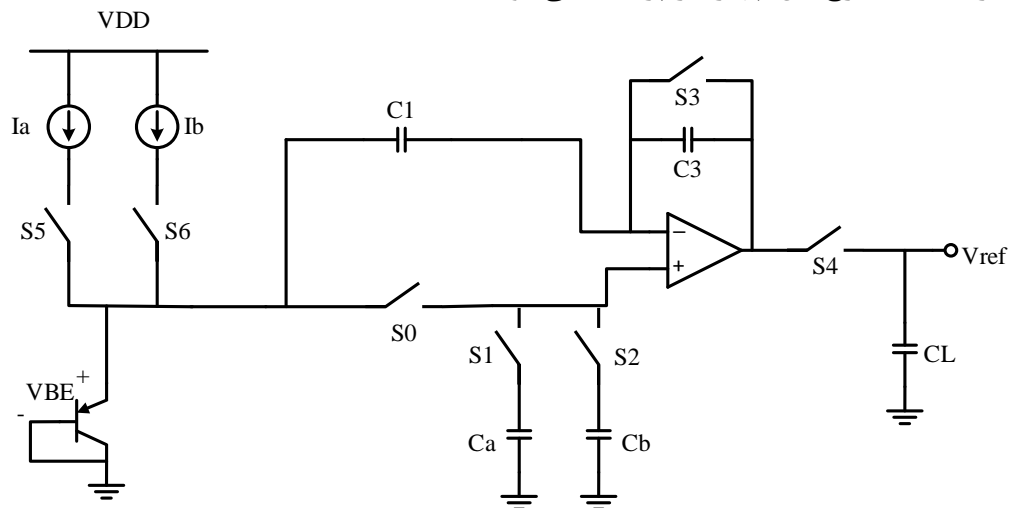
## ۲-۴-۵ مرجع ولتاژ کلید-خازنی بدون مقاومت

در سال ۲۰۱۳، مدار مرجع کلید-خازنی توسط کلیماچ<sup>۱</sup> و همکارانش ارائه شد [۲۴] که با روش ذخیره بار بر روی خازن‌ها، به تولید دو ولتاژ PTAT و CTAT می‌پردازد و در نهایت با تنظیم زمان

<sup>1</sup> Klimach

روشن و خاموش شدن کلیدها، این دو ولتاژ را با ضرایب موردنیاز جمع نموده و ولتاژ مرجع نهایی را تولید می‌کند.

مدار پیشنهادی این مقاله در شکل ۲-۲۰ آمده است. ۴ فاز برای تولید ولتاژ معتبر خروجی نیاز است. در ادامه به شرح این چهار فاز پرداخته می‌شود.



شکل ۲-۲۰: شکل مدار مطرح شده در [۲۴]

فاز (۱) کلیدهای  $S_5, S_3, S_1, S_0$  بسته: در این مرحله خازن  $C_a$  به اندازه‌ی ولتاژ  $V_{EB}(I_a)$  شارژ می‌شود.

فاز (۲) کلیدهای  $S_6, S_3, S_2, S_0$  بسته: در این مرحله خازن  $C_b$  به اندازه‌ی ولتاژی  $V_{EB}(I_b)$  شارژ می‌شود.

فاز (۳) کلیدهای  $S_6, S_5, S_3, S_2, S_1$  بسته: در این مرحله ولتاژ روی خازن‌های  $C_a$  و  $C_b$  میانگین‌گیری می‌شود. با فرض یکسان بودن جریان در منابع جریان  $I_a$  و  $I_b$  و بنابراین با این میانگین‌گیری اثرات ناشی از عدم تطبیق منبع‌های جریان از بین می‌رود.

فاز (۴) کلیدهای  $S_6, S_5, S_4, S_2, S_1, S_0$  بسته: در نهایت در این فاز، ولتاژ مرجع معتبر خروجی تولید می‌شود. رابطه ۲-۱۶ رابطه ولتاژ نهایی خروجی را نشان می‌دهد.

$$V_{ref} = \frac{C_1}{C_2} \frac{K}{q} \ln 2T + V_{EB}(T_0) - \alpha(T - T_0) \quad (۱۶-۲)$$

در این رابطه،  $K$  ثابت بولتزمن،  $q$  بار الکترون،  $T$  دما،  $V_{EB}(T_0)$  ولتاژ پیوند امیتر-بیس ترانزیستور BJT است. ضریب  $\alpha$  نیز ضریب حرارتی ولتاژ بیس-امیتر و برابر با  $-2mV/^\circ K$  است.

در این مدار برای رسیدن به ضریب حرارتی صفر در ولتاژ خروجی، نسبت دو خازن  $C_1$  و  $C_2$  از رابطه ۲-۱۷ به دست می آید.

$$\frac{C_1}{C_2} = \frac{\alpha q}{k \cdot \ln 2} \quad (17-2)$$

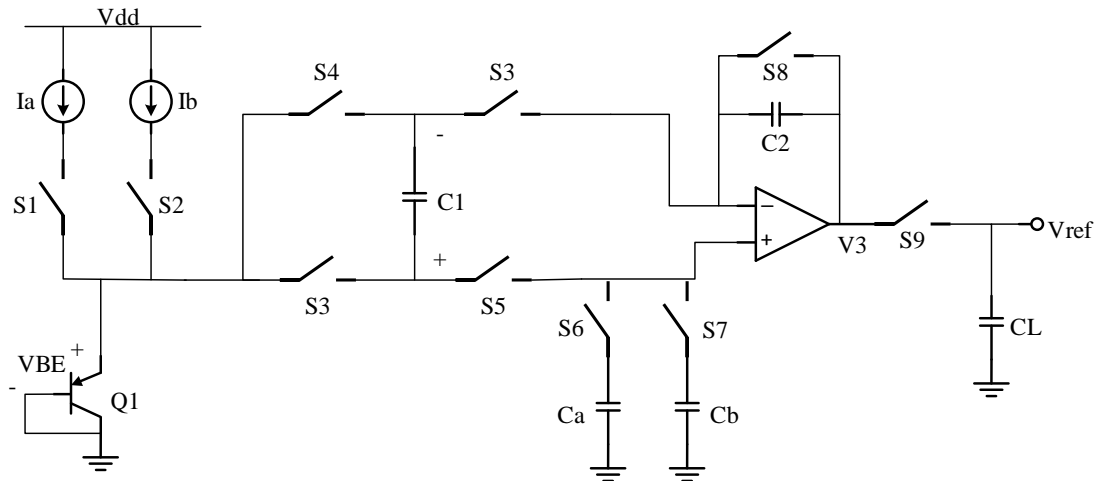
به عبارتی نسبت خازن‌های  $\frac{C_1}{C_2}$ ، عددی ثابت به دست می آید. این مقدار حدود  $33/4$  است. با جایگذاری این مقدار در رابطه ۲-۱۶، مشاهده می شود که ولتاژ مرجع عددی ثابت و حدود  $1/247$  است. در نتیجه هیچ درجه آزادی برای تنظیم ولتاژ مرجع تولیدی وجود ندارد و از این لحاظ نمی توان آن را در کاربردهای زیر یکولت به کاربرد. در این مرجع ولتاژ،  $5mV$  تغییرات در ولتاژ خروجی برای بازه‌ی دمایی  $40^\circ C$  تا  $125^\circ C$  مشاهده می شود که معادل ضریب دمایی  $TC = 26/7 \text{ ppm}/^\circ C$  می باشد. مقاله [۲۵] نیز در انتهای سال ۲۰۱۳ و در راستای همین روش ارائه شده است.

## ۲-۴-۶ مرجع ولتاژ کلید-خازنی با حذف آفست

بعد از ارائه مرجع ولتاژ کلید-خازنی بدون مقاومت [۲۵]، مدار مرجع ولتاژی ارائه شد که با ایده‌ی مشابه، اما با اعمال تغییراتی به حذف آفست ناشی از تقویت کننده عملیاتی می پردازد [۲۶]. این مدار شده در شکل ۲-۲۱ قابل مشاهده است. در این مدار برای تولید ولتاژ خروجی معتبر به  $5$  فاز نیاز است و خروجی پس از  $40 \mu s$  آماده می شود. همان طور که در شکل ۲-۲۱ مشاهده می شود، مدار از دو منبع جریان  $I_a$  و  $I_b$  برای تولید ولتاژ مرجع استفاده می کند. در این ساختار فرض شده منبع های جریان دارای مقادیر یکسان هستند ولی خطای تطبیق در آن ها وجود دارد. بنابراین مقدار جریان  $I_a$  برابر  $I + \Delta I$  و



جریان  $I_b$  برابر  $I - \Delta I$  در نظر گرفته شده است. در ادامه به توضیح نحوه ی قطع و وصل شدن کلیدها در هر فاز و نحوه ی تولید ولتاژ مرجع و حذف آفست پرداخته می شود.



شکل ۲-۲۱: مدار مرجع ولتاژ کلیدخازنی با حذف ولتاژ آفست [۲۶]

فاز ۱) کلیدهای  $S_1, S_3, S_5, S_6, S_8$  بسته هستند: در این فاز خازن  $C_a$  به اندازه ی  $V_{EB}(I + \Delta I)$  شارژ می شود. اما خازن های  $C_1$  و  $C_2$  شارژ نمی شوند.

فاز ۲) کلیدهای  $S_2, S_3, S_5, S_7, S_8$  بسته هستند: در این فاز خازن  $C_b$  به اندازه ی  $V_{EB}(I - \Delta I)$  شارژ می شود ولی همچنان بار خازن های  $C_1$  و  $C_2$  صفر است.

فاز ۳) کلیدهای  $S_1, S_2, S_3, S_6, S_7, S_8$  بسته هستند: در این فاز، خازن  $C_1$  به اندازه ی ولتاژ دو سرش که همان اختلاف ولتاژ بین پیوند امیتر-بیس  $Q_1$  با ولتاژ پایه مثبت تقویت کننده عملیاتی که شامل ولتاژ آفست آن نیز می شود، شارژ می شود. رابطه ی ۲-۱۸، ولتاژ دو سر خازن  $C_1$  را نشان می دهد.

$$V_{C1} = V_{EB}(2I) - V_{EB}(I) + V_{OS} \quad (2-18)$$

فاز ۴) کلیدهای  $S_1, S_2, S_3, S_5$  بسته هستند: در این مرحله بار خازن  $C_1$  روی  $C_2$  انتقال می یابد. چون در این مرحله در هر دو پایه ی خازن  $C_1$ ، ولتاژ آفست وجود دارد، بنابراین این ولتاژ به خازن  $C_2$  انتقال نمی یابد. رابطه ی ۲-۱۹، ولتاژ خازن  $C_2$  را نشان می دهد.

$$V_{C2} = \frac{C_1}{C_2} [V_{EB}(2I) - V_{EB}(I)] = \left(\frac{C_1}{C_2}\right) \left(\frac{KT}{q}\right) \ln 2 \quad (2-19)$$

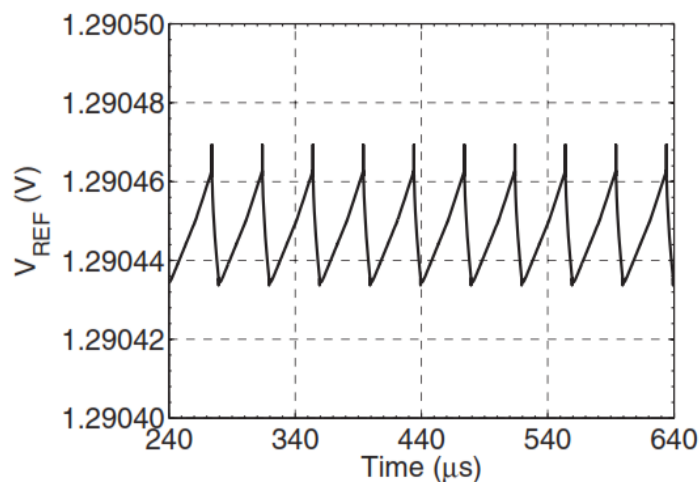
فاز ۵) کلیدهای S<sub>1</sub>, S<sub>2</sub>, S<sub>3</sub>, S<sub>4</sub>, S<sub>5</sub>, S<sub>9</sub> بسته هستند: در فاز ۴، ولتاژ آفست در جهت نشان داده شده روی شکل ۲-۲۱، روی خازن C<sub>1</sub> ذخیره می‌شود. در صورتی که در این فاز، خازن در جهت عکس به مدار وصل می‌شود. در نتیجه ولتاژ آفست ذخیره شده روی خازن و ولتاژ آفست تقویت‌کننده عملیاتی با هم حذف می‌شوند. بنابراین اثر آفست تقویت‌کننده عملیاتی حذف شده و به خروجی انتقال نمی‌یابد. همچنین ولتاژ معتبر خروجی نیز، در این سیکل تولید می‌شود که برابر است با:

$$V_{REF} = V_{EB} (2I) + \left(\frac{C_1}{C_2}\right) \frac{KT}{q} \ln(2) \quad (20-2)$$

برای داشتن ضریب حرارتی صفر، باید مشتق ولتاژ مرجع نسبت به دما صفر شود. به همین منظور می‌بایست نسبت خازن‌های C<sub>1</sub> و C<sub>2</sub> به صورت رابطه ۲-۲۱ انتخاب شود.

$$\frac{C_1}{C_2} = \frac{\alpha q}{k \cdot \ln 2} \quad (21-2)$$

همان‌طور که در رابطه‌ی ۲-۲۰ مشاهده می‌شود، تمام مقادیر ثابت و غیرقابل تغییر هستند. پس ولتاژ مرجع به دست آمده نیز ثابت و غیرقابل تنظیم و برابر با ۱/۲۷ است. شکل ۲-۲۲، شکل تغییرات مرجع ولتاژ تولیدی در حوزه‌ی زمان را نشان می‌دهد.



شکل ۲-۲۲: شکل موج تغییرات خروجی مرجع ولتاژ [۲۶]

در این مقاله از خازن‌های MIM استفاده شده‌است. خازن‌های MIM، نسبت به مقاومت‌های Poly، وابستگی کمتری به دما و ولتاژ دارند. ضریب‌دمایی مدار طراحی شده در بازه دمایی ۴۰- تا ۸۵ درجه سانتیگراد برابر با  $28/8 \text{ ppm}/^{\circ}\text{C}$  است.



## فصل ۳:

نظریه مرجع ولتاژ بندگپ

زیر یک ولت پیشنهادی

### ۳-۱- مقدمه

مراجع ولتاژ کاربرد گسترده‌ای در مدارهای الکترونیکی دارند. عملکرد و دقت رمزگذار<sup>۱</sup> و رمزگشاها<sup>۲</sup> هم‌چنین دقت تبدیل بلوک‌های پردازش سیگنال در سیستم‌های مبدل داده؛ به دقت مرجع ولتاژ بستگی دارد [۳]. هرچه ولتاژ مرجع نسبت به تغییرات دما، منبع تغذیه و فرآیند ساخت پایدارتر باشد، دقت ولتاژ مرجع تولیدشده بالاتر می‌رود.

با پیشرفت فناوری، اندازه مدار روی تراشه کمتر شده‌است. هم‌چنین کاهش توان مصرفی سبب افزایش طول عمر باتری می‌شود. در فناوری انرژی‌های تجدیدپذیر؛ مانند محصولات مصرف‌کننده انرژی خورشیدی، بازه ولتاژ تغذیه بین ۰/۳ تا ۱/۲ ولت است [۲۷] و نمی‌توانند ولتاژهای مرجع بالای یک‌ولت را تولید کنند. بنابراین مراجع ولتاژ زیر یک ولت، در آینده می‌تواند در مدارهای با منبع تغذیه تجدیدپذیر نیز استفاده شود.

یکی از روش‌های تولید مرجع ولتاژ که امروزه محبوبیت خوبی در بین طراحان پیدا کرده‌است، مرجع ولتاژ کلید-خازنی است. استفاده از خازن به جای مقاومت در این گونه مدارها خطای تطبیق را کاهش می‌دهد. از طرفی به دلیل استفاده از کلید، هر بخش مدار فقط در بازه‌های وصل‌بودن کلیدها از تغذیه اصلی مدار استفاده می‌کنند. این ویژگی سبب می‌شود جریان کمتری نسبت به مدارهایی که به‌طور پیوسته از باتری استفاده می‌کنند مصرف شود. البته روش طراحی نیز برای رسیدن به توان پایین، بسیار مهم است. چه‌بسا مدار کلید-خازنی طراحی شود ولی از نظر مصرف توان، شرایط بدتری نسبت به مدار بدون بخش کلیدزنی داشته‌باشد.

وجود آفست، یکی از مشکلات اساسی استفاده از تقویت‌کننده عملیاتی در همه‌ی مدارهای مرجع ولتاژ است. آفست، دقت و وابستگی دمایی ولتاژ مرجع را تحت‌تاثیر قرار می‌دهد و هم‌چنین حذف آفست

---

<sup>1</sup> Coder

<sup>2</sup> Decoder

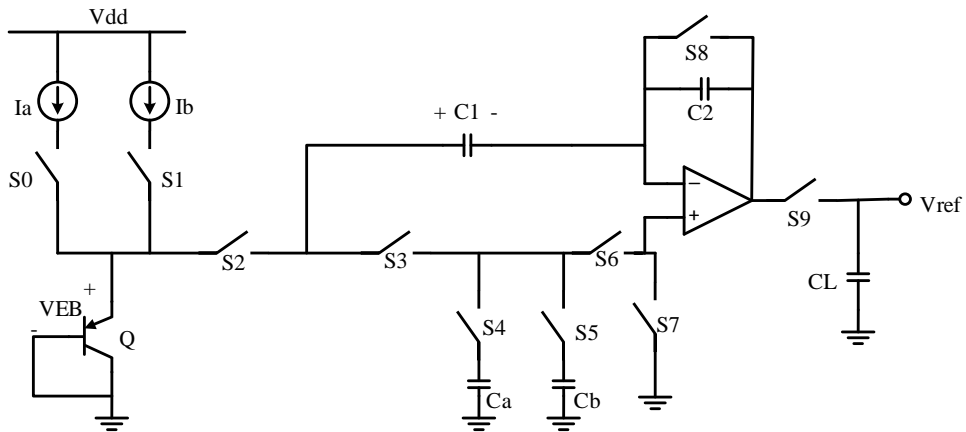
تاثیر قابل توجهی در کاهش نویز  $1/f$  دارد [۴]. تاکنون روش‌های متعددی برای کاهش اثر آفست ارائه شده‌است [۲۰, ۲۸]. با استفاده از زوج ماسفت با ابعاد بسیار بزرگ در تقویت‌کننده عملیاتی، می‌توان اثر آفست را کاهش داد. اما با این روش، سطح بیشتری روی تراشه اشغال می‌شود [۲۹]. بنابراین، طراحی مرجع ولتاژ با قابلیت حذف اثر آفست، دقت را بالا می‌برد و کاربرد آن را در سیستم‌های حساس و دقیق بیشتر می‌کند.

در این فصل از پایان‌نامه به اصول طراحی مرجع ولتاژ کلید-خازنی پیشنهادی پرداخته شده است. ایده اصلی مدار، از مرجع ولتاژ کلید-خازنی کلیمپ [۲۵] اتخاذ شده‌است. یکی از محدودیت‌های این مدار، تولید ولتاژ غیرقابل تنظیم  $1/2$  ولت و در محدوده‌ی ولتاژ بندگپ سیلیکون است. یعنی امکان تولید سطوح ولتاژ قابل تنظیم و زیر یک‌ولت را ندارد. در این بخش با تغییر در ساختار کلی مدار و الگوی کلیدزنی، این مشکل را حل نموده‌ایم.

ابتدا در بخش ۲-۳ به نظریه طراحی مرجع ولتاژ کلید-خازنی زیر یک‌ولت پیشنهادی پرداخته می‌شود، سپس در بخش ۳-۳ با اعمال تغییراتی در نحوه اتصال کلید و خازن‌ها و تغییر الگوی کلیدزنی، به شرح نظریه مرجع ولتاژ کلید-خازنی پیشنهادی با قابلیت تولید ولتاژهای زیر یک ولت و حذف آفست پرداخته می‌شود.

### ۲-۳ نظریه طراحی مرجع ولتاژ کلید-خازنی پیشنهادی زیر یک ولت

مرجع ولتاژ کلید-خازنی پیشنهادی در شکل ۱-۳ مشاهده می‌شود. مرجع ولتاژ پیشنهادی از پنج فاز برای تولید ولتاژ مرجع معتبر خروجی استفاده می‌کند. شرح هر فاز و نحوه قطع و وصل کلیدها در ادامه آمده‌است.



شکل ۱-۳: مدار مرجع ولتاژ کلید-خازنی پیشنهادی زیر یک ولت

در این طراحی، فرض می‌شود منابع جریان  $I_a$  و  $I_b$  با هم برابر هستند ولی به خاطر عدم تطبیق

خطایی معادل  $\Delta I$  نسبت به هم دارند. بنابراین رابطه این دو جریان در ۱-۳ و ۲-۳ آمده است.

$$I_a = I + \Delta I \quad (۱-۳)$$

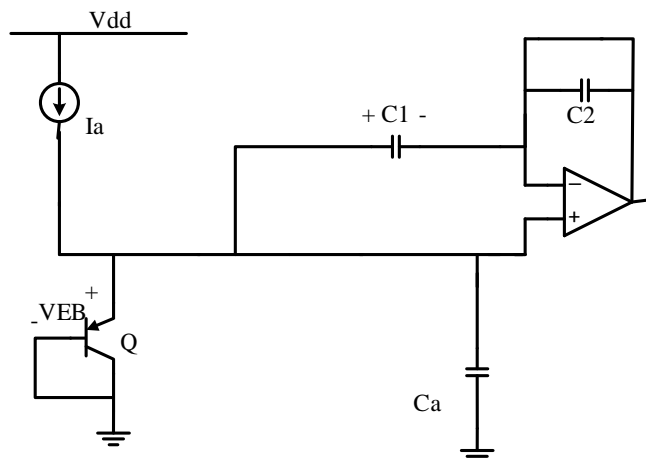
$$I_b = I - \Delta I \quad (۲-۳)$$

فاز ۱) کلیدهای  $S_0, S_2, S_3, S_4, S_6$  و  $S_8$  بسته و بقیه کلیدها باز هستند. شکل ۲-۳ مدار را در این

فاز نشان می‌دهد. در این فاز تقویت‌کننده عملیاتی در فیدبک منفی واحد قرار دارد و بار خازن  $C_2$  صفر

است. به دلیل اتصال کوتاه مجازی که توسط پایه‌های مثبت و منفی تقویت‌کننده در فیدبک منفی وجود

دارد، روی خازن  $C_1$  نیز باری ذخیره نمی‌شود.



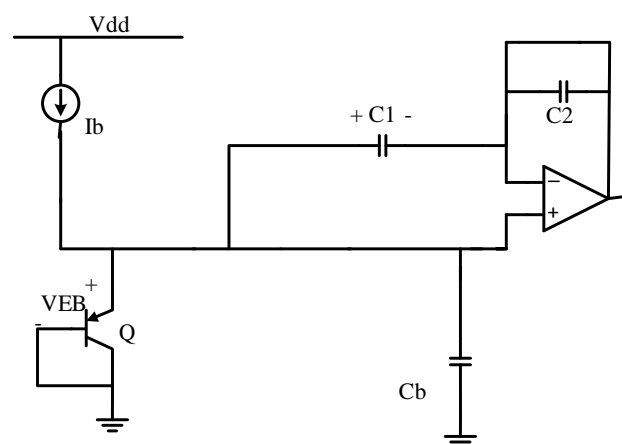
شکل ۲-۳: مدار مرجع ولتاژ کلید-خازنی پیشنهادی زیر یک ولت در فاز ۱



رابطه ۳-۳ بار ذخیره شده روی خازن  $C_a$  را نشان می‌دهد. در این رابطه  $V_{EB}(I_a)$  ولتاژ امیتر-بیس ترانزیستور Q است که با جریان  $I_a$  بایاس شده است.

$$V_{C_a} = V_{EB}(I_a) \quad (3-3)$$

فاز ۲) کلیدهای  $S_1, S_2, S_3, S_5, S_6, S_8$  بسته و بقیه کلیدها باز هستند. شکل ۳-۳، مدار مطرح شده را در فاز ۲ نشان می‌دهد. مشابه فاز اول، خازن‌های  $C_1$  و  $C_2$  اتصال کوتاه هستند و باری روی آن‌ها ذخیره نمی‌شود.

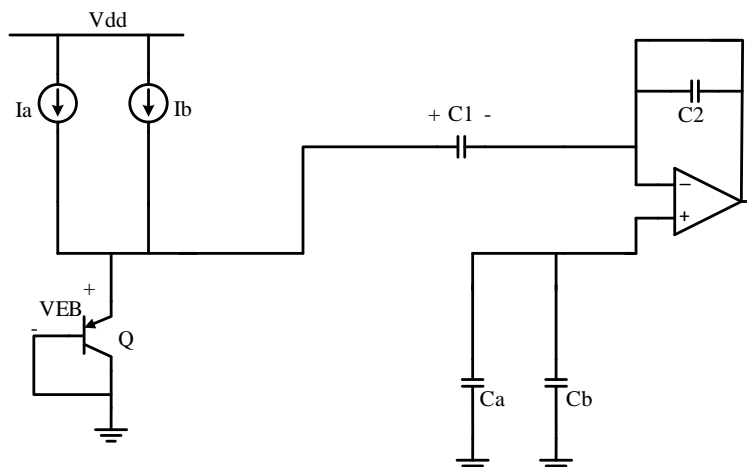


شکل ۳-۳: مدار مرجع ولتاژ کلید-خازنی پیشنهادی زیر یک ولت در فاز ۲

رابطه ۴-۳ ولتاژ ذخیره شده روی خازن  $C_b$  را نشان می‌دهد که در این رابطه  $V_{EB}(I_b)$  ولتاژ امیتر-بیس ترانزیستور Q است که با جریان  $I_b$  شارژ شده است.

$$V_{C_b} = V_{EB}(I_b) \quad (4-3)$$

فاز ۳) کلیدهای  $S_0, S_1, S_2, S_4, S_5, S_6, S_8$  بسته و بقیه کلیدها باز هستند. شکل ۴-۳، مدار را در فاز ۳ نشان می‌دهد. در این فاز خازن  $C_2$  اتصال کوتاه است و باری روی آن ذخیره نمی‌شود. ولی خازن  $C_1$  به دلیل اختلاف ولتاژ دو سرش، شارژ می‌شود. در همین زمان خازن‌های  $C_a$  و  $C_b$  با هم موازی می‌شوند. بنابراین بار این دو خازن با هم میانگین‌گیری می‌شود. این عمل سبب می‌شود که خطای عدم تطبیق منبع‌های جریان، تاثیر کمتری روی ولتاژ مرجع خروجی بگذارد.



شکل ۳-۴: مدار مرجع ولتاژ کلید-خازنی پیشنهادی زیر یک ولت در فاز ۳

رابطه‌ی ۳-۵ ولتاژ میانگین‌گیری شده  $C_b$  و  $C_a$  را نشان می‌دهد. دو خازن  $C_a$  و  $C_b$  ظرفیت‌های یکسانی دارند و هدف استفاده از این دو خازن، کاهش خطای عدم تطبیق منابع‌های جریان  $I_a$  و  $I_b$  است. اما این نکته را باید در نظر داشت که دو خازن نسبت به یک خازن با ظرفیت‌های مشابه سطح بیشتری روی تراشه اشغال می‌کنند. از طرفی حذف خطای عدم تطبیق آینه‌های جریان با فرض یکسان بودن ظرفیت خازن‌های  $C_a$  و  $C_b$  است و در صورتیکه ظرفیت‌ها باهم اندک تفاوتی داشته باشند (که احتمال دارد در ساخت اتفاق بیوفتد)، ولتاژهای تولیدی در فازهای بعد و در نتیجه ولتاژ مرجع خروجی نیز دچار خطا می‌شود. بنابراین اگر بسته به کاربرد بتوان از خطای عدم تطبیق منابع‌های جریان صرف نظر کرد، می‌توان یکی از دو خازن  $C_a$  و  $C_b$  را از طراحی حذف کرد. ولتاژ ذخیره شده روی خازن  $C_1$  نیز در رابطه‌ی ۳-۶ آمده است.

$$V_{C_a} = V_{C_b} = V_{EB}(I) \quad (۵-۳)$$

$$V_{C_1} = V_{EB}(2I) - V_{EB}(I) \quad (۶-۳)$$

با توجه به رابطه ۳-۷ که رابطه‌ی ولتاژ و جریان ترانزیستور BJT را نشان می‌دهد، می‌توان رابطه‌ی

ولتاژ خازن  $C_1$  را به صورت رابطه‌ی ۳-۸ بازنویسی نمود.

$$V_{EB} = V_T \ln\left(\frac{I_C}{I_S}\right) \quad (۷-۳)$$

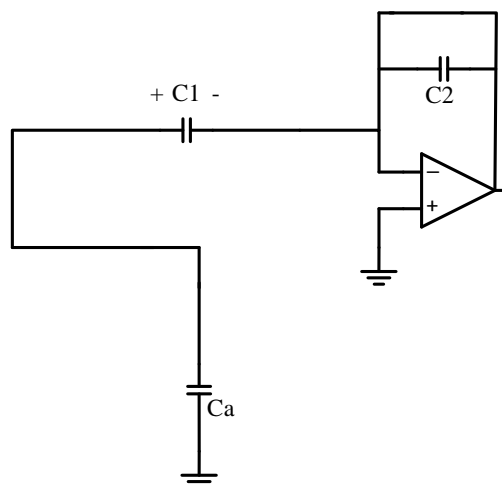
$$V_{C1} = V_T \ln\left(\frac{2I}{I_S}\right) - V_T \ln\left(\frac{I}{I_S}\right) = V_T \ln\left(\frac{2I}{I_S} \times \frac{I_S}{I}\right) = V_T \ln 2 \quad (8-3)$$

در این رابطه  $V_T$  ولتاژ حرارتی است که در دمای  $300$  درجه کلوین مقدار  $26\text{mv}$  دارد. جریان  $I_S$  جریان اشباع معکوس و  $I_C$  جریان کلکتور ترانزیستور BJT است. بنابراین ولتاژ ذخیره شده روی خازن  $C1$  نسبتی از ولتاژ حرارتی است.

همان طور که ملاحظه می شود تاکنون ولتاژ خازن های  $C_a$  و  $C_b$  یک ولتاژ CTAT و ولتاژ ساخته شده بر روی خازن  $C_1$  یک ولتاژ PTAT است که با ترکیب مناسب آن ها می توان ولتاژ مرجع ساخت.

فاز ۴) کلیدهای  $S_3, S_4, S_7, S_8$  بسته و بقیه کلیدها باز هستند. شکل ۳-۵، مدار را در این فاز نشان

می دهد.



شکل ۳-۵: مدار مرجع ولتاژ کلید-خازنی پیشنهادی زیر یک ولت در فاز ۴

همان طور که در شکل ۳-۵ مشاهده می شود، به دلیل وجود فیدبک منفی پایه های مثبت و منفی تقویت کننده عملیاتی هم پتانسیل می شوند و بنابراین صفحه منفی خازن  $C_1$  زمین می شود. از طرفی به دلیل این که سر مثبت خازن های  $C_1$  و  $C_a$  به هم وصل شده اند و این دو خازن با هم موازی شده اند، بار دو خازن  $C_1$  و  $C_a$  با هم موازنه می شود. مفهوم این موازنه در رابطه ی ۳-۹ آمده است.

$$V_{C1} = V_{Ca} = \frac{Q}{C_T} = \frac{Q_{C1} + Q_{Ca}}{C_1 + C_a} = \frac{(C_1 \times V_{C1}) + (C_a \times V_{Ca})}{C_1 + C_a} \quad (9-3)$$

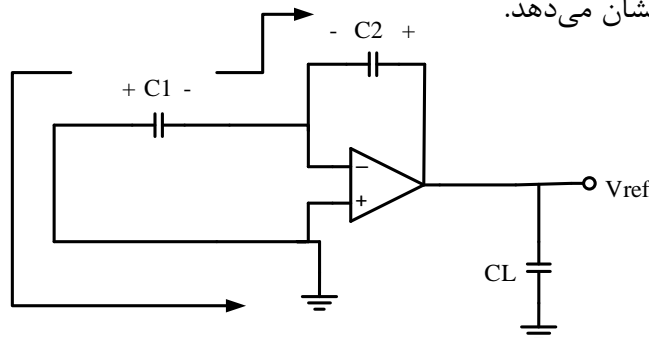
با جایگذاری بار خازن‌ها که در فاز ۲ و ۳ به دست آمدند، رابطه ی ۱۰-۳ قابل محاسبه است.

$$V_{C1} = V_{Ca} = \frac{(C_1 \times V_T \ln 2) + (C_a \times V_{EB}(I))}{C_1 + C_a} \quad (10-3)$$

با توجه به رابطه ۱۰-۳، ولتاژ خازن‌های  $C_1$  و  $C_a$  ترکیبی از ولتاژهای PTAT و CTAT است.

فاز ۵) کلیدهای  $S_3, S_6, S_7$  و  $S_9$  بسته و بقیه کلیدها باز هستند. خازن  $C_2$  نقش مسیر فیدبک منفی را در این فاز بازی می‌کند. بنابراین همچنان به دلیل هم‌پتانسیل شدن پایه‌های منفی و مثبت تقویت‌کننده عملیاتی، دو سر خازن  $C_1$  اتصال کوتاه مجازی می‌شود. شکل ۳-۶، شکل مدار مرجع ولتاژ

را در این سیکل (آخر) نشان می‌دهد.



شکل ۳-۶: مدار مرجع ولتاژ کلید-خازنی پیشنهادی زیر یک ولت در فاز ۵

با توجه به اتصال کوتاه شدن خازن  $C_1$  در این فاز، بار صفحه مثبت خازن به زمین مدار و بار صفحه منفی آن به صفحه منفی خازن  $C_2$  منتقل می‌شود. باید به این نکته توجه کرد که ورودی تقویت‌کننده عملیاتی از امپدانس بسیار بزرگی برخوردار است و جریان ورودی آن صفر است. بنابراین رابطه ی ۱۱-۳، ولتاژ اعمال شده بر روی خازن  $C_2$  را نشان می‌دهد.

$$V_{C2} = \frac{C_1}{C_2} V_{C1} = \frac{C_1}{C_2} \times \frac{(C_1 \times V_T \ln 2) + (C_a \times V_{EB}(I))}{C_1 + C_a} \quad (11-3)$$

در این فاز به دلیل اتصال گره خروجی  $V_{ref}$  به خروجی تقویت‌کننده عملیاتی و وجود زمین مجازی در گره ورودی منفی تقویت‌کننده عملیاتی با نوشتن یک KVL می‌توان دریافت که ولتاژ خازن  $C_L$  برابر با ولتاژ خازن  $C_2$  خواهد بود. از این رو ولتاژ مرجع تولید شده نهایی به صورت رابطه ۱۲-۳ می‌شود.

$$V_{ref} = \frac{C_1}{C_2(C_1 + C_a)} \times [(C_1 \times V_T \ln 2) + (C_a \times V_{EB}(I))] \quad (12-3)$$

### ۱-۲-۳ بهینه‌سازی رابطه ولتاژ مرجع پیشنهادی به منظور پایداری دمایی

رابطه ۱۲-۳ ولتاژ خروجی مدار پیشنهادی را نشان می‌دهد. در رابطه به دست آمده، عبارتی وابسته به منبع تغذیه و فرآیند ساخت وجود ندارد. بنابراین تنها محدودیت این مدار برای رسیدن به هدف مرجع ولتاژ، وابستگی به دما ناشی از دو ولتاژ PTAT و CTAT ( $V_T$  و  $V_{EB}$ ) است. به منظور حذف تاثیر دما، باید مشتق ولتاژ مرجع نسبت به دما صفر شود. رابطه ۱۳-۳، رابطه‌ی مرتبه اول ولتاژ امیتر-بیس نسبت به دما را نشان می‌دهد [۲۴].

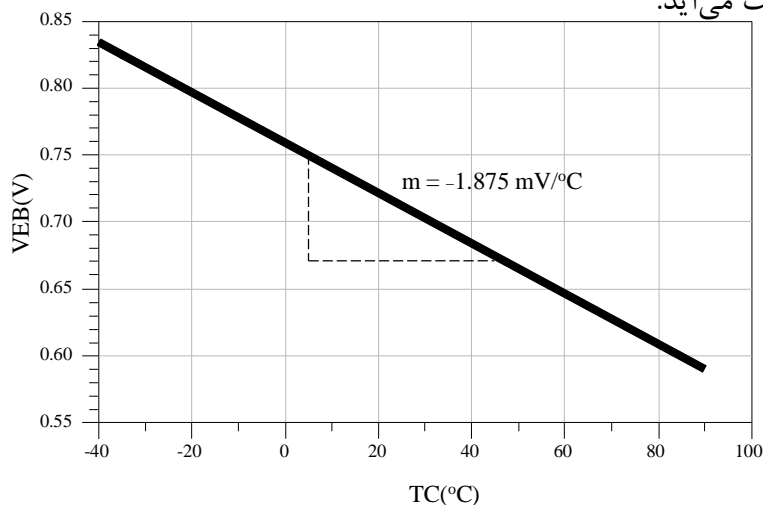
$$V_{EB} = V_{EB}(T_0) - \alpha(T - T_0) \quad (13-3)$$

در این رابطه  $T_0$  دمای اتاق و  $300$  درجه کلوین است و  $\alpha$  ضریب ثابت و حدود  $-2 \text{ mV}/^\circ\text{C}$  است [۲۴]. بنابراین مشتق ولتاژ امیتر-بیس ترانزیستور BJT با تقریب به صورت رابطه ۱۴-۳ است.

$$\frac{\partial V_{EB}}{\partial T} = -2 \text{ mV}/^\circ\text{C} \quad (14-3)$$

با شبیه‌سازی ترانزیستور BJT و محاسبه شیب ولتاژ امیتر-بیس (در جریان  $3 \mu\text{A}$ ) نسبت به دما،

شکل ۷-۳ به دست می‌آید.



شکل ۷-۳: رفتار دمایی ولتاژ امیتر بیس ترانزیستور BJT

با محاسبه شیب نمودار ۷-۳، مشتق ولتاژ امیتر-بیس ترانزیستور BJT نسبت به تغییرات دما  $1/875 \text{ mV}/^\circ\text{C}$  به دست آمد. از این پس به منظور بالابردن دقت نتایج تئوری، این مقدار در محاسبات استفاده می‌شود. رابطه ولتاژ امیتر-بیس نسبت به تغییرات دما نشان‌دهنده ضریب حرارتی منفی (CTAT) است. رابطه مشهور ولتاژ حرارتی نسبت به دما نیز در ۱۵-۳ آمده است.

$$V_T = \frac{KT}{q} \quad (15-3)$$

که در این رابطه  $K$  ثابت بولتزمن و معادل  $1.381 \times 10^{-23} \text{ JK}^{-1}$  و  $q$  بار الکترون و  $C$   $1.6 \times 10^{-19} \text{ C}$  است. بنابراین با مشتق گرفتن از رابطه ۱۲-۳ نسبت به دما و مساوی صفر قرار دادن آن، شرط پایداری حرارتی ولتاژ خروجی مرجع به دست می‌آید. مشتق ولتاژ مرجع پیشنهادی نسبت به دما در رابطه ۱۶-۳ آمده است.

$$\frac{\partial V_{ref}}{\partial T} = \frac{C_1}{C_2(C_1 + C_a)} \times \left[ (C_a \times \frac{\partial V_{EB}}{\partial T}) + \left( \frac{C_1 K}{q} \ln 2 \right) \right] = 0 \quad (16-3)$$

با ساده‌سازی و جایگذاری مقادیر مجهول در رابطه ۱۶-۳، نسبت خازن‌های  $C_1$  و  $C_a$  به صورت رابطه ۱۷-۳ به دست می‌آید.

$$\frac{C_a}{C_1} = \frac{K}{1.875 \times 10^{-3} q} \ln 2 = 0.0319 \quad (17-3)$$

حال با استفاده از رابطه ۱۷-۳ می‌توان رابطه نهایی مرجع ولتاژ را به منظور پایداری حرارتی به صورت ۱۸-۳ نوشت.

$$V_{ref} = \frac{C_1}{C_2} \times 0.969 [0.0319 V_{EB}(I) + V_T \ln 2] \quad (18-3)$$

به عبارتی، ولتاژ مرجع تولید شده که در رابطه‌ی ۱۸-۳ مشاهده می‌شود، نسبت به تغییرات دما، فرآیند ساخت و ولتاژ تغذیه پایدار است و برای طراحی مدار و به منظور حفظ پایداری حرارتی، نسبت خازن‌های

$C_1$  و  $C_a$  باید با رابطه‌ی ۳-۱۷ هم‌خوانی داشته باشد و خازن  $C_2$  درجه آزادی کافی برای تنظیم سطوح دلخواه ولتاژ مرجع تولیدی را می‌دهد.

با در نظر گرفتن مقدار  $V_{EB}(I)$  برابر  $0.709$  ولت و  $V_T$  معادل  $0.026$  ولت، می‌توان رابطه‌ی مرجع ولتاژ را به صورت ۳-۱۹ ساده کرد.

$$V_{ref} = \frac{C_1}{C_2} \times 0.039 \quad (19-3)$$

با توجه به رابطه ۳-۱۹ و تنظیم نسبت دلخواه  $\frac{C_1}{C_2}$ ، می‌توان به تمام سطوح دلخواه مرجع ولتاژ دست یافت. بنابراین با این مدار پیشنهادی، تولید مرجع ولتاژ بدون حساسیت به دما و ولتاژ تغذیه و فرآیند ساخت با قابلیت تنظیم برای تولید ولتاژهای کمتر از  $1$  ولت نیز امکان‌پذیر است.

### ۳-۲-۲ ملاحظات طراحی مرجع ولتاژ کلید-خازنی مطرح شده

مرجع ولتاژ طراحی شده در بخش ۳-۲ دارای ویژگی‌های خوبی از قبیل پایداری حرارتی و عدم حساسیت به ولتاژ تغذیه، فرآیند ساخت و قابلیت تولید ولتاژهای زیر یک‌ولت است. اما این طراحی دارای کاستی‌هایی است که در ادامه بررسی می‌شوند.

با توجه به شکل ۳-۲ پایه مثبت تقویت‌کننده عملیاتی به ولتاژ امیتر-بیس متصل است و همان‌طور که در شکل ۳-۷ مشاهده می‌شود، بیشترین مقدار ولتاژ امیتر-بیس در برابر تغییرات دما حدود  $0.847$  است که ولتاژ پایه مثبت تقویت‌کننده عملیاتی نیز به این میزان بالا می‌رود. از طرفی با توجه به شکل ۳-۵، پایه مثبت تقویت‌کننده عملیاتی در فاز ۴ باید قابلیت تحمل ولتاژ  $0.7$  ولت را نیز داشته‌باشد. به عبارتی دیگر تقویت‌کننده مذکور می‌بایست محدوده مد مشترک ورودی بین  $0.84$  تا  $0$  ولت را داشته‌باشد. از طرفی در تمامی فازها، فیدبک منفی برقرار است، بنابراین در طراحی تقویت‌کننده

<sup>1</sup> ICMR:Input Common Mode Range

عملیاتی باید این نکته را در نظر داشت، زیرا تقویت کننده عملیاتی اصطلاحاً به یک ریل<sup>۱</sup> تغذیه نزدیک می شود و از آن جایی که سطح دیگری که باید تحمل کند حدوداً نزدیک به  $\frac{1}{2}V_{dd}$  است، بنابراین تقویت کننده عملیاتی طراحی شده باید سوینگ<sup>۲</sup> خروجی کامل<sup>۳</sup> داشته باشد. بنابراین برای استفاده از ساختارهای متداول تقویت کننده عملیاتی، نیاز به دو منبع تغذیه مثبت و منفی خواهیم داشت [۳۰]. اگرچه در برخی از مراجع ولتاژ موجود در مقالات از دو منبع تغذیه + و - استفاده شده است، ولی استفاده از دو منبع تغذیه، محبوبیت استفاده از این ساختار مرجع ولتاژ را نسبت به ساختارهای مشابه ولی با یک منبع تغذیه کاهش می دهد. قابل ذکر است که ساختارهای جدیدی برای تقویت کننده عملیاتی که با یک منبع تغذیه توانسته سوینگ بزرگی تولید کند نیز وجود دارد [۳۱]. اما باید این نکته را در نظر داشت که این گونه ساختارها طراحی تقویت کننده عملیاتی را پیچیده تر می کند. بنابراین می بایست مشکل نیاز به دو منبع تغذیه در مدار پیشنهادی را مرتفع نمود.

وجود آفست در مدارهایی که از تقویت کننده عملیاتی استفاده می کنند، یکی از بزرگترین عوامل تولید خطا در مراجع ولتاژ است [۳۲، ۳۳]. از آنجا که ولتاژ حرارتی آفست تقویت کننده عملیاتی غیرخطی است، نمی توان تاثیر حرارتی آن بر ولتاژ خروجی را به خوبی کاهش داد. بنابراین بهترین راه حذف آفست می باشد. متأسفانه مدار مطرح شده در بخش ۳-۲ نمی تواند اثر آفست تقویت کننده عملیاتی را کاهش دهد و این اثر خود را در خروجی مدار نشان می دهد. اگر در فازهای کلیدزنی مدار پیشنهادی، یک ولتاژ آفست  $V_{OS}$  در پایه ی منفی تقویت کننده عملیاتی در نظر بگیریم، ولتاژ مرجع تولیدی برابر است با:

$$V_{ref} = \frac{C_1}{C_2(C_1 + C_a)} \times [(C_1 \times V_T \ln 2) + (C_a \times V_{EB}(I)) + (C_1 \left( \frac{1}{C_1 + C_a} - 1 \right) \times V_{os})] \quad (۳-۲۰)$$

<sup>1</sup> Rail

<sup>2</sup> Swing

<sup>3</sup> Rail to Rail



با دقت در رابطه ۳-۲۰ می‌توان دریافت که تغییرات دمایی آفست، به صورت مستقیم بر تغییرات دمایی ولتاژ مرجع تاثیر می‌گذارد. به این دلیل که با در دست نبودن رابطه مشخصی از ولتاژ آفست، مقادیر خازن‌ها به گونه‌ای انتخاب می‌شوند تا شیب جمله اول با جمله دوم برابر شود، بنابراین تغییرات دمایی دو جمله اول جبران‌سازی شده و تغییرات آفست در ضریب پشت پرانتز ولتاژ مرجع ضرب می‌شود و مستقیماً بر پایداری دمایی ولتاژ مرجع تاثیر می‌گذارد. به عنوان مثال، تغییرات دمایی ولتاژ آفست ورودی تقویت‌کننده عملیاتی در [۳۴]  $12 \mu V / ^\circ C$  و در بهترین حالت در [۳۵] مقدار کمینه‌ی  $5 \mu V / ^\circ C$  گزارش شده است. بنابراین برای داشتن ولتاژ مرجع  $0.5$  ولت، مقدار خازن‌های  $C_1$ ،  $C_2$  و  $C_a$  به ترتیب  $3/84 pF$ ،  $0.3 pF$  و  $0.12 pF$  در نظر گرفته شده اند. به این ترتیب، این آفست می‌تواند تغییراتی به اندازه‌ی  $5/543 mV$  را در ولتاژ مرجع خروجی ایجاد کند که این تغییرات ضریب‌دمایی را به میزان  $88 ppm / ^\circ C$  افزایش می‌دهد.

حتی اگر آفست تقویت‌کننده را مستقل از تغییرات دما در نظر بگیریم، ولتاژ مرجع تولیدی بعد از ساده‌سازی از لحاظ پایداری دمایی به صورت ۳-۲۱ خواهد بود.

$$V_{ref} = 0.9672 \times \frac{C_1}{C_2} \times [(0.0339 V_{EB}(I)) + (V_T \ln 2) + \left(\frac{0.9672}{C_1} - 1\right) V_{os}] \quad (21-3)$$

همان‌طور که در رابطه‌ی ۳-۲۱ دیده می‌شود، ولتاژ آفست با یک ضریب به خروجی می‌آید که این ضریب همان ضریب تنظیم سطح ولتاژ خروجی می‌باشد. به عبارتی هر چه ولتاژ بزرگتری نیاز باشد، تاثیر آفست نیز بیشتر می‌شود. با دقت در رابطه‌ی ۳-۲۱ می‌توان دریافت که با اینکه ولتاژ آفست مقدار کمی (در حدود ۱۰۰ میکروولت تا ۱۰ میلی‌ولت) را دارد، اما با ولتاژهای کوچکی نیز جمع می‌شود. برای درک بهتر، با جایگذاری اعداد معلوم در رابطه‌ی ۳-۲۱ می‌توان دریافت ولتاژ آفست ضریبی بین ۰ و ۱ دارد و با ولتاژهای  $0.23$  و  $0.18$  ولت جمع می‌شود. بنابراین تاثیر آفست بر سطح ولتاژ مرجع خروجی غیرقابل چشم‌پوشی است. البته همان‌طور که قبلاً بیان شد، مشکل اصلی خطای ناشی از مقدار

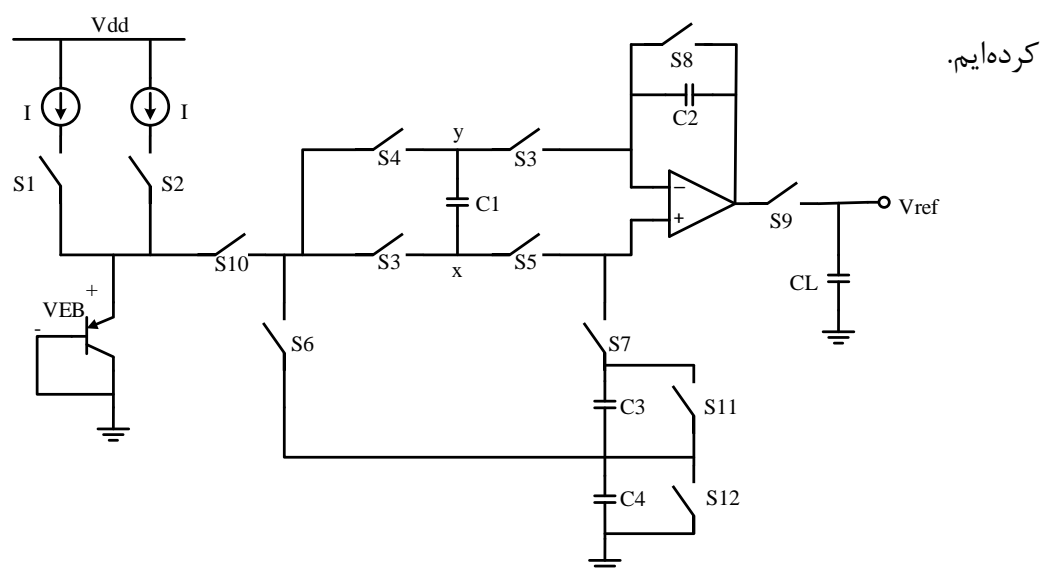
ولتاژ آفست نیست، بلکه رفتار حرارتی غیرخطی ولتاژ آفست است که به شدت بر رفتار حرارتی ولتاژ خروجی  $V_{ref}$  تاثیر گذارست.

با توجه به مشکلاتی که در این بخش برای مدار مطرح شده ذکر شد، در ادامه با تغییراتی در محل خازن‌ها و کلیدها و تغییر الگوی کلید-خازنی، مدار مرجع ولتاژی مطرح می‌شود که علاوه بر توانایی تنظیم سطوح دلخواه ولتاژ حتی زیر یک‌ولت، از تقویت‌کننده عملیاتی ساده‌تری (با یک منبع تغذیه) برای طراحی استفاده می‌کند و اثر آفست را نیز حذف خواهد نمود.

### ۳-۳ اصلاح طراحی مرجع ولتاژ کلید-خازنی پیشنهادی زیر یک ولت به منظور حذف

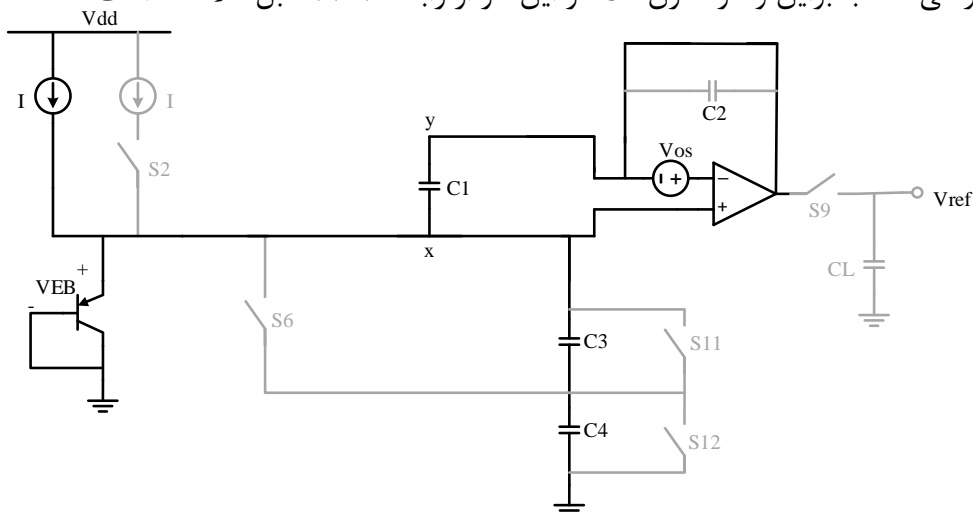
#### آفست و تغذیه منفی

مدار مطرح‌شده در بخش قبل توانایی تولید مرجع ولتاژ قابل تنظیم برای سطح‌های زیر یک‌ولت را داشت. برای حذف اثر آفست و عدم نیاز به دو منبع تغذیه با تغییراتی در نحوه اتصال المان‌ها و الگوی کلید-خازنی این مدار، مدار شکل ۳-۸ پیشنهاد می‌شود. این مدار به چهار فاز برای تولید خروجی معتبر نیاز دارد. در ادامه به شرح عملکرد مدار در هر فاز و چگونگی حذف آفست در خروجی پرداخته می‌شود. بدین منظور آفست تقویت‌کننده عملیاتی را با قراردادن یک منبع ولتاژ  $V_{OS}$  در ورودی منفی آن مدل



شکل ۳-۸: مدار مرجع ولتاژ کلید-خازنی زیر یک ولت پیشنهادی با اثر حذف آفست

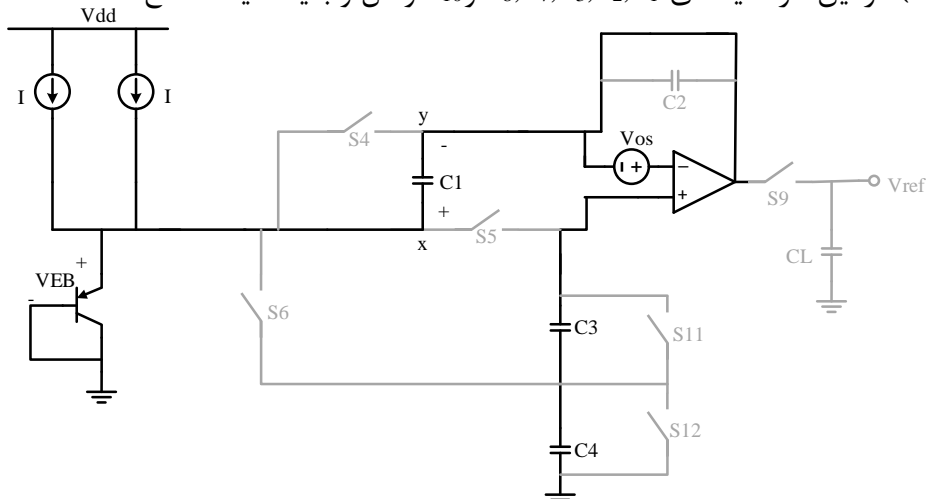
فاز ۱) در این فاز کلیدهای  $S_1, S_3, S_5, S_7, S_8$  و  $S_{10}$  وصل و بقیه کلیدها قطع هستند. شکل ۳-۹ مدار را در این فاز نشان می‌دهد. همان‌طور که بیان شد، ولتاژ آفست تقویت‌کننده عملیاتی به صورت یک منبع ولتاژ در پایه منفی آن مدل شده‌است. در این فاز خازن  $C_2$  اتصال کوتاه شده است و باری بر روی آن ذخیره نمی‌شود. همچنین خازن  $C_1$  که به ولتاژ آفست متصل است، به میزان ولتاژ آفست شارژ می‌شود. با توجه به شکل ۳-۹ به راحتی می‌توان دریافت که ولتاژ گره  $X$  (ورودی مثبت تقویت‌کننده عملیاتی) برابر ولتاژ  $V_{EB}(I)$  است و همچنین این ولتاژ، خازن‌های  $C_3$  و  $C_4$  که سری با هم هستند را نیز شارژ می‌کند، بنابراین ولتاژ خازن  $C_4$  در این فاز از رابطه ۳-۲۲ قابل ملاحظه است.



شکل ۳-۹: مدار مرجع ولتاژ کلید-خازنی زیر یک ولت پیشنهادی با اثر حذف آفست در فاز ۱

$$V_{C4} = \frac{C_3}{C_3 + C_4} V_{EB}(I) \quad (۳-۲۲)$$

فاز ۲) در این فاز کلیدهای  $S_1, S_2, S_3, S_7, S_8$  و  $S_{10}$  وصل و بقیه کلیدها قطع هستند.



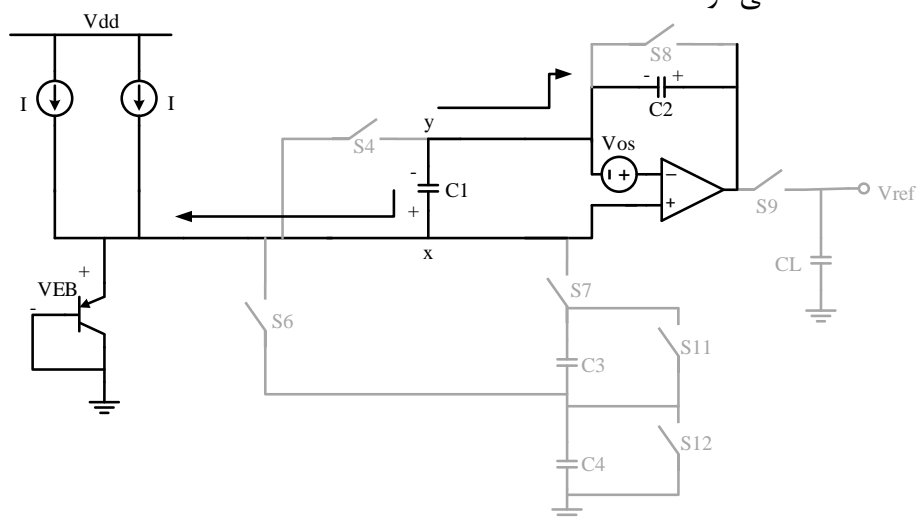
شکل ۳-۱۰: مدار مرجع ولتاژ کلید-خازنی زیر یک ولت پیشنهادی با اثر حذف آفست در فاز ۲

شکل ۳-۱۰، مدار را در این فاز نشان می‌دهد. خازن  $C_2$  هنوز اتصال کوتاه است و باری روی آن ذخیره نمی‌شود. خازن  $C_1$  تنها خازنی است که در این فاز شارژ می‌شود. با توجه به این که ولتاژ خازن  $C_3$  و  $C_4$  در فاز قبل برابر  $V_{EB}(I)$  بود، رابطه ۳-۲۳ میزان ولتاژ دو سر خازن  $C_1$  را نشان می‌دهد.

$$V_{C1} = V_{EB} (2I) - V_{EB} (I) + V_{os} \quad (۳-۲۳)$$

فاز ۳ در این فاز کلیدهای  $S_1, S_2, S_3, S_5$  و  $S_{10}$  بسته و بقیه کلیدها باز هستند. شکل مدار در این

فاز، در ۳-۱۱ مشاهده می‌شود.



شکل ۳-۱۱: مدار مرجع ولتاژ کلید-خازنی زیر یک ولت پیشنهادی با اثر حذف آفست در فاز ۳

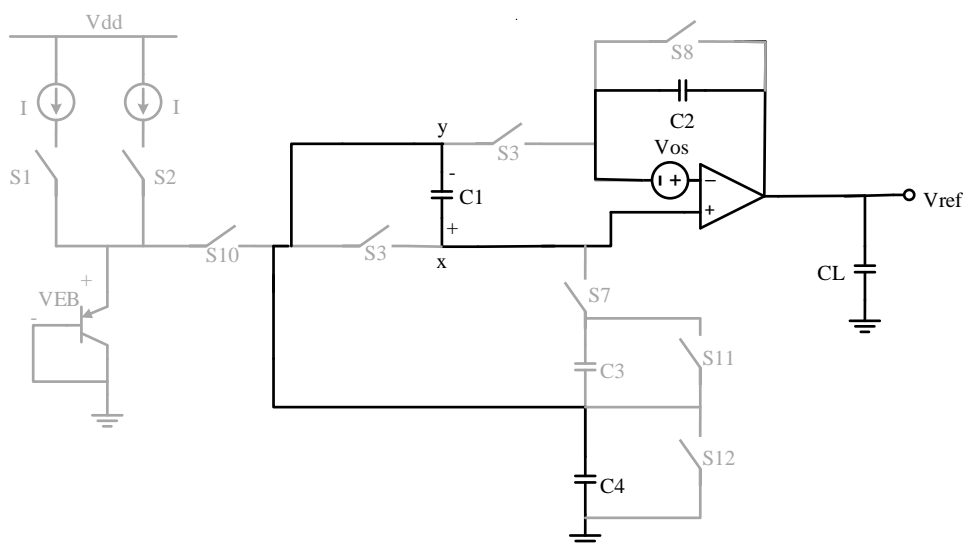
از آنجایی که به دلیل فیدبک منفی که توسط خازن  $C_2$  ایجاد می‌شود، پایه‌های مثبت و منفی تقویت‌کننده عملیاتی هم‌پتانسیل هستند، پس دو سر خازن  $C_1$  با منبع ولتاژ  $V_{OS}$  محصور می‌شود. باری که معادل ولتاژ رابطه‌ی ۳-۲۳ است، در فاز ۲ روی خازن  $C_1$  ذخیره شده و در این فاز باید این بار از صفحات خازن تخلیه شود و فقط باری معادل ولتاژ  $V_{OS}$  روی آن باقی بماند. بار صفحه متصل به گره  $X$  به سمت مسیر منبع جریان و ترانزیستور BJT می‌رود و بار صفحه متصل به گره  $Y$  به سمت خازن  $C_2$  حرکت می‌کند.

رابطه ۳-۲۴ ولتاژ ذخیره شده روی خازن  $C_2$  را نشان می‌دهد.

$$V_{C2} = \frac{C_1}{C_2} (V_{EB} (2I) - V_{EB} (I)) = \frac{C_1}{C_2} V_T \ln 2 \quad (۳-۲۴)$$

فاز ۴) در این فاز کلیدهای  $S_4, S_5, S_6$  و  $S_9$  بسته و بقیه کلیدها باز هستند. این فاز آخرین فاز کلیدزنی است و بعد از آن، خروجی معتبر تولید می‌شود. شکل مدار در این فاز در ۳-۱۲ آمده است. در این فاز گره ولتاژ مرجع خروجی به مدار اصلی متصل است و خازن بار شارژ می‌شود. با اعمال KVL در مسیر خروجی، رابطه ی ۳-۲۵ به دست می‌آید.

$$V_{ref} = V_{C4} + V_{C1} - V_{os} + V_{C2} \quad (25-3)$$



شکل ۳-۱۲: مدار مرجع ولتاژ کلید-خازنی زیر یک ولت پیشنهادی با اثر حذف آفست در فاز ۴ از آنجایی که در فاز ۳، باری معادل ولتاژ آفست روی خازن  $C_1$  ذخیره شده بود، ولتاژ آفست در رابطه ی ۳-۲۵ حذف می‌شود و ولتاژ مرجع نهایی تولید شده با جاگذاری روابط ۳-۱۵ و ۳-۲۲ و ۳-۲۴ در رابطه ی ۳-۲۵، به صورت رابطه ۳-۲۶ خواهد بود.

$$V_{ref} = \left(\frac{C_1}{C_2}\right)\left(\frac{KT}{q}\right)\ln 2 + \frac{C_3}{C_3 + C_4} V_{EB}(I) \quad (26-3)$$

با دقت در رابطه ی ۳-۲۶ می‌توان دریافت که مرجع ولتاژ تولید شده وابسته به فرآیند ساخت، منبع تغذیه و همچنین آفست تقویت‌کننده عملیاتی نیست. با توجه به ۴ خازنی که رابطه ی مرجع ولتاژ را تولید می‌کنند، این مدار قابلیت تولید سطوح دلخواه ولتاژ را با حفظ پایداری حرارتی دارد. قابل ذکر

است که کلیدهای  $S_{11}$  و  $S_{12}$  به منظور صفر کردن بار خازن‌های  $C_3$  و  $C_4$  قرار گرفته‌اند. به همین منظور این کلیدها بعد از فاز چهارم و قبل از شروع دوباره فاز اول وصل می‌شوند و بار خازن‌های  $C_3$  و  $C_4$  را تخلیه می‌کنند.

از طرفی ساختار پیشنهادی مرجع ولتاژ دوم مشکل طراحی تقویت‌کننده عملیاتی را ندارد. از آنجاکه در این ساختار بازه‌ی مدمشترک ورودی کوچک‌تر شده و کمترین ولتاژی که باید تحمل کند ولتاژ خازن  $C_4$  است، در صورتی که در ساختار پیشنهادی اول، کمترین سطح ولتاژ قابل تحمل  $0V$  بود. در بخش بعد محاسبات مورد نیاز و روابط حاکم بر خازن‌ها به منظور داشتن پایداری حرارتی در ولتاژ خروجی  $V_{ref}$  انجام می‌شود. هم‌چنین ولتاژ مرجع ساده شده با در نظر گرفتن روابط پایداری حرارتی، بیان می‌شود.

### ۳-۳-۱ محاسبات پایداری مرجع ولتاژ زیر یک ولت پیشنهادی با حذف آفست

با توجه به محاسبات انجام شده در بخش قبل، ولتاژ مرجع بدون در نظر گرفتن پایداری حرارتی به صورت رابطه ۳-۲۶ به دست‌آمد. برای این‌که خروجی مدار مرجع ولتاژ به تغییرات دما حساس نباشد، باید مشتق رابطه ۳-۲۶ نسبت به دما صفر باشد.

$$\frac{\partial V_{ref}}{\partial T} = \left(\frac{C_1}{C_2}\right)\left(\frac{K}{q} \times \ln 2\right) + \left(\frac{C_3}{C_3 + C_4}\right) \times \frac{\partial V_{EB}(I)}{\partial T} = 0 \quad (۳-۲۷)$$

بنابراین،

$$\left(\frac{C_1}{C_2}\right)\left(\frac{K}{q} \times \ln 2\right) = -\frac{\partial V_{EB}(I)}{\partial T} \times \frac{C_3}{C_3 + C_4} \quad (۳-۲۸)$$

با جایگذاری مقادیر  $k$  و  $q$  و استفاده از شکل ۳-۷ برای  $\frac{\partial V_{EB}(I)}{\partial T}$ ، رابطه ۳-۲۸ به صورت زیر بازنویسی می‌شود.

<sup>1</sup> Reset

$$\frac{C_1}{C_2} = 31.34 \times \frac{C_3}{C_3 + C_4} \quad (29-3)$$

در نتیجه با جایگذاری رابطه ۲۹-۳ در ۲۶-۳، رابطه ۳۰-۳ برای ولتاژ مرجع پیشنهادی به دست می آید.

$$V_{ref} = 0.0406 \frac{C_1}{C_2} \quad (30-3)$$

یا،

$$\frac{C_1}{C_2} = 24.6 V_{ref} \quad (31-3)$$

حال با استفاده از رابطه ی ۳۱-۳ می توان رابطه ی ۳۰-۳ را به صورت زیر بازنویسی کرد.

$$\frac{C_4}{C_3} = \frac{1.272}{V_{ref}} - 1 \quad (32-3)$$

دو رابطه ۳۱-۳ و ۳۲-۳، دو رابطه کلیدی طراحی مدار مرجع ولتاژ مطرح شده هستند. به عبارتی با انتخاب ولتاژ مرجع دلخواه تولیدی و همچنین جایگذاری مقدار ولتاژ مرجع در این دو رابطه، نسبت چهار خازن به دست می آید. با دقت در رابطه ۳۲-۳ و با توجه به این که نسبت دو خازن همواره عددی مثبت است، می توان دریافت که با این ساختار پیشنهادی، می توان ولتاژهای مرجع در بازه ی [ 1.26V , 0mV ] را تولید کرد. این بازه ولتاژ خروجی مطلوب است. به این خاطر که مراجع ولتاژ متداول با سطح ثابت، ولتاژی در حدود بندگپ سیلیکون و ۱/۲۷ تولید می کنند. اما مدار پیشنهادی می تواند ولتاژهای قابل تنظیم و حتی زیر یکولت را نیز تولید کند.

### ۴-۳ نتیجه گیری

در این فصل به معرفی دو مدار مرجع ولتاژ کلید-خازنی زیر یکولت پیشنهادی پرداخته شد. نحوه عملکرد مدارها در فازهای مختلف و شرایط لازم برای پایداری حرارتی بررسی شد. اولین مدار مطرح شده در کنار داشتن ویژگی های خوب تولید ولتاژ زیر یکولت و

حذف عدم تطبیق بین منبع‌های جریان، دارای ویژگی‌های نامطلوبی از قبیل حذف نکردن آفست تقویت‌کننده عملیاتی بوده و نیاز به طراحی تقویت‌کننده عملیاتی با دو منبع تغذیه را دارد. بنابراین با جابه‌جایی خازن‌ها و کلیدها و ارائه یک الگوی کلید-خازنی جدید، مدار مرجع ولتاژ پیشنهادی به گونه‌ای اصلاح شد که علاوه بر تولید ولتاژ ثابت و معتبر دلخواه در خروجی، قابلیت حذف آفست را نیز به دست آورد. همچنین با توجه به وجود دو درجه آزادی در انتخاب خازن‌ها، علاوه بر جبران‌سازی حرارتی می‌توان با انتخاب صحیح خازن‌ها ولتاژ خروجی قابل تنظیم ساخت. به علاوه ساختار دوم مشکل طراحی تقویت‌کننده عملیاتی با دو منبع تغذیه را ندارد و می‌تواند با تقویت‌کننده عملیاتی ساده‌تری کار کند.



## فصل ۴:

شبیه‌سازی مدار مرجع ولتاژ زیر  
یک‌ولت پیشنهادی با حذف آفست

## ۱-۴ مقدمه

در فصل سوم به ارائه نظریه مرجع ولتاژ کلید-خازنی زیر یک‌ولت و نحوه‌ی عملکرد محاسبات آن پرداخته شد. بعد از اعمال چند تغییر در طراحی مدار، مدل جدیدی از مدار مرجع ولتاژ مطرح شد که علاوه بر قابلیت تولید سطوح دلخواه ولتاژ خروجی، قابلیت حذف آفست را نیز داشت.

در این فصل برای تایید محاسبات و تحلیل‌های انجام شده در فصل قبل، مدار پیشنهادی را شبیه‌سازی و نتایج حاصل از آن را بررسی می‌کنیم. شکل موج خروجی و منحنی تغییرات دمایی و آزمایش حذف آفست، مهم‌ترین بخش‌های مطرح شده در این فصل هستند. شبیه‌سازی مدار در نرم‌افزار ADS ۲۰۰۹ و با تکنولوژی TSMC 0.18μm CMOS انجام شده است.

## ۲-۴ ملاحظات طراحی

همان‌طور که در فصل سوم گفته شد، مدار مرجع ولتاژ مطرح شده، دارای قابلیت تنظیم ولتاژ خروجی است. به منظور ارائه نتیجه‌های شبیه‌سازی، ولتاژ خروجی دلخواهی (برای مثال ۰/۴۶۷) انتخاب شده و طراحی‌ها براساس آن انجام می‌شود.

## ۱-۲-۴ انتخاب اندازه خازن‌ها

با فرض این‌که ولتاژ مرجع خروجی مورد نیاز، ۰/۴۶۷ باشد، طبق رابطه‌های ۳-۳۱ و ۳-۳۲

می‌توان نوشت:

$$\frac{C_4}{C_3} = \frac{1.272}{0.46} - 1 \approx 1.76 \quad (۱-۴)$$

$$\frac{C_1}{C_2} = 24.61V \times 0.46 \approx 11.35 \quad (۲-۴)$$

به همین منظور مقدار خازن‌های  $C_1$  تا  $C_4$  مشابه جدول ۱-۴ انتخاب شده‌اند.

جدول ۴-۱: مقدار خازن های مدار مرجع ولتاژ زیر یک ولت پیشنهادی

خازن	$C_1$	$C_2$	$C_3$	$C_4$	$C_L$
مقدار (pF)	۵/۱	۰/۴۵	۰/۵	۰/۹	۳

مقدار مطلق خازن‌ها با توجه به روابط ۳-۳۱ و ۳-۳۲ در فصل سوم انتخاب می‌شوند و سعی شده‌است محدوده خازن‌های انتخابی بین  $100\text{fF}$  تا حدوداً  $10\text{pF}$  باشد. چراکه اگر خازن‌ها خیلی کوچک انتخاب شوند، به دلیل وجود تقویت‌کننده عملیاتی و کلیدهای ماسفتی، خازن‌های پارازیتیکی<sup>۱</sup> بخش‌های مختلف از جمله ترانزیستورهای تقویت‌کننده عملیاتی در رفتار مدار دخیل می‌شوند و با خازن‌های اصلی مدار ترکیب می‌شوند و ممکن است نتیجه مطلوب حاصل نشود. از طرفی استفاده از خازن‌های بسیار بزرگ در طراحی مدارهای مجتمع منطقی نیست. زیرا با فناوری مورد استفاده سازگاری ندارد و همچنین سطح اشغالی روی تراشه نیز بیشتر می‌شود. همچنین انتخاب خازن بزرگ، سرعت مدار را به شدت تحت تاثیر قرار می‌دهد. از طرفی هر چه خازنی که تحت تاثیر اثرهای نامطلوب کلیدزنی قرار دارد بزرگتر انتخاب شود، بار روی آن کمتر دستخوش تغییر می‌شود. بنابراین در انتخاب اندازه‌ی خازن‌ها مصالحه‌ای وجود دارد و باید طبق طراحی دیگر بخش‌های مدار، مقداردهی مطلق آن انجام شود.

#### ۴-۲-۲ طراحی تقویت‌کننده عملیاتی

از آنجا که مدار مرجع ولتاژ کلید-خازنی مطرح شده در فصل سوم با فیدبک منفی تقویت‌کننده عملیاتی کار می‌کند، بنابراین بهره بزرگ تقویت‌کننده عملیاتی بسیار بر عملکرد مدار تاثیر می‌گذارد. زیرا هر چه بهره بزرگتر باشد، پتانسیل پایه‌های مثبت و منفی به هم نزدیک‌تر است و نتیجه به حالت تئوری نزدیک‌تر می‌شود.

<sup>1</sup> Parasitic

از پارامترهای دیگری که در انتخاب تقویت کننده عملیاتی برای مرجع ولتاژ پیشنهادی مهم است، سوپینگ خروجی و بازه‌ی مد مشترک ورودی است. به دلیل حضور فیدبک منفی در تمامی بازه‌ها و اتصال گره خروجی تقویت کننده عملیاتی به ورودی آن، پس باید سوپینگ خروجی در محدوده‌ی مدمشترک ورودی باشد. پایه‌های ورودی تقویت کننده عملیاتی در فاز اول به بیشترین سطح ولتاژ یعنی  $V_{EB}(I)$  متصل هستند و در فاز چهارم نیز باید بتوانند ولتاژ خازن  $C_4$  که کمترین سطح ولتاژ است را تحمل کنند. از آنجا که این دو ولتاژ با تغییرات دما تغییر می‌کنند، بنابراین باید کمترین و بیشترین سطح ولتاژ را در تحلیل دمایی محاسبه و در نظر گرفت. به این ترتیب بیشترین و کمترین سطح ولتاژ قابل تحمل ورودی به ترتیب  $850\text{mV}$  و  $150\text{mV}$  است. ولتاژ مرجع انتخابی نیز  $460\text{mV}$  در نظر گرفته شده که در بازه‌ی مد مشترک ورودی است.

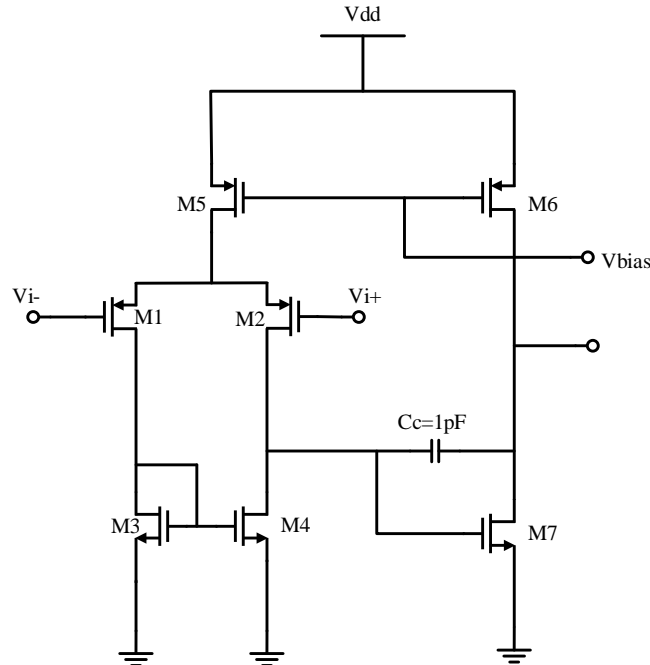
از طرفی تقویت کننده عملیاتی با فیدبک منفی، باید از فرکانس بهره واحد بالایی برخوردار باشد تا در زمان کلیدزنی بتواند به خوبی عمل کند. البته بین فرکانس بهره واحد و سرعت کلیدزنی رابطه مستقیم وجود دارد. بنابراین اگر باتوجه به محدودیت‌های طراحی تقویت کننده عملیاتی، فرکانس بهره واحد پایین آورده شود، می‌توان با طولانی‌تر کردن زمان کلیدزنی آن را جبران کرد.

به همین منظور تقویت کننده عملیاتی دو طبقه با داشتن بهره بزرگ و سوپینگ بالای خروجی انتخاب مناسبی است. هم‌چنین به دلیل بازه‌ی مد مشترک ورودی، از تقویت کننده عملیاتی با ورودی PMOS استفاده شده است تا بتواند سطح‌های پایین ولتاژ (پایین‌تر از  $V_{dd}/2$ ) را به خوبی تقویت کند. شکل ۴-۱، تقویت کننده عملیاتی استفاده شده برای شبیه‌سازی مدار مرجع ولتاژ پیشنهادی را نشان می‌دهد.

تقویت کننده عملیاتی باید کمترین تاثیر را بر تحلیل دمایی مدار بگذارد. زیرا اگر تقویت کننده عملیاتی در دماهای مختلف، بهره متفاوتی داشته باشد، در هر دما نتیجه مدار متفاوت می‌شود و ولتاژ

<sup>1</sup> UGB:Unity Gain Bandwidth

خروجی مدار را دستخوش تغییر می‌کند. از آنجاکه بخش قابل توجهی از جریان مدار توسط تقویت‌کننده عملیاتی مصرف می‌شود، بنابراین طراحی تقویت‌کننده‌ای که بتواند جریان کمی مصرف کند، بسیار به محبوبیت مدار می‌افزاید.



شکل ۴-۱: تقویت‌کننده عملیاتی دو طبقه استفاده شده در مرجع ولتاژ پیشنهادی

ابعاد ترانزیستورهای این تقویت‌کننده در جدول ۴-۲ آمده است.

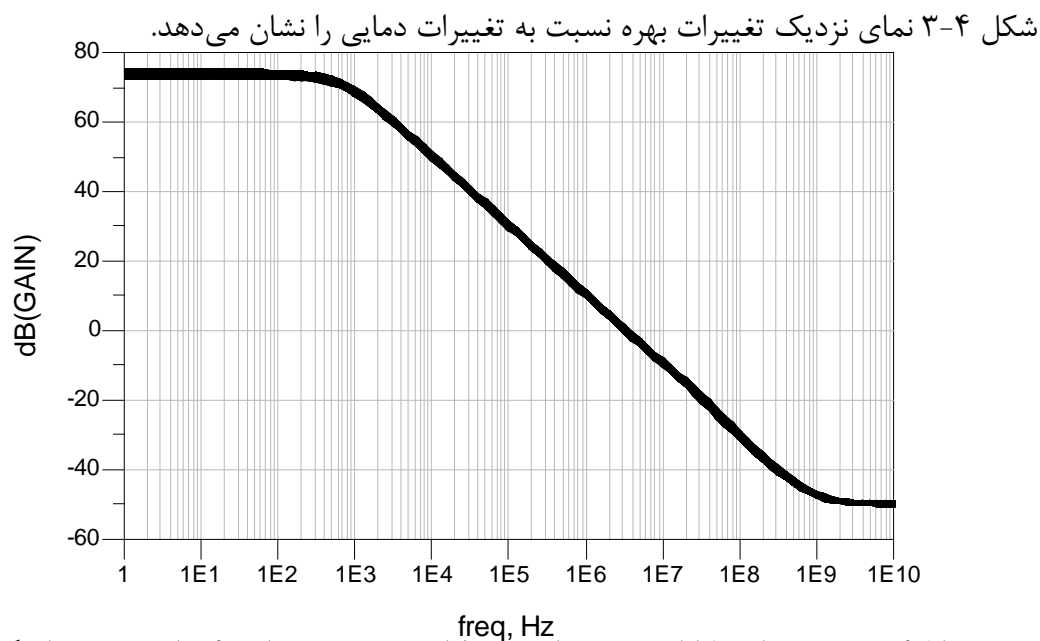
جدول ۴-۲: ابعاد ترانزیستورهای استفاده شده در تقویت‌کننده عملیاتی دو طبقه

نام ترانزیستور	اندازه $W (\mu m)$	اندازه $L (\mu m)$
M <sub>1</sub> , M <sub>2</sub>	۱۰	۳
M <sub>3</sub> , M <sub>4</sub>	۹۰	۰/۵
M <sub>5</sub> , M <sub>6</sub>	۴۵	۰/۵
M <sub>7</sub>	۱۷۰	۰/۵

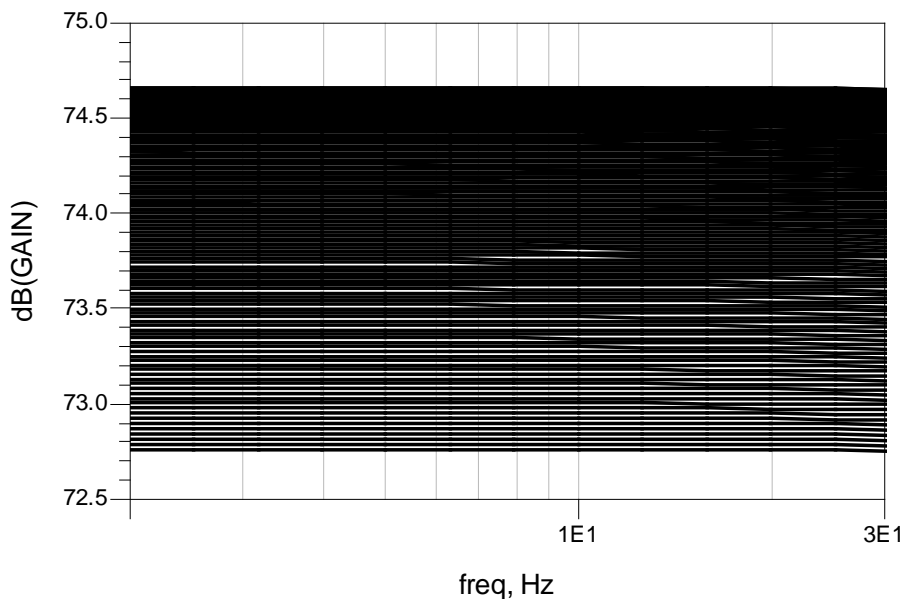
تقویت‌کننده عملیاتی طراحی شده دارای بهره حلقه باز بالا و تغییرات پایین نسبت به تغییرات دما است که اثرات خطای تقویت‌کننده عملیاتی را از خروجی حذف می‌کند. از طرفی طراحی به گونه‌ای صورت گرفته که با توجه به ویژگی‌های مناسب این مدار، مجموع جریان مصرفی این بخش حدود ۹

میکروآمپر است که مجموع جریان مصرفی را بسیار کاهش می‌دهد. شکل ۲-۴ بهره تقویت‌کننده عملیاتی را در دماهای مختلف نشان می‌دهد.

بهره تقویت‌کننده عملیاتی طراحی شده ۷۵ dB و فرکانس بهره واحد آن ۳MHz است که این بهره به هم‌پتانسیل شدن گره‌های مثبت و منفی در زمان فیدبک منفی کمک می‌کند. همان‌طور که در شکل ۲-۴ مشاهده می‌شود، تغییرات دما تاثیر زیادی بر روی بهره تقویت‌کننده عملیاتی نمی‌گذارد.



شکل ۲-۴: منحنی پاسخ فرکانسی تقویت‌کننده عملیاتی در محدوده دمایی ۴۰- تا ۸۵ درجه سانتیگراد



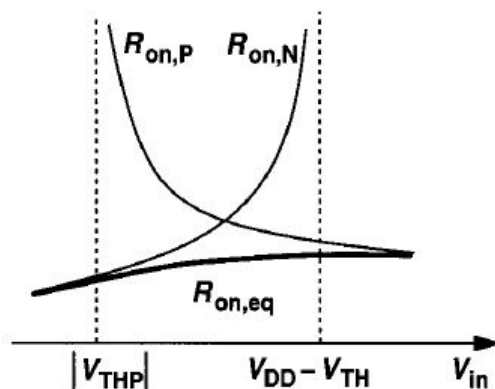
شکل ۳-۴: تغییرات بهره تقویت‌کننده عملیاتی دوطبقه مرجع ولتاژ نسبت به دما

این تقویت‌کننده عملیاتی در بازه‌ی مد مشترک ورودی  $0.5-0$  تا  $1/2$  ولت به‌خوبی کار می‌کند.

#### ۳-۲-۴ انتخاب و طراحی کلید

کلیدهای ماسفتی دارای ویژگی‌های خوب هستند که محبوبیت استفاده از این کلیدها را بیشتر می‌کند. به دلیل قطع مسیر کانال در زیر گیت این ترانزیستورها در زمان خاموشی، مسیر اتصال ورودی به خروجی کاملاً قطع می‌شود و عبور سیگنال کاملاً متوقف می‌شود. از طرفی امپدانس بالای ورودی نیز، مسیر سیگنال کنترل‌کننده کلید را با مسیر عبور سیگنال تفکیک می‌کند. همچنین مسافت قابلیت روشن شدن با جریان صفر را دارد.

این کلیدها با تغییر پایه‌های سورس و درین نیز، همچنان قابلیت عبور سیگنال را دارد. در انتخاب کلید کانال  $P^1$  و کانال  $N^2$  نیز، باید سطح سیگنال عبوری را بررسی کرد. کلید کانال  $N$  قابلیت عبور سیگنال نزدیک صفر را دارد و اگر سیگنال عبوری نزدیک به سطح منبع تغذیه باشد، باید از کلید کانال  $P$  استفاده کرد. به این نکته باید توجه کرد که اگر مسیری هر دو سطح ولتاژ بالا و پایین را عبور دهد، کلید مکمل انتخاب مناسبی است. این کلیدها، مقاومت روشنایی یکسانی در تمام بازه‌ی ولتاژ ورودی دارند. شکل ۴-۴، مقاومت روشنایی کلید مکمل نسبت به ولتاژ ورودی را نشان می‌دهد.



شکل ۴-۴: مقاومت روشنایی کلید مکمل نسبت به ولتاژ ورودی کلید [۴]

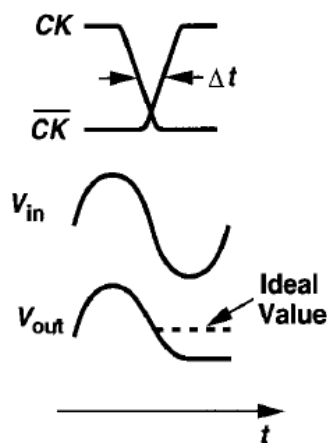
<sup>1</sup> PMOS

<sup>2</sup> NMOS

<sup>3</sup> T-Gate

از دیگر ملاحظات انتخاب و طراحی کلید، توجه به امر سرعت است. در بسیاری از مدارها، سرعت تولید خروجی بسیار مهم است. بنابراین کلیدها باید به سرعت قطع و وصل شوند تا زمان کمتری صرف روشن و خاموش شدن آنها شود. از عوامل موثر بر سرعت کلیدها، انتخاب ابعاد است. هرچه اندازه عرض به طول<sup>۱</sup> ترانزیستور بیشتر باشد، مقاومت کلید کمتر شده و به دلیل کم شدن ثابت زمانی، سرعت بیشتر می شود. در نتیجه ابعاد کلیدهای استفاده شده در مدار مرجع ولتاژ مطرح شده باید به دقت انتخاب شود. زیرا مدارهای کلید-خازنی بسیار حساس به اثر نفوذ کلاک<sup>۲</sup> و تزریق بار کانال<sup>۳</sup> هستند.

اگر از کلیدهای مکمل برای مدار استفاده می شود، باید اندازه‌ها به گونه‌ای انتخاب شود که دو ترانزیستور کانال P و N هر دو همزمان خاموش شوند، وگرنه بخشی از سیگنال ورودی به صورت ناخواسته به خروجی راه می یابد. شکل ۴-۵، اثر این اتفاق را نشان می دهد. اگر اندازه‌های عرض به طول کلیدها به درستی انتخاب نشود، اثر تزریق بار کانال غیرقابل چشم پوشی است. در زمان روشن بودن کلید، کانال زیر گیت ترانزیستور ماسفت باری را در خود ذخیره می کند.



شکل ۴-۵: اعوجاج ایجاد شده در اثر خاموش نشدن همزمان ترانزیستورهای کلید مکمل [۴]

هنگام خاموش شدن کلید این بار از زیر کانال تخلیه می شود. به صورت قراردادی و با فرض یکسان بودن ورودی و خروجی، نصف بار به سمت ورودی و نیمه دیگر به سمت خروجی می رود. پس

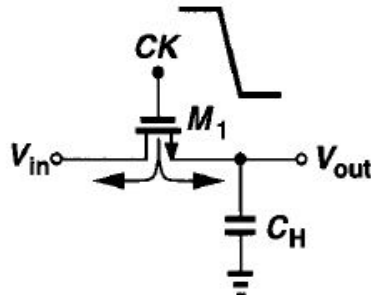
<sup>1</sup> Aspect ratio

<sup>2</sup> Clock feedthrough

<sup>3</sup> Channel charge injection



می‌تواند عملکرد خروجی را تحت تاثیر قرار دهد. شکل ۶-۴ بارکانال منتقل شده به خروجی را نشان می‌دهد. با توجه به شکل ۶-۴، باری که از طریق کانال به خروجی منتقل می‌شود در رابطه‌ی ۳-۴ نشان داده شده‌است.



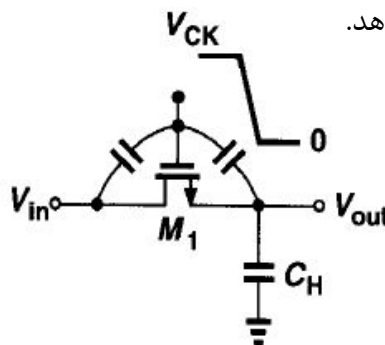
شکل ۶-۴: اثر تزریق بار کانال در زمان خاموش شدن کلید [۴]

$$Q = WLC_{ox}(V_{DD} - V_{in} - V_{th}) \quad (3-4)$$

در این رابطه  $W$  عرض و  $L$  طول ترانزیستور است.  $C_{ox}$  خازن اکسید گیت و  $V_{th}$  ولتاژ آستانه است. همان‌طور که در رابطه ۳-۴ مشاهده می‌شود بار زیر کانال با نسبت عرض و طول ترانزیستور نسبت مستقیم دارد. پس با کوچک انتخاب کردن اندازه ترانزیستور، بار تزریقی کمتر می‌شود. اما مصالحه‌ای بین بار کانال و سرعت کلیدزنی ایجاد می‌شود.

آخرین اثری که طراحی کلید را حساس می‌کند، اثر نفوذ کلاک است. به دلیل وجود خازن بین پایه‌های گیت و سورس و هم‌چنین بین پایه‌های گیت و درین و از آنجا که خازن تغییر ناگهانی را نمی‌پذیرد، با لبه‌ی بالارونده و پایین‌رونده سیگنال کنترلی، سیگنال عبوری نیز پرش می‌کند. شکل

۷-۴ اثر نفوذ کلاک را نشان می‌دهد.



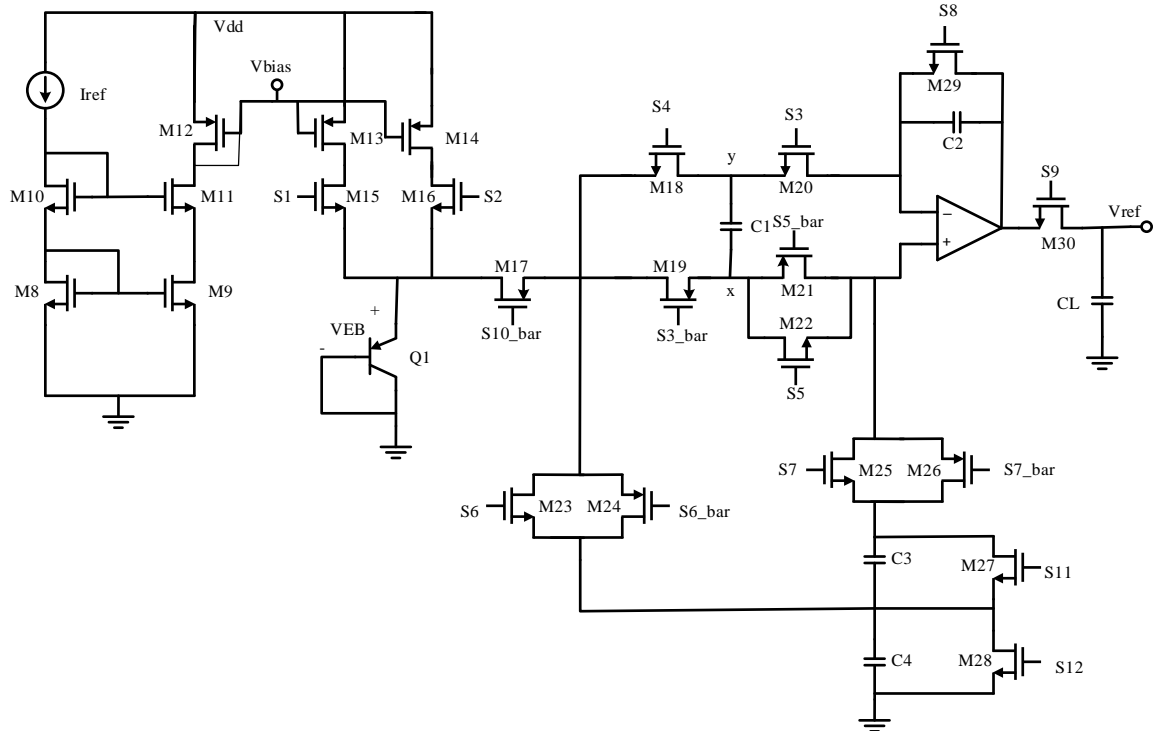
شکل ۷-۴: اثر نفوذ کلاک در کلید [۴]

هر دو اثر تزریق بار کانال و نفوذ کلاک تاثیر بسزایی در خروجی مدار مرجع ولتاژ زیر یک ولت

طراحی شده دارند.

### ۳-۴ شبیه‌سازی مرجع ولتاژ ولتاژ کلید-خازنی زیریک‌ولت پیشنهادی با حذف آفست

شکل ۴-۸ مدار مرجع ولتاژ کلید-خازنی زیر یک ولت با قابلیت حذف آفست را نشان می‌دهد.



شکل ۴-۸: شماتیک واقعی مدار مرجع ولتاژ کلید-خازنی زیر یک ولت پیشنهادی با حذف آفست

در این مدار از تقویت‌کننده عملیاتی شکل ۴-۱ استفاده شده است. همان‌طور که در بخش قبل

بررسی شد، انتخاب ابعاد کلیدها باید با دقت بسیار انتخاب شود، زیرا تاثیر نفوذ کلاک و تزریق بار

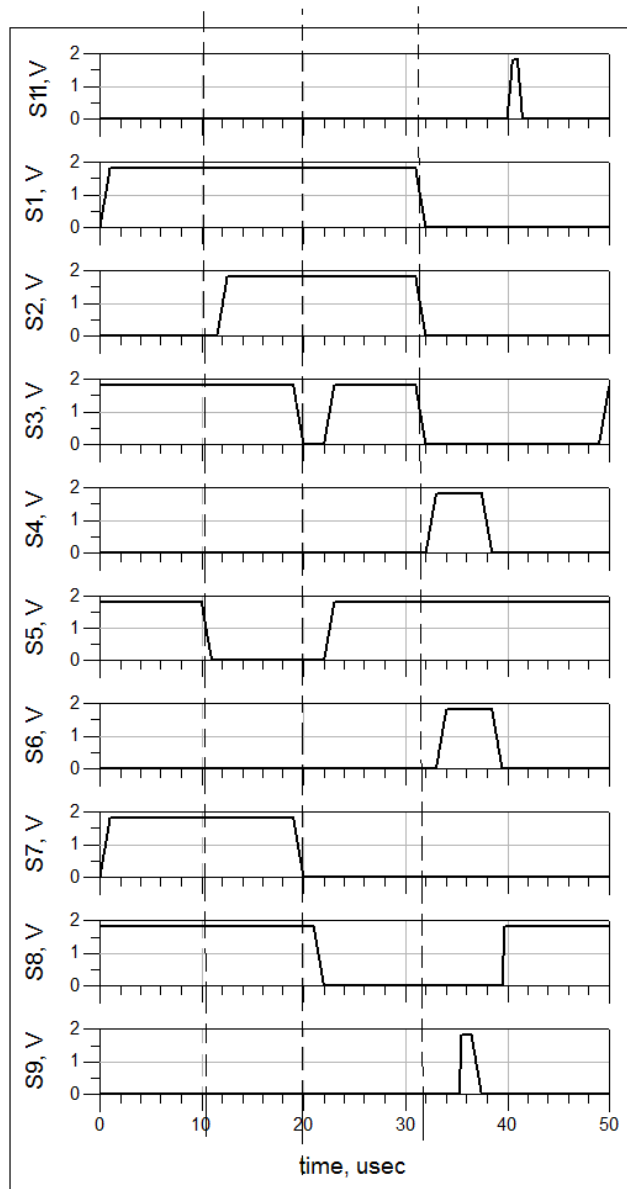
غیرقابل چشم‌پوشی است و تا حد امکان باید این اثر را کاهش داد. اندازه ترانزیستورهای شکل ۴-۸ در

جدول ۴-۳ آمده است.

جدول ۴-۳: اندازه ترانزیستورهای استفاده شده در شکل واقعی مرجع ولتاژ کلید-خازنی زیر یک‌ولت پیشنهادی

نام ترانزیستور	$(W/L)_{\mu m}$	نام ترانزیستور	$(W/L)_{\mu m}$	نام ترانزیستور	$(W/L)_{\mu m}$
M <sub>13</sub> ,M <sub>14</sub>	50/0.5	M <sub>8</sub> ,M <sub>9</sub> ,M <sub>10</sub> ,M <sub>11</sub> ,M <sub>12</sub>	0.45/0.5	M <sub>26</sub>	0.66/0.18
M <sub>26</sub>	0.66/0.18	M <sub>15</sub> ,M <sub>16</sub> ,M <sub>18</sub> ,M <sub>21</sub> ,M <sub>30</sub>	0.22/0.18	M <sub>25</sub>	0.45/0.18
M <sub>20</sub>	0.32/0.18	M <sub>17</sub> ,M <sub>18</sub>	1/0.18	M <sub>29</sub>	1.52/0.18
M <sub>23</sub>	0.45/0.78	M <sub>27</sub> ,M <sub>28</sub>	0.62/1	M <sub>24</sub>	0.66/0.78
M <sub>22</sub>	0.57/0.18				

همچنین براساس فازهای تشریح شده در فصل قبل برای خاموش کردن و روشن کردن کلیدها از سیگنال‌های کنترلی نشان داده شده در شکل ۹-۴ استفاده شده است.

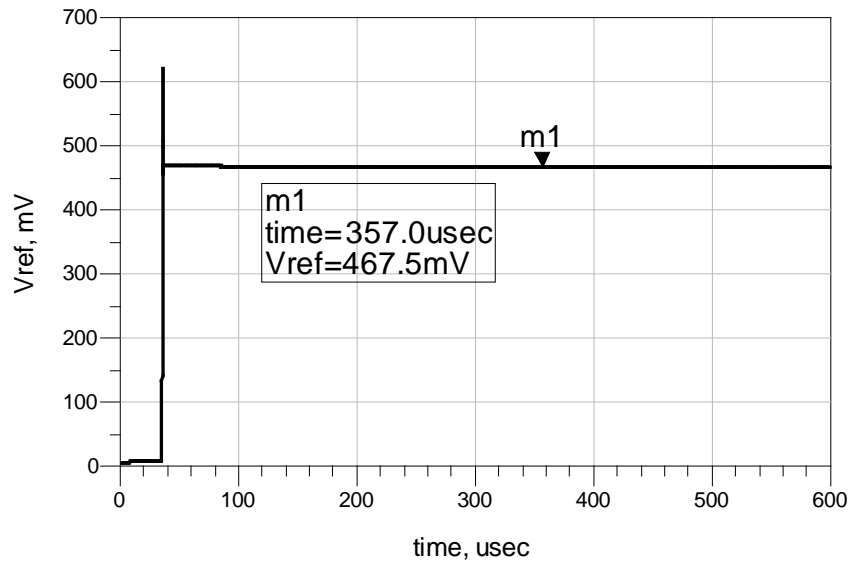


شکل ۹-۴: سیگنال‌های اعمال شده به کلیدها

شکل موج ولتاژ مرجع خروجی با اعمال کلید و تقویت‌کننده عملیاتی واقعی به صورت شکل ۱۰-۴ است. فازهای ۱ و ۲ و ۳ هر کدام  $10\ \mu\text{S}$  زمان می‌برد و فاز آخر به دلیل زیاد بودن کلیدهایی که تغییر وضعیت می‌دهند  $20\ \mu\text{S}$  در نظر گرفته شده است. بنابراین هر دوره  $50\ \mu\text{S}$  زمان می‌برد. از آنجاکه

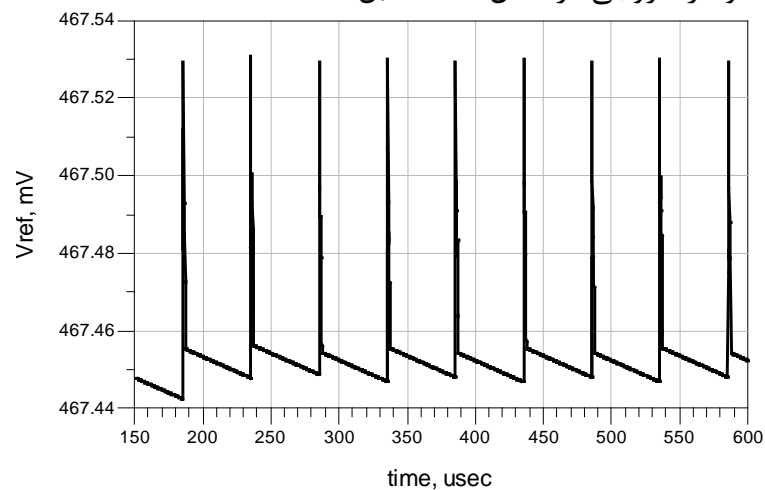
<sup>1</sup> Period

در دوره اول مدار از حالت صفر شروع به کار می‌کند، نمی‌توان مدار را پریودیک حساب کرد و شرایط در دوره اول با سایر دوره‌ها متفاوت است. در نتیجه خروجی معتبر از ابتدای دوره دوم آغاز می‌شود.



شکل ۴-۱۰: خروجی مرجع ولتاژ کلید-خازنی زیر یک ولت پیشنهادی با حذف آفست

نمای نزدیک ولتاژ خروجی در شکل ۴-۱۱ قابل مشاهده است.



شکل ۴-۱۱: نمای نزدیک خروجی مرجع ولتاژ کلید-خازنی زیر یک ولت پیشنهادی با حذف آفست

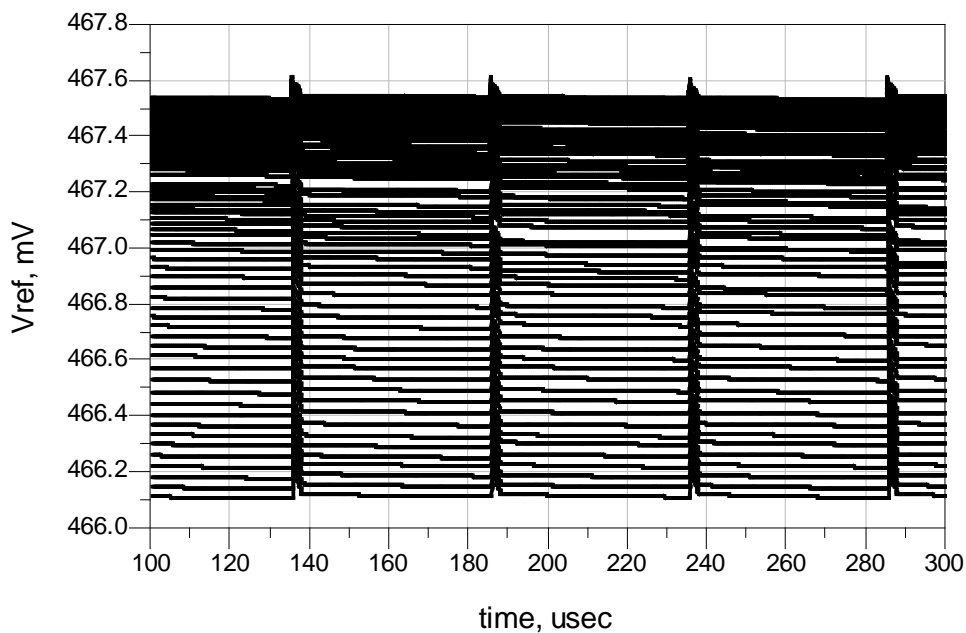
همان‌طور که در شکل ۴-۱۱ مشاهده می‌شود، ریبل‌هایی<sup>۱</sup> به خروجی مرجع ولتاژ اضافه شده است که دامنه تغییرات آن  $100\mu V$  است. مطابق توضیحاتی که در بخش دوم و در زیربخش انتخاب کلید داده‌شد، پله‌هایی که در خروجی ایجاد می‌شود در اثر نفوذ کلاک رخ می‌دهد؛ زیرا خروجی بعد از

<sup>1</sup> Ripple

قطع کلید به حالت اولیه خودش باز می‌گردد. با انتخاب صحیح کلیدها دامنه پله‌ها به میزان گزارش شده رسید. در انتخاب ابعاد ترانزیستورهای سازنده کلید مصالحه‌ای بین دقت و سرعت وجود دارد. بنابراین نمی‌توان ابعاد را به منظور کاهش اثرات کلید، بیش از حد بزرگ انتخاب کرد.

البته پرش‌ها خللی در نتیجه نهایی مدار ایجاد نمی‌کنند. زیرا در مدارهای کلید-خازنی، خروجی فقط در بازه‌هایی از پیش تعیین شده معتبر است. در بعضی از کاربردها مانند استفاده از مراجع ولتاژ در A/D ها، در زمان‌های نمونه‌برداری نیاز به ولتاژ مرجع است. امکان دارد که در بعضی کاربردها، خروجی ثابت و به طور پیوسته نیاز باشد. بنابراین در این نوع کاربردها باید سرعت را فدای دقت کرد و با طولانی کردن زمان روشن و خاموش شدن کلیدها، نوسان‌های ناشی از نفوذ کلاک را کاهش داد.

اما وجود نوسان‌های مشاهده شده در شکل ۴-۱۱، نگرانی پایداری دمایی ایجاد نمی‌کند. زیرا در دماهای متفاوت نیز همین میزان پله وجود دارد و ضریب دمایی همواره و در تمامی زمان‌ها یکسان است. شکل ۴-۱۲ شکل موج ولتاژ مرجع زیر یک ولت برای تغییرات دما بین ۴۰- تا ۸۵ درجه سانتی‌گراد را نشان می‌دهد.



شکل ۴-۱۲: تغییرات ولتاژ مرجع پیشنهادی نسبت به تغییرات دمایی

### ۴-۳-۱- ضریب دمایی (TC)

یکی از پارامترهای مهم در یک مرجع ولتاژ، ضریب دمایی آن است. در حقیقت این عدد نشان می‌دهد مدار طراحی شده به چه میزان قابلیت تحمل تغییرات دمایی را دارد. رابطه ۴-۴ روش محاسبه ضریب دمایی را نشان می‌دهد [۳۶].

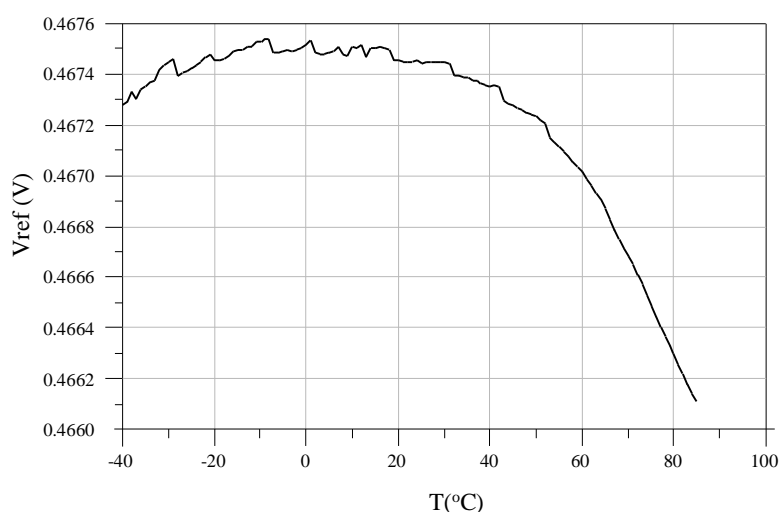
$$TC_{EFF} = \frac{V_{REF_{max}} - V_{REF_{min}}}{(T_{max} - T_{min}) V_{REF(27^{\circ}C)}} \quad (4-4)$$

که در آن،  $V_{REF_{min}}$  و  $V_{REF_{max}}$  به ترتیب بیشترین و کمترین سطح ولتاژ مرجع در کل بازه دمایی بین  $T_{min}$  و  $T_{max}$  است و  $V_{REF(27^{\circ}C)}$  نیز سطح ولتاژ مرجع در دمای ۲۷ درجه سانتیگراد است. از آنجاکه واحد ضریب موثر دمایی برحسب  $\frac{ppm}{^{\circ}C}$  بیان می‌شود، بنابراین با ضرب  $10^6$  در جواب رابطه‌ی ۴-۴، ضریب دمایی مذکور به دست می‌آید.

طراحی‌های انجام شده روی کاغذ به منظور پایداری مطلق دمایی انجام شده است. به عبارتی در شرایط ایده‌آل تئوری ضریب دمایی برابر با صفر را ازین مدار انتظار داریم. در صورتی که در بسیاری از روابط ساده‌سازی‌هایی انجام شده است. برای مثال از رابطه درجه دوم ترانزیستور BJT نسبت به دما صرف نظر شده است و رابطه خطی فرض شده است. از طرف دیگر وجود عامل‌هایی از جمله تداخل خازن‌های ورودی تقویت کننده عملیاتی و جمع شدن آن‌ها با خازن‌های جبران ساز می‌تواند ضریب دمایی را به صورت قابل ملاحظه‌ای تحت تاثیر قرار دهد. اما با طراحی دقیق کلیدها و استفاده از تکنیک‌های جانمایی، می‌توان تا حد قابل قبولی این اثرها را کم کرد. شکل ۴-۱۳ منحنی تغییرات ولتاژ مرجع تولید شده نسبت به دما را در بازه‌ی ۴۰- تا ۸۵ درجه سانتیگراد نشان می‌دهد.

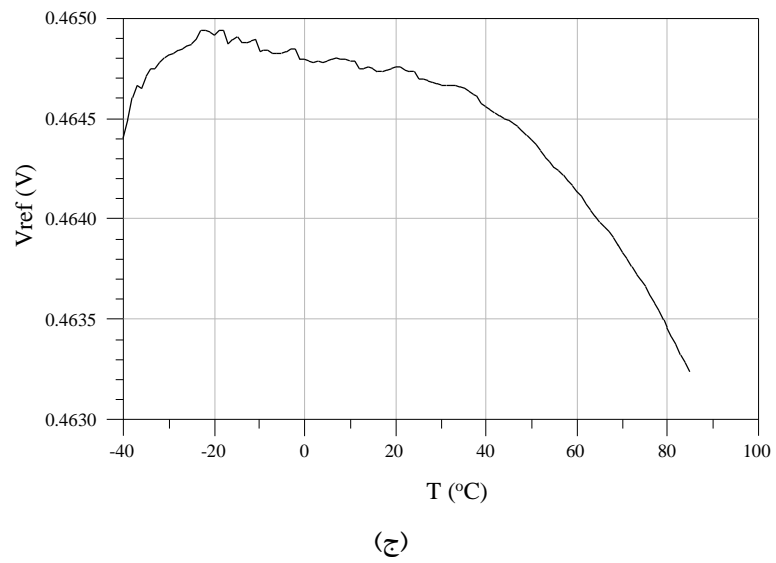
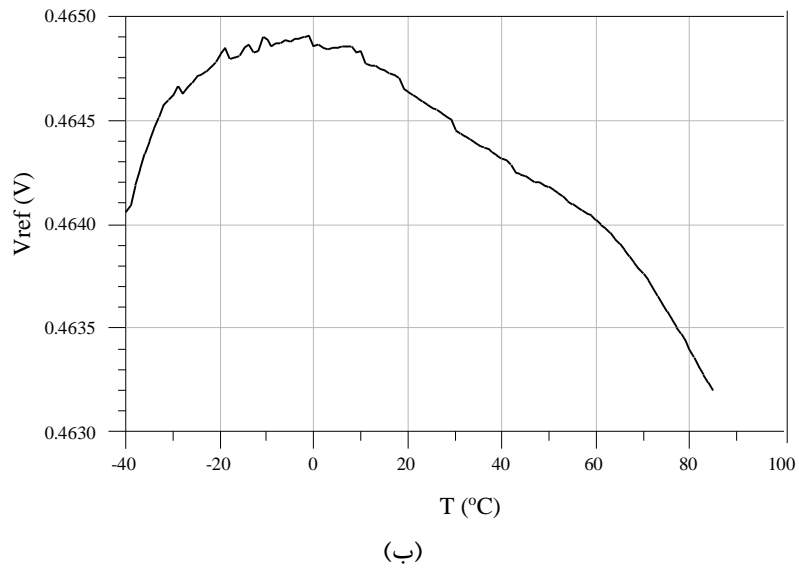
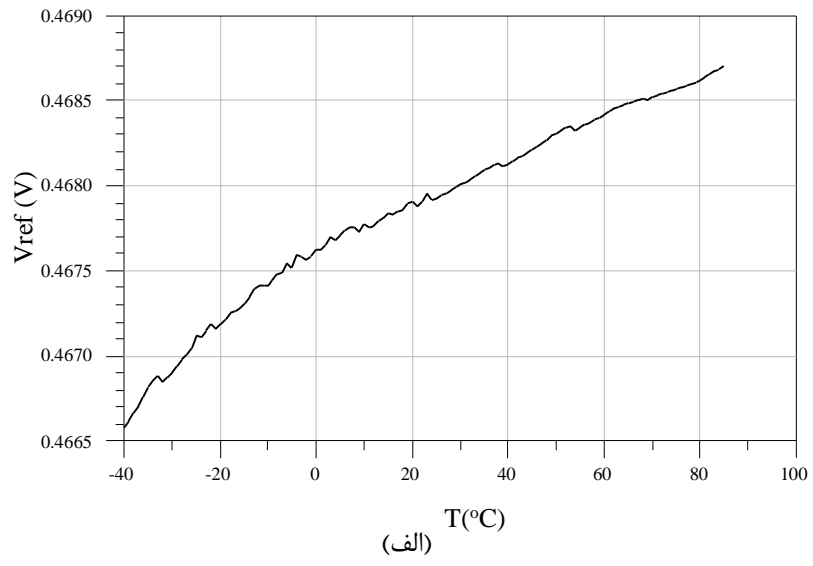
ضریب دمایی موثر برای شکل ۴-۱۲ به صورت زیر محاسبه می‌شود.

$$TC_{EFF} = \frac{0.46754 - 0.46611}{(85 - (-40)) \times 0.46745} \rightarrow 24.4 \frac{ppm}{^{\circ}C} \quad (5-4)$$

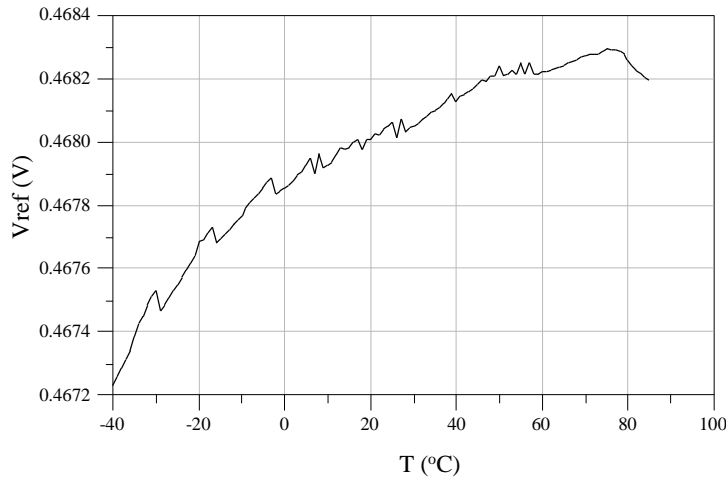


شکل ۴-۱۳: منحنی تغییرات دمایی ولتاژ مرجع پیشنهادی

همان‌طور که در این بخش توضیح داده شد، وجود خازن‌های داخلی تقویت‌کننده عملیاتی و همچنین اثر کلیدها در زمان روشن و خاموش شدن، می‌تواند روی ولتاژ مرجع تولیدشده در بازه‌های مختلف دمایی تاثیر بگذارد. یکی از بخش‌های چالش‌برانگیز مدار پیشنهادی، بخش تولید ولتاژ PTAT است که از ذخیره بار روی خازن  $C_1$  تشکیل می‌شود. ولتاژ دو سر این خازن اندازه‌ی بسیار کمی دارد و در حدود ۱۸ میلی‌ولت است. در نتیجه بار روی خازن که رابطه مستقیمی با ولتاژ و ظرفیت خازن دارد نیز کوچک است. اگر کلیدهای اطراف این خازن در زمان قطع شدن، کوچک‌ترین باری را به این خازن تزریق کنند، به طور مستقیم با بار ذخیره شده دو سر آن جمع شده و ولتاژ آن را تحت تاثیر قرار می‌دهد. از آنجاکه ولتاژ دو سر خازن  $C_2$  نسبت حدود ۱۱ برابری با ولتاژ خازن  $C_1$  دارد، این تزریق اندک بار می‌تواند اثر بزرگی روی ولتاژ  $C_2$  و در نتیجه روی ولتاژ PTAT ذخیره شده در خازن بار داشته‌باشد. در نتیجه با تغییر گوشه‌های پروسه که سرعت ترانزیستورهای مدار را تغییر می‌دهد، این اثر برجسته‌تر می‌شود. اما می‌توان با تنظیم صحیح ابعاد کلیدها و انتخاب نوع مناسب آن‌ها، این اثر را به حداقل رساند. شکل ۴-۱۴ منحنی تغییرات ولتاژ مرجع را در گوشه‌های مختلف دمایی نشان می‌دهد.







(د)

شکل ۴-۱۴: منحنی تغییرات دمایی ولتاژ مرجع پیشنهادی در گوشه‌های مختلف پروسه الف (FF)، ب (SS)، ج (SF) و د (FS)

ضرایب موثر دمایی برای گوشه‌های مختلف FF، SS، SF، FS به ترتیب برابر  $۳۶/۲۵ \text{ ppm}/^{\circ}\text{C}$ ،

$۲۹/۰۱ \text{ ppm}/^{\circ}\text{C}$ ،  $۲۹/۲۶ \text{ ppm}/^{\circ}\text{C}$  و  $۱۸/۱۱ \text{ ppm}/^{\circ}\text{C}$  به دست آمد. همان‌طور که از اعداد مشخص است، مدار

مرجع ولتاژ طراحی شده برای تمام گوشه‌های فرآیند پایداری خوبی نسبت به دما دارد که این خود حاکی از عملکرد خوب مدار پیشنهادی است.

#### ۴-۳-۲ تحلیل مونت کارلو

تحلیل مونت کارلو کارکرد صحیح مدار را در شرایط مختلف فرآیند ساخت و بروز خطاهای

احتمالی بررسی می‌کند. بنابراین می‌تواند نشان دهد که عملکرد مدار تا چه حد تحت تاثیر ناهماهنگی‌های

فرآیند ساخت و خطاهای موجود در اندازه‌ی المان‌ها قرار می‌گیرد و ولتاژ خروجی تولیدشده تا چه میزان

ممکن است از مقدار دلخواه فاصله بگیرد.

برای شبیه‌سازی مونت کارلو مدار پیشنهادی، خطای ترانزیستورها و خازن‌ها ۱٪ انتخاب شده است.

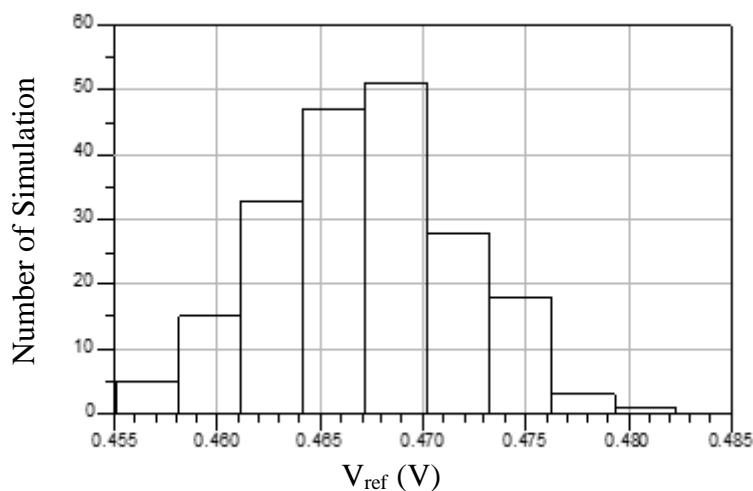
نکته‌ای که در این بخش می‌توان به آن اشاره کرد، خطای اعمالی شبیه ساز مونت کارلو به خازن‌ها است.

در شبیه‌سازی مونت کارلو، فقط خطای مطلق هر المان بررسی و اعمال می‌شود، در صورتی که در رابطه

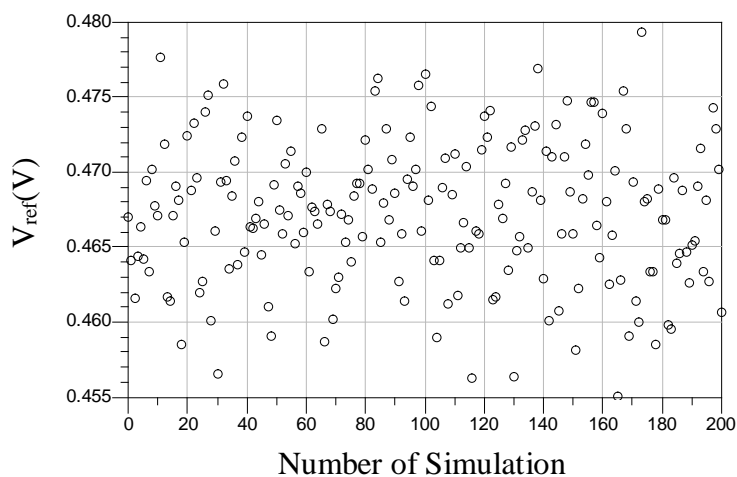
مدار مرجع ولتاژ پیشنهادی فقط خطای نسبی خازن‌ها تاثیرگذار است که با تطبیق مناسب و تکنیک‌های جانمایی می‌توان خطای نسبی را به اندازه‌ی قابل توجهی کاهش داد.

نتایج شبیه‌سازی مونت‌کارلو با خطای مذکور برای ۲۰۰ تکرار در شکل‌های ۴-۱۵ و ۴-۱۶ نشان

داده شده است.



شکل ۴-۱۵: هیستوگرام ولتاژ مرجع مدار پیشنهادی با ۲۰۰ نمونه در شبیه‌سازی مونت‌کارلو



شکل ۴-۱۶: پراکندگی ولتاژ مرجع پیشنهادی بر حسب تعداد تکرار در شبیه‌سازی مونت‌کارلو

هرچه تکرار شبیه‌سازی مونت‌کارلو بیشتر باشد، نتایج به دست آمده به واقعیت نزدیک‌تر است. این شبیه‌سازی که با تعداد تکرار ۲۰۰ بار و درگوشه TT و دمای ۶۰ درجه انجام شده است، توزیع گوسی به خوبی در نمودار هیستوگرام آن مشخص است. براساس شبیه‌سازی‌های انجام شده میانگین و انحراف معیار

ولتاژ مرجع پیشنهادی به ترتیب  $0.46727V$  و  $0.00477V$  می باشد. نسبت  $\frac{\sigma}{\mu}$  برابر  $1\%$  است. این نسبت

نشان می دهد که ولتاژ مرجع پیشنهادی فقط  $1\%$  درصد حول مقدار میانگینش تغییرات دارد. این تغییرات بسیار کوچک بوده و می توان نتیجه گرفت ولتاژ مرجع تولیدشده نسبت به تغییرات مختلف فرآیند ساخت و خطاهای احتمالی پیش آمده مقاوم است و می تواند در کاربردهای با دقت بالا استفاده شود.

البته نتیجه شبیه سازی با درصد خطای  $5\%$  برای خازن ها نیز انجام شد و انحراف معیاری به اندازه ی

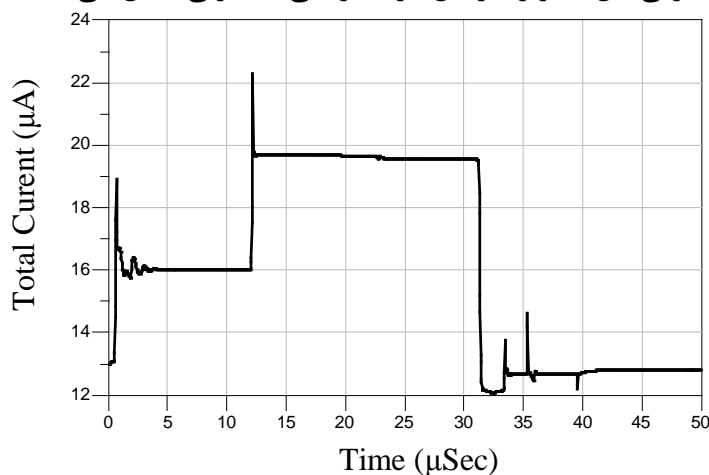
$20\%$  میلی ولت، میانگین  $0.4657V$  و نسبت  $\frac{\sigma}{\mu}$   $3.4\%$  به دست آمد که مقدار قابل قبولی است.

### ۳-۳-۴ بررسی جریان مصرفی مدار

مراجع ولتاژ از اجزای مدارهای الکترونیکی است که وظیفه تولید ولتاژ ثابت و پایدار نسبت به دما

را برعهده دارد. بنابراین انتظار می رود جریان مصرفی پایینی داشته باشد تا جریان کل مدار پایین باشد.

شکل ۴-۱۷ جریان مصرفی کل مدار را در کل بازه ی زمانی کلیدزنی نشان می دهد.



شکل ۴-۱۷: جریان کشیده شده در یک دوره مدار پیشنهادی

مدار مطرح شده چهار مرحله کلید زنی دارد و در هر مرحله جریان کشیده شده از منبع تغذیه

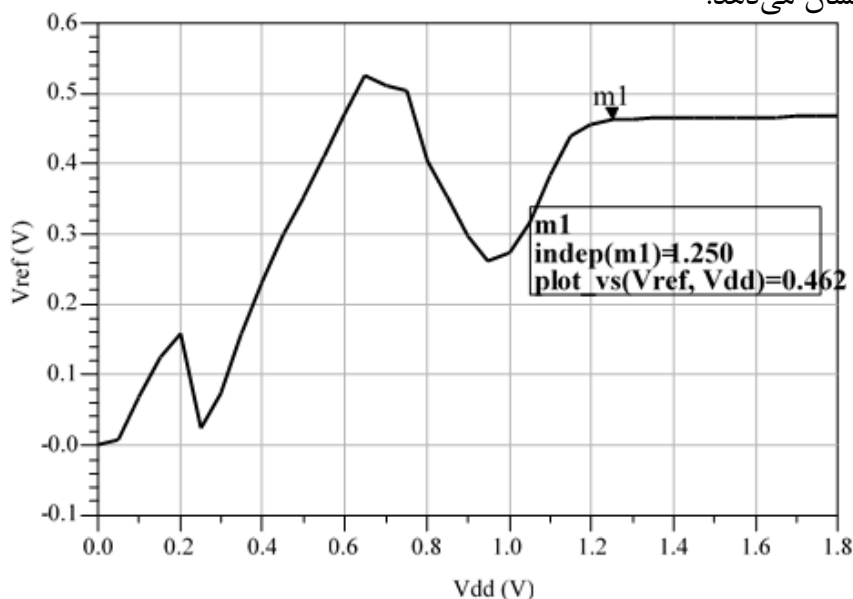
متفاوت است. در نهایت بعد از گذشت  $50\mu s$  میکرو ثانیه، رفتار جریان کشیده شده از منبع تغذیه تکرار

می شود.

میانگین جریان مصرفی در مدار مرجع ولتاژ پیشنهادی  $16/09 \mu A$  است. از جریان‌های کشیده شده در یک دوره از مدار، جریان  $9 \mu A$  سهم تقویت کننده عملیاتی،  $3 \mu A$  برای منبع جریان و  $6 \mu A$  برای شاخه‌های جریان تغذیه کننده ترانزیستور BJT هستند. به منظور کاهش بسیار زیاد جریان مدار، دو بخش پیش رو است. ابتدا کاهش جریان تقویت کننده عملیاتی با استفاده از بایاس ترانزیستورها در ناحیه زیرآستانه و سپس تغذیه ترانزیستور BJT توسط جریان بسیار پایین. اما به این نکته باید توجه داشت که کاهش جریان سبب کاهش سرعت مدار خواهد شد که باعث می‌شود خازن‌های کوچک‌تری در طراحی مرجع ولتاژ استفاده شود که همین دلیل باعث حضور خازن‌های پارازیتیکی در روابط می‌شود که علاوه بر پیچیده کردن محاسبات، دقت مدار نیز تحت تاثیر قرار می‌گیرد. بنابراین انتخاب بین جریان بسیار پایین و دقت و سرعت بالا مصالحه‌ای است که طراح با توجه به کاربرد انجام می‌دهد.

#### ۴-۳-۴ تغییرات منبع تغذیه

باتوجه به ویژگی‌هایی که برای مراجع ولتاژ ذکر شده، تغییرات منبع تغذیه باید کمترین تاثیر را بر روی ولتاژ مرجع تولیدی بگذارد. شکل ۴-۱۸ ولتاژ مرجع تولید شده مدار پیشنهادی بر حسب تغییرات منبع تغذیه را نشان می‌دهد.

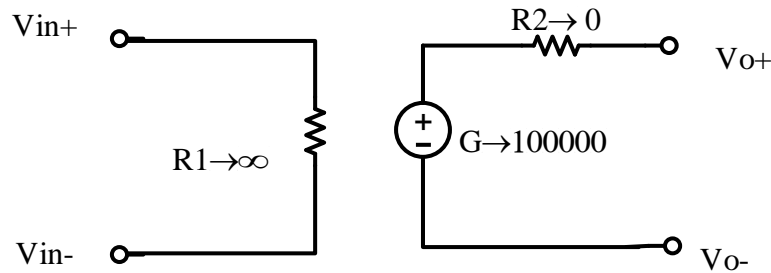


شکل ۴-۱۸: تغییرات ولتاژ مرجع پیشنهادی بر حسب تغییرات منبع تغذیه

با توجه به شکل ۴-۱۸، ولتاژ مرجع تولیدشده در محدوده‌ی تغییرات  $1/2$  تا  $1/8$  ولت منبع تغذیه تغییرات چشمگیری ندارد. بنابراین نشان می‌دهد تغییرات منبع تغذیه در بازه‌ی مشخص شده، تاثیری بر ولتاژ مرجع تولیدی نمی‌گذارد که این بازه تغییرات منبع تغذیه، محدوده‌ی مطلوبی است، به گونه‌ای که به طور مثال، با محدوده مجاز تغییرات منبع ولتاژ در [۲۹,۳] نیز هم‌خوانی دارد.

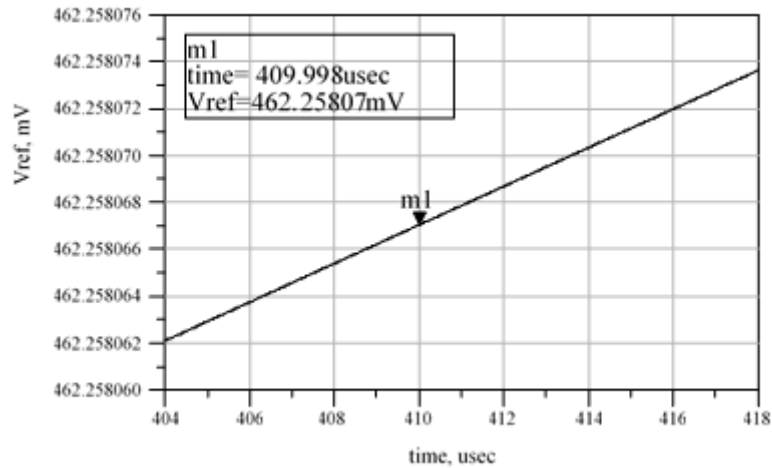
#### ۴-۴ بررسی اثر آفست

همان‌طور که در فصل دوم اثبات شد، مدار مرجع ولتاژ کلید-خازنی پیشنهادی مطرح شده توانایی حذف آفست ناشی از تقویت‌کننده عملیاتی را دارد. به منظور بررسی اثر آفست، باید مدار را ایده‌آل در نظر گرفت تا تاثیر بخش‌های دیگر مدار به جای تاثیر آفست برداشت نشود. به همین دلیل در این بخش از مدار مرجع ولتاژ کلید-خازنی پیشنهادی با قابلیت حذف آفست مطرح‌شده در فصل سوم و با کلید و تقویت‌کننده ایده‌آل استفاده شده است. تقویت‌کننده عملیاتی ایده‌آل استفاده شده در این بخش، یک منبع ولتاژ کنترل شده با ولتاژ است. شکل ۴-۱۹، تقویت‌کننده عملیاتی استفاده شده در این بخش را نشان می‌دهد.

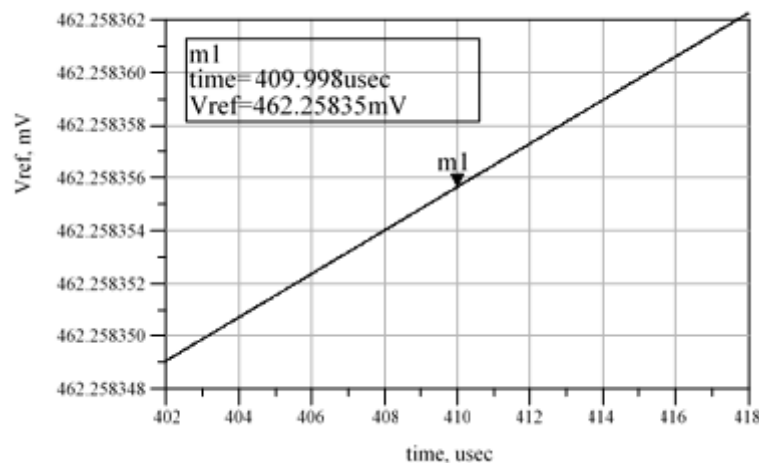


شکل ۴-۱۹: تقویت‌کننده عملیاتی حالت ایده‌آل به منظور آزمایش اثر آفست

مدار در دو حالت شبیه‌سازی می‌شود. حالت اول با تقویت‌کننده عملیاتی شکل بالا، و حالت دوم با سری کردن منبع ولتاژ DC با ولتاژی معادل  $100 \mu V$  به عنوان آفست در یکی از پایه‌های تقویت‌کننده عملیاتی. جواب ولتاژ خروجی در حالت دوم، پاسخ مدار به اثر آفست را نشان می‌دهد. شکل ۴-۲۰ (الف) مدار را در حالت اول (بدون آفست) و شکل ۲ (ب) مدار را در حالت دوم (با در نظر گرفتن آفست) نشان می‌دهد.



(الف)



(ب)

شکل ۴-۲۰: ولتاژ مرجع پیشنهادی (الف) بدون اعمال آفست (ب) با اعمال آفست

همان طور که در شکل ۴-۱۸ (الف) و (ب) مشاهده می‌شود، اختلاف ولتاژ مرجع در یک زمان مشخص برای دو حالت وجود آفست  $100\mu V$  و عدم وجود آفست،  $0.29$  میکرو ولت است. که این میزان در برابر آفست ورودی بسیار ناچیز است. بنابراین مدار مرجع ولتاژ کلید-خازنی طراحی شده توانست به صورت قابل توجهی اثر آفست تقویت‌کننده عملیاتی را نیز کاهش دهد. هم‌چنین با شبیه‌سازی مدار مرجع ولتاژ پیشنهادی در حالت واقعی (تقویت‌کننده عملیاتی و کلیدها واقعی) و با اعمال ولتاژی برابر با  $100\mu V$  به پایه منفی تقویت‌کننده عملیاتی به عنوان ولتاژ آفست، سطح ولتاژ مرجع خروجی به اندازه‌ی  $3/6\mu V$  تغییر داشت که این نشان‌دهنده کاهش اثر آفست در مدار پیشنهادی است و تفاوت با حالت ایده‌آل نیز به دلیل تاثیر اثرات غیرایده‌آلی کلیدها و تقویت‌کننده عملیاتی است.

## فصل ۵:

# نتیجه‌گیری و پیشنهادات

## ۱-۵ مقدمه

به دنبال نیاز تولید مرجع ولتاژ غیرحساس به تغییرات دمایی و قابل تنظیم، یک مدار مرجع ولتاژ کلید-خازنی زیر یک‌ولت در این پایان‌نامه مطرح شد. از آنجاکه مدار مطرح شده از تقویت‌کننده عملیاتی استفاده می‌کند، قابلیت حذف آفست یکی از ویژگی‌های مناسب این طرح است که در فصل چهارم به بیان جنبه‌های طراحی و شرح نتیجه‌های شبیه‌سازی حاصل از مدار پرداخته شد. این فصل نیز به مقایسه نتیجه‌های حاصل از این مدار با کارهایی که اخیراً در این زمینه انجام شده می‌پردازد.

## ۲-۵ مقایسه نتیجه‌های حاصل از مدار پیشنهادی با کارهای گذشته

جدول ۱-۵ به مقایسه کارهای انجام شده در زمینه تولید مرجع ولتاژ کلید-خازنی با مدار مطرح

شده در این پایان‌نامه می‌پردازد.

جدول ۱-۵ : مقایسه عملکرد مرجع ولتاژ پیشنهادی در پایان‌نامه با کارهای انجام شده در گذشته

مدار پیشنهادی پایان‌نامه	[۲۶]	[۲۵]	[۲۴]	[۲۳]	[۲۲]	[۲۱]	مراجع
دارد	دارد	دارد	ندارد	ندارد	ندارد	ندارد	قابلیت حذف آفست
دارد	ندارد	ندارد	ندارد	دارد	دارد	دارد	قابلیت تنظیم ولتاژ خروجی
۰/۴۶۷	۱/۲۹۷	۱/۲۰۴۷	۱/۲۴۷	۰/۶۱۵۷	۰/۸۱۷	۰/۴۲۳۷	ولتاژ مرجع
۲۴/۴	۲۸/۸	۵/۱۴	۲۶/۷	۴۱	۲۵	۱۶۰	ضریب دما ( $ppm/^\circ C$ )
۱۶/۰۹ $\mu A$	۴۳ $\mu A$	-	-	۱۸۰ nA	۲ $\mu A$	۱۳۸ nA	جریان مصرفی
۱۸۰ nm CMOS	۱۸۰ nm CMOS	۱۸۰ nm CMOS	۱۳۰ nm IBM PDK	۱۳۰ nm CMOS	۶۵ nm LP CMOS	۶۵ nm CMOS	فناوری
۴/۷	۳/۳	۰/۷۵	۲/۷۳	-	-	-	انحراف معیار (mV)
[-۴۰، ۸۵]	[-۴۰، ۸۵]	[-۴۰، ۸۵]	[-۴۰، ۱۲۵]	[-۸۰، ۱۵۰]	[-۲۰، ۱۰۰]	[-۲۵، ۸۰]	بازه دما ( $^\circ C$ )
۱/۸ V	۱/۸ V	۱/۸ V	۱/۸ V	۰/۸۵-۱/۵ V	۱/۲ V	۰/۷۵ V	منبع تغذیه
×	×	×	×	✓	×	✓	ساخت



کارهای انجام شده در زمینه طراحی مرجع ولتاژ کلید-خازنی، هرکدام به هدف خاصی انجام شده است. در بعضی ساختارها رسیدن به ضریب دمایی موثر پایین هدف است و در بعضی ساختارها تولید ولتاژ مرجع در محدوده خاص و یا مرجع ولتاژی که قابلیت حذف آفست را داشته باشد.

### ۳-۵ نتیجه گیری

در این پایان نامه به طراحی و شبیه سازی مرجع ولتاژ کلید-خازنی با قابلیت حذف آفست پرداخته شد. با توجه به نتیجه های حاصل شده و مقایسه با جدول ۵-۱ می توان نتیجه گرفت مدار مطرح شده در این پایان نامه با داشتن ضریب دمایی نسبتا خوب نسبت به بقیه، توانسته آفست را نیز حذف نماید. این در صورتی است که تنها ۲ ساختار از ۶ ساختار مطرح شده در جدول ۵-۱ قابلیت حذف آفست را دارند. این مدار از لحاظ داشتن همزمان دو قابلیت تنظیم سطح خروجی ولتاژ و حذف آفست نسبت به بقیه کارهای انجام شده مزیت دارد.

هم چنین با در نظر گرفتن مصالحه ی بین سرعت و دقت با جریان مصرفی، طراحی برای جریان ۱۶ میکروآمپر انجام شد. در [ ۲۱ ] و [ ۲۲ ] از دو ترانزیستور BJT استفاده شده که خطای عدم تطبیق را ایجاد می کند و از خازن و کلید برای تولید ولتاژهای قابل تنظیم استفاده می کند. علاوه بر این استفاده از تعداد زیاد کلید برای سری و موازی کردن خازن ها باعث تداخل اثرهای نامطلوب کلیدها در ولتاژ تولیدی می شود. این در صورتی است که مدار مطرح شده در این پایان نامه فقط با استفاده از ۴ خازن قادر به تولید ولتاژهای زیر یک ولت است.

## ۴-۵ پیشنهاد

استفاده از ترانزیستور اثر میدان در ناحیه زیرآستانه به سبب جریان مصرفی پایین و سازگاری با فناوری، مدار را کاربردی تر می‌کند. از طرفی ترانزیستور اثر میدان در ناحیه زیرآستانه، رفتار بسیار مشابه ترانزیستور دوقطبی را دنبال می‌کند. استفاده از ترانزیستور دوقطبی در مدارهای با تکنولوژی CMOS پارازیتیک به حساب می‌آید. بنابراین اگر بخش ضریب حرارتی منفی CTAT توسط ترانزیستور اثر میدان زیرآستانه ساخته شود و در مدار مطرح شده‌ی در پایان‌نامه جایگزین ترانزیستور دوقطبی شود، علاوه بر ویژگی‌های خوب مدار مانند حذف آفست و قابل تنظیم بودن سطح ولتاژ مرجع، توان مصرفی نیز به شدت کاهش می‌یابد. به علاوه سازگاری مدار با تغییرات فناوری نیز بیشتر می‌شود.

- [1] P. Gray, Analysis and design of analog integrated circuits. New York: Wiley, 2011.
- [2] C.J.B.Fayomi, H.F.Achigui, G.I.Wirth and A.Matsazawa, "Sub 1\_v CMOS bandgap references design techniques : Asurvey", Analog Integrated Circuit and Signal Process, VOL.62, P.P.141-157, 2010.
- [3] H.Banba, H.Shiga, A.Umezawa, T.Miaba, T.Tanzawa, S.Atsumi and K.Sakui, "A CMOS Bandgap Reference Circuit with Sub\_1\_V Operation", IEEE Journal Of Solid State Circuits, VOL.34, NO.5, PP.670-674,MAY1999.
۴. رضوی ب، (۱۳۹۴)، "طراحی مدارهای مجتمع CMOS آنالوگ"، شیرینی د، معرفی ح، چاپ هفتم، انتشارات نص، تهران.
- [5] A.Boni, "Op-Amps and Startup Circuits for CMOS Bandgap References With Near 1 -V Supply", IEEE Journal Of Solid State Circuits, VOL.37, NO.10, PP.1339-1343, OCTOBER 2002.
- [6] H.Neuteboom, B.M.J.Kup and M.Jassens, "A DSP based hearing instrument IC", IEEE Journal Of Solid State Circuits, VOL.34, NO.5, P.P.670-674, August2002.
- [7] K.N.Leung and P.K.T.Mok, "A Sub 1\_V 15ppm/°C CMOS bandgap voltage reference without requiring low threshold voltage device", IEEE Journal Of Solid State Circuits, VOL. 37, NO. 4, P.P. 526-530, April2002.
- [8] L.Najafizadeh and I.M.Filanovsky, "Towards a Sub\_1V CMOS Voltage reference", IEEE International Symposium on circuits and systems, PP.53-56,2004.
- [9] G.Giustolisi, G.Palumbo, M. Criscione and F. Cutri, "A Low Voltage Low power voltage reference based on sub\_threshold MOSFETs", IEEE Journal Of Solid State Circuit, Vol.38, No.1, P.P.151-154, February 2003.
- [10] A.Pletersek, "A Compensated badgap voltage Reference with sub\_1V Supply Voltage", Analog Integrated Circuits and Signal Process, Vol.44, NO.1, P.P.5-15, 2005.
- [11] H.Watanabe, SH. Ando, H. Aota, M. Dainin, Y. Chun and K. Taniguchiet, "CMOS Voltage reference based on gate work function differences in poli\_Si controlled by

conductivity type and impurity concentration", IEEE Journal Of Solid State Circuits, VOL.38, NO. 6, P.P.987-994, June2003.

[12] P. Huang, H. Lin and Y. Lin, "A Simple Subthreshold CMOS Voltage Reference Circuit With Channel-Length Modulation Compensation", IEEE Transactions on Circuits And Systems II: Express Briefs, vol. 53, no. 9, pp. 882-885, 2006.

[13] D. Ng, D. Kwong and N. Wong, "A Sub-1V, 26  $\mu$ W, Low-Output-Impedance CMOS Bandgap Reference With a Low Dropout or Source Follower Mode", IEEE Transactions On Very Large Scale Integration (VLSI) Systems, VOL. 19, No. 7, PP. 1305-1309, 2011.

[14] W. Yan, W. Li and R. Liu, "Nanopower CMOS sub-bandgap reference with 11 ppm/ $^{\circ}$ C temperature coefficient" Electronics Letters, VOL.45, NO.12, PP. 627-629, 2009.

[15] M.R.Salehi, R.Dastanian, E.Abiri and S.Nejadhasan, "A 147 $\mu$ W,0.8 (mV/V) LIR regulator for UHF RFID application", International Journal Of Electronics and Communication, VOL.69, P.P.133-140, January 2015.

[16] M.Law, A.Bermak and H.Loung, "A Sub- $\mu$ W Embedded CMOS Temperature Sensor for RFID for monitoring Application", IEEE Journal Of Solid State Circuits, VOL.45, NO.6, June 2010.

[17] A. L. Westick, "Switched Capacitor Bandgap Reference Circuit Having a time multiplexed bipolar transistor", U.S. Patent 5,059,820, October 1991.

[18] B. Gilbert, S. Shu, "Switching Bandgap Voltage References", U.S. Patent 5,563,504, October 1996.

[19] S. Chen and B. Blalock, "Switched capacitor bandgap voltage reference for sub-1-V operation", IEICE Electronics Express, Vol. 3, No. 24, pp. 529-533, 2006.

[20] J.Chen, G.Li and Y.Cheng, "Low-power offset-cancellation switched-capacitor correlated double sampling bandgap reference", Electronic Letters, VOL.48, NO.14, PP.821-822, July 2012.

[21] W.Biederman, D.Yeager, E.Alon, J.Rabaey, "CMOS Switched-Capacitor Fractional Bandgap Reference", Proceedings Of The IEEE 2012 Custom Integrated Circuits Conference, PP.1-4, September 2012.

- [22] B.Jiang, J.Feng, "Arbitrary Conversion Ratio Switched-capacitor (SC) Networks Design for SC Bandgap Reference", 2014 IEEE International Conference on Electron Devices and Solid State Circuits, PP.1-2, June 2014.
- [23] M.Wiessflecker, G.Hofer, G.Holweg, H.Reinisch and W.Pribyl, "A sub 1V self clocked switched capacitor bandgap reference with a current consumption of 180nA", IEEE International Symposium On Circuits And Systems, PP. 2841-2844, May 2012.
- [24] H. Klimach, M.Monteiro, A.Costa and S.Bampi, "A resistorless switched bandgap reference topology, Latin American Symposium on Circuits and Systems, pp. 1-4, February 2013.
- [25] H.Klimach, A.Costa, M.Monteiro and S.Bampi, "Resistorless switched-capacitor bandgap voltage reference with low sensitivity to process variations", Electronics Letters, Vol. 49, No. 23, pp. 1448–1449, November 2013.
- [26] H.Klimach, A.Costa, M.Monteiro and S.Bampi, "A Resistorless Switched Bandgap Voltage Reference with Offset Cancellation", Integrated Circuits And System Design, PP. 1-5, 2013.
- [27] N.Suda, P.Nishanth, D.Basak, D.Sharma, R.Paily, "A 0.5-V low power analog front-end for heart-rate detector", Analog Integrated Circuits And Signal Processing, Vol. 81, PP. 417-430, November 2014.
- [28] Ch.Xu, Sh.Chao and M.Chan, "A new correlated double sampling (CDS) technique for low voltage design environment in advanced CMOS technology", Proceedings of the 28th European Solid State Circuits Conference, pp. 117-120, Italy, 2002.
- [29] Y.Zhang, J.Zhu, W.sun, G.Sun and Sh.Lu, "A novel sub-1V bandgap reference with offset compensated techniques", Analog Integrated Circuits And Signal Processing, Vol. 78, NO.2, PP. 391-397, February 2014.
- [30] A.Veeravalli, E.Sanchez-Sinencio and J.Silva-Martinez, "A CMOS transconductance amplifier architecture with wide tuning range for very low frequency applications", IEEE Journal of Solid State Circuits, Vol.37, No.6, pp.776-781, Jun 2002.
- [31] D.Kim, S.Yang, K.Kim and K.Cho, "Design of a Linear CMOS OTA with Wide Input Voltage Range", 2006 International Symposium On Communications And Information Technologies, pp. 360-363, Bangkok, 2006.

- [32] S. Ruzza, E. Dallago, G. Venchi and S. Morini, "An offset compensation technique for bandgap voltage reference in CMOS technology", 2008 IEEE International Symposium on Circuits and Systems, 2008.
- [33] J. Um, "Calibration of bandgap voltage reference using chopping technique and IIR filter", Electronics Letters, vol. 52, no. 13, pp. 1104-1106, 2016.
- [34] "Linear Technology - LT1057 - Dual and Quad, JFET Input Precision High Speed Op Amps 1259 - Datasheet Archive", Datasheetarchive.com, 2018. [Online]. Available: <http://www.datasheetarchive.com/files/linear/product/1259.html>. [Accessed: 13- Feb-2018].
- [35] H. Xiaozong, S. Jiangang, L. Lintao, H. Wengang and Y. Kaihua, "A low input offset voltage input stage with base current traced compensation technique", 2012 IEEE 11th International Conference on Solid-State and Integrated Circuit Technology, 2012.
- [36] O.Mattia, H.Klimach, S.Bampi, "Sub-1 V supply 5nW 11ppm/°C resistorless sub-bandgap voltage reference", Analog Integrated Circuits and Signal Processing, Vol.85, P.P.17-25, June 2015.



## Abstract

Supplying different voltage levels that are stable against temperature changes, manufacturing processes and the main power supply of the circuit are key factors for the proper operation of electronic circuits. Such voltage is referred to the reference voltage, and because the primary voltage reference circuits were capable of generating a voltage within the silicon bandgap voltage range, these circuits were known as the bandgap reference. There are many structures in the field of voltage reference generation. With the developing of technology and lower occupied area on the chip, power supplies also become smaller and the need for sub\_1V voltage references increases, so common structures that generate a constant bandgap voltage over one volt will lose their functionality. Also, the offset of operational amplifier is a source of error in bandgap circuits, especially in sub\_1 volt references.

In this thesis, two switch-capacitor voltage references have been designed in which, unlike conventional structures, no resistor is used, and the structure of the circuits is based on the generation of PTAT and CTAT voltages using a BJT and the storage of voltages on the capacitors by the switching scheme. Eliminating the resistors from these two structures increases the accuracy of the generated voltage and use of only one BJT, in contrast to the conventional structures which use two BJTs, eliminates the mismatch effect of two bipolar transistors. The first proposed voltage reference structure has the ability to adjust the output voltage to the desired levels, but needs two positive and negative power supplies for proper operation. By modifying the first proposed circuit structure, the second switch-capacitor voltage reference was designed in such a way that, in addition to the ability to generate adjustable sub\_1V reference voltage levels, it also has the ability of offset cancelation. The second proposed circuit structure generates the requirement for the production of adjustable reference voltages and eliminates the effect of the offset of operational amplifier only by using new switching scheme on four capacitors. The first two capacitors produce a temperature insensitive reference voltage and the next two capacitors provide a degree of freedom to generate adjustable sub\_1 voltages.

In this thesis, after presenting the proposed circuit, the reference voltage equations made according to the circuit parameters and the condition of the generated voltage independent temperature has been calculated. With respect to the calculated equations,





the proposed output reference voltage is dependent on the ratio of capacitors in the circuit, which is an advantage, because the capacitor ratio in integrated circuits can be made with high precision, which means the accuracy of proposed reference voltage and reducing its sensitivity to the manufacturing errors.

Finally, the proposed circuit was designed in the TSMC 0.18 $\mu$ m CMOS technology and simulated with ADS software. In a case study, simulations show that the proposed voltage reference is capable of generating a reference voltage of 460 mV with a temperature coefficient of 24.4  $\text{ppm}/^{\circ}\text{C}$  at a temperature range of -40 to 85 degrees Celsius. Also, Monte Carlo simulations for 200 iterations and 1% mismatch of the devices indicate that the average reference voltage ( $\mu$ ) is 0.467 V and its standard deviation( $\sigma$ ) is 0.0047 V. Simulations also indicate that the proposed structure significantly eliminate the effect of the operational amplifier offset in the output of reference voltage circuit.

Keyword: BGR, offset cancellation, sub-1V bandgap voltage reference, switched-capacitor bandgap voltage reference, temperature coefficient.





**Shahrood University of Technology**

**Faculty of Electrical and Robotics Engineering**

**M.Sc. Thesis in Electronic Integrated Circuits Engineering**

**Design and Simulation of a Sub 1-V Switched-Capacitor  
Bandgap Voltage Reference**

By:

Malihe Arabnasery

Supervisor:

Dr. Emad Ebrahimi

January 2018