



دانشکده مهندسی برق و رباتیک

پایان نامه کارشناسی ارشد مهندسی مدارهای مجتمع الکترونیک

## افزایش گستره خطی سلول $G_m$ با هدف کاهش اعوجاج در فیلترهای $G_m$ -C

نگارنده: شیما حیدری

استاد راهنما

دکتر عماد ابراهیمی

شماره: ۱۵۴/ت.ب  
تاریخ: ۱۱/۱۱/۹۶

باسمه تعالی



مدیریت تحصیلات تکمیلی

فرم شماره (۳) صورتجلسه نهایی دفاع از پایان نامه دوره کارشناسی ارشد

با نام و یاد خداوند متعال، ارزیابی جلسه دفاع از پایان نامه کارشناسی ارشد خانم / آقای شیمای حیدری با شماره دانشجویی ۹۳۰۶۶۷۴ رشته مهندسی الکترونیک گرایش الکترونیک تحت عنوان: افزایش گستره خطی سلول Gm با هدف کاهش اعوجاج در فیلترهای Gm-C که در تاریخ ۱۳۹۶/۱۱/۱۱ با حضور هیأت محترم داوران در دانشگاه صنعتی شاهرود برگزار گردید به شرح ذیل اعلام می گردد:

قبول (با امتیاز ..... درجه .....)  
 نظری  عملی  مردود

| عضو هیأت داوران           | نام و نام خانوادگی | مرتبه علمی | امضاء |
|---------------------------|--------------------|------------|-------|
| ۱- استاد راهنمای اول      | عباس ابراهیمی      | استاد      |       |
| ۲- استاد راهنمای دوم      | —                  | —          | —     |
| ۳- استاد مشاور            | —                  | —          | —     |
| ۴- نماینده تحصیلات تکمیلی | ولایتی             | استاد      |       |
| ۵- استاد ممتحن اول        | محلی فاتح          | استاد      |       |
| ۶- استاد ممتحن دوم        | محمد رضا ارتضی     | استاد      |       |

نام و نام خانوادگی رئیس دانشکده:

تاریخ و امضاء و مهر دانشکده:

تیسره: در صورتی که کسی مردود شود حداکثر یکبار دیگر (در مدت مجاز تحصیل) می تواند از پایان نامه خود دفاع نماید (دفاع مجدد نباید زودتر از ۴ ماه برگزار شود).

با احترام تقدیم به:

پدرم ...

بزرگوام، که همواره چتر حمایتش بر سرم است.

و مادرم ...

بلند تکیه گاهم، که دامان پرمهرش یگانه پناهم است.

## تشکر و قدردانی:

به مصداق «من لم یشکر المخلوق لم یشکر الخالق» بسی شایسته است که از تلاش‌های ارزنده

و راهنمایی‌های بی‌دریغ استاد گرانقدر جناب دکتر ابراهیمی تقدیر و تشکر نمایم.

همچنین لازم است که از جناب دکتر اشرف و جناب دکتر فتاح برای ارزیابی پایان نامه و نکات

ارزشمندی که گوشزد نمودند نهایت قدردانی را داشته باشم.

## تعهد نامه

اینجانب شیما حیدری دانشجوی دوره کارشناسی ارشد رشته مهندسی برق/الکترونیک دانشکده مهندسی برق و رباتیک دانشگاه صنعتی شاهرود نویسنده پایان نامه "افزایش گستره خطی سلول Gm با هدف کاهش اعوجاج در فیلترهای Gm-C" تحت راهنمایی آقای دکتر عماد ابراهیمی متعهد می شوم:

- تحقیقات در این پایان نامه توسط اینجانب انجام شده است و از صحت و اصالت برخوردار است.
  - در استفاده از نتایج پژوهش های محققان دیگر به مرجع مورد استفاده استناد شده است.
  - مطالب مندرج در پایان نامه تاکنون توسط خود یا فرد دیگری برای دریافت هیچ نوع مدرک یا امتیازی در هیچ جا ارائه نشده است.
  - کلیه حقوق معنوی این اثر متعلق به دانشگاه صنعتی شاهرود می باشد و مقالات مستخرج با نام « دانشگاه صنعتی شاهرود » و یا « Shahrood University of Technolog » به چاپ خواهد رسید.
  - حقوق معنوی تمام افرادی که در به دست آمدن نتایج اصلی پایان نامه تأثیرگذار بوده اند در مقالات مستخرج از پایان نامه رعایت می گردد.
  - در کلیه مراحل انجام این پایان نامه، در مواردی که از موجود زنده ( یا بافت های آنها ) استفاده شده است ضوابط و اصول اخلاقی رعایت شده است.
  - در کلیه مراحل انجام این پایان نامه، در مواردی که به حوزه اطلاعات شخصی افراد دسترسی یافته یا استفاده شده است اصل رازداری، ضوابط و اصول اخلاق انسانی رعایت شده است.
- تاریخ

امضای دانشجو

### مالکیت نتایج و حق نشر

- کلیه حقوق معنوی این اثر و محصولات آن (مقالات مستخرج، کتاب، برنامه های رایانه ای، نرم افزارها و تجهیزات ساخته شده است) متعلق به دانشگاه صنعتی شاهرود می باشد. این مطلب باید به نحو مقتضی در تولیدات علمی مربوطه ذکر شود.
- استفاده از اطلاعات و نتایج موجود در پایان نامه بدون ذکر مرجع مجاز نمی باشد.

## چکیده

تقویت‌کننده ترانسانایی عملیاتی (سلول‌های  $G_m$ )، یکی از بلوک‌های اصلی مورد استفاده در پیاده‌سازی مدارهای مجتمع آنالوگ مانند فیلترهای زمان-پیوسته، نوسان‌سازهای کنترل‌شونده با ولتاژ، ضرب‌کننده‌های آنالوگ و ... است. فیلترهای زمان-پیوسته  $G_m$ -C که با افزودن خازن به خروجی یک ترانسانا پیاده‌سازی می‌گردند، به‌جهت توان مصرفی کم، سادگی پیاده‌سازی و تنظیم آسان یکی از پرکاربردترین موارد استفاده از ترانسانا می‌باشند. علاوه بر این، به‌علت استفاده از سلول‌های  $G_m$  به‌صورت حلقه باز می‌توان از آن‌ها در پیاده‌سازی فیلترهای فرکانس بالا که در بسیاری از گیرنده‌های مخابراتی به‌کار برده می‌شوند بهره برد. اما این ویژگی منجر به افزایش اثرات غیرخطینگی در سلول  $G_m$  نیز می‌گردد.

در این پایان‌نامه روشی جهت افزایش محدوده خطسانی ورودی ترانسانا معرفی شده است. هدف اصلی، کاهش دامنه مؤلفه‌های فرکانسی ناخواسته، که در اثر غیرخطینگی به سلول  $G_m$  تحمیل می‌گردند بوده است. مدار پیشنهادی متشکل از دو زوج تمام‌تفاضلی موازی است که مشخصه ورودی-خروجی آن‌ها با یکدیگر جمع می‌گردد. برای افزایش گستره خطی کل ترانسانا نیاز است مشخصه  $I_{out}-V_{id}$  دو ساختار تفاضلی ذکر شده نسبت به هم جابه‌جا شوند. با توجه به این‌که جریان یک ترانزیستور MOS وابسته به ولتاژ آستانه و ولتاژ آستانه خود متأثر از ولتاژ بدنه ترانزیستور است، بنابراین در این پژوهش، ابتدا با در نظر گرفتن اثر بدنه و اعمال یک پتانسیل معین به پایه بدنه ترانزیستورها، میزان جابجایی مورد نیاز ایجاد شده است. در مدار پیشنهادی که در نرم افزار ADS و تکنولوژی TSMC 0.18 $\mu$ m CMOS شبیه‌سازی شده است، علاوه بر روش فوق از مقاومت‌های دیجنریشن در سورس نیز برای بهبود بیشتر خطینگی بهره گرفته شده است. در ادامه دو سلول ذکر شده جهت افزایش بیشتر گستره خطی با یک سلول متقارن موازی می‌گردند. در ساختار پیشنهادی نهایی بهره ترانسانایی برابر با  $74 \mu A/V$  و بازه‌ی خطی ولتاژ ورودی  $0.8V_{pp}$  است. پارامترهای  $HD_3$  و THD به‌دست آمده (به‌ازای ورودی تفاضلی  $0.8V_{pp}$  در فرکانس 10MHz) به‌ترتیب برابر با  $-69dB$  و  $-62dB$  می‌باشند. همچنین توان مصرفی کل این مدار در ولتاژ تغذیه  $1/8$  ولت، برابر با  $260 \mu W$  بوده و ولتاژ مد مشترک خروجی  $0.9V$  است.

**کلمات کلیدی:** سلول  $G_m$ ، غیرخطینگی، مؤلفه مرتبه سوم، ترانسانایی، اثر بدنه

## فهرست مطالب

|    |  |
|----|--|
| ک  | فهرست شکل‌ها.....  |
| ع  | فهرست جدول‌ها.....   |
| ۱  | فصل اول-پیش‌گفتار .....  |
| ۲  | ۱-۱ مقدمه .....  |
| ۴  | ۲-۱ انگیزه این تحقیق .....   |
| ۵  | ۳-۱ اهداف تحقیق .....  |
| ۶  | ۴-۱ ساختار پایان‌نامه .....  |
| ۷  | فصل دوم-معرفی سلول $G_m$ و شاخص‌های خطینگی .....                               |
| ۸  | ۱-۲ مقدمه .....  |
| ۸  | ۲-۲ معرفی اجمالی سلول $G_m$ .....  |
| ۱۰ | ۳-۲ غیرخطینگی در سلول $G_m$ .....  |
| ۱۲ | ۴-۲ شاخص‌های خطینگی .....  |
| ۱۲ | ۱-۴-۲ مشخصه $G_m$ بر حسب ولتاژ ورودی .....                                     |
| ۱۳ | ۲-۴-۲ THD (مجموع اعوجاج هارمونیک‌ها) .....                                     |
| ۱۳ | ۳-۴-۲ اعوجاج هارمونی مرتبه سوم نسبی $HD_3$ .....                               |
| ۱۵ | ۴-۴-۲ اعوجاج اینترمدولاسیون مرتبه سوم نسبی $IM_3$ .....                        |
| ۱۶ | ۵-۲ نتیجه‌گیری .....   |
| ۱۷ | فصل سوم-مروری بر مطالعات انجام شده .....                                       |
| ۱۸ | ۱-۳ مقدمه .....  |
| ۱۸ | ۲-۳ دسته اول: ساختارهای مبتنی بر عملکرد ترانزیستورها در نواحی کاری مختلف ..... |



- ۱۸-۲-۳ ناحیه تراپود یا خطی به‌عنوان مقاومت.....
- ۲۰-۲-۳ بایاس ترانزیستورهای طبقه ورودی در ناحیه تراپود.....
- ۲۳-۲-۳ استفاده از ترکیب نواحی اشباع، تراپود و زیر آستانه.....
- ۲۸-۳-۳ دسته دوم: ساختارهای مبتنی بر ایجاد تغییرات مداری در ساختارهای دسته اول.....
- ۲۸-۳-۳ بایاس تطبیقی.....
- ۲۹-۳-۳ تضعیف.....
- ۳۲-۳-۳ اتصال ضربداری دو زوج تمام‌تفاضلی.....
- ۳۳-۴-۳ روش پیش‌خور.....
- ۳۴-۴-۳ دسته سوم: سلول‌های  $G_m$  خطی مبتنی بر ترکیب روش‌های موجود.....
- ۳۷-۵-۳ نتیجه‌گیری.....
- فصل چهارم- سلول  $G_m$  پیشنهادی به منظور افزایش خطینگی توسط جابه‌جایی مشخصه انتقالی... ۳۹**
- ۴۰-۱-۴ مقدمه.....
- ۴۰-۲-۴ روش‌های متداول جابه‌جایی مشخصه انتقالی.....
- ۴۱-۱-۲-۴ جابه‌جایی از طریق منبع ولتاژ شناور در گیت.....
- ۴۲-۲-۲-۴ جابه‌جایی از طریق تغییر در ابعاد ترانزیستورها.....
- ۴۵-۳-۴ معرفی روش پیشنهادی جهت جابه‌جایی مشخصه انتقالی و افزایش خطسانی.....
- ۴۵-۱-۳-۴ معرفی اثر بدنه در ترانزیستورها.....
- ۴۷-۲-۳-۴ پیاده‌سازی اولیه سلول  $G_m$  پیشنهادی.....
- ۴۹-۳-۳-۴ پیاده‌سازی ثانویه ساختار پیشنهادی.....
- ۵۱-۴-۳-۴ نتیجه شبیه‌سازی شاخص‌های خطینگی.....
- ۵۸-۵-۳-۴ توسعه گستره خطی با افزودن یک سلول متقارن به مدار پیشنهادی ۴.....
- ۶۱-۴-۴ مقایسه نتایج به‌دست آمده از مدار پیشنهادی نهایی با پژوهش‌های مشابه.....

|    |                                       |
|----|---------------------------------------|
| ۶۳ | ..... فصل پنجم-نتیجه گیری و پیشنهادها |
| ۶۴ | ..... ۱-۵ مقدمه                       |
| ۶۴ | ..... ۲-۵ نتیجه گیری                  |
| ۶۵ | ..... ۳-۵ پیشنهادها                   |
| ۶۶ | ..... پیوست                           |
| ۸۰ | ..... مراجع                           |

## فهرست شکل‌ها

- شکل ۱-۱ نمودار تقسیم بندی انواع فیلترها [۱]..... ۳
- شکل ۲-۱ مقایسه فرکانس کاری در فیلترهای مختلف [۱]..... ۳
- شکل ۳-۱ ساختار یک گیرنده با فیلتر انتخاب کانال [۳]..... ۴
- شکل ۱-۲ انتگرال گیر  $G_m$ -C..... ۸
- شکل ۲-۲ مدار معادل سلول  $G_m$  ایده‌آل..... ۹
- شکل ۳-۲ نمایش حذف مؤلفه‌های اعوجاج با مرتبه زوج در ساختار تمام‌تفاضلی [۶]..... ۱۰
- شکل ۴-۲ (الف) مدار تمام‌تفاضلی پایه و (ب) مشخصه انتقالی ورودی-خروجی تفاضلی [۷]..... ۱۱
- شکل ۵-۲ مشخصه  $G_m$ - $V_{id}$  که معرف مقدار ترانسانایی  $28\mu A/V$  و بازه خطی ورودی  $0.5V_p$  است..... ۱۲
- شکل ۶-۲ ایجاد مؤلفه فرکانسی اینترمدولاسیون در نزدیکی فرکانس اصلی..... ۱۶
- شکل ۱-۳ افزایش خطینگی توسط ترانزیستورهای ناحیه تریاودی در سورس [۱۳]..... ۱۹
- شکل ۲-۳ اتصال گیت ترانزیستورهای دیجنریشن به ولتاژ ورودی [۱۴]..... ۲۰
- شکل ۳-۳ ترانسانا با روش ولتاژ درین-سورس ثابت [۶]..... ۲۱
- شکل ۴-۳ (الف) و (ب) ساختار پیشنهاد شده برای ترانزیستورهای ورودی در ناحیه تریاود [۱۶]..... ۲۱
- شکل ۵-۳ ترانسانای تمام‌تفاضلی کنترل پذیر با  $V_c$  [۱۶]..... ۲۲
- شکل ۶-۳ (الف) ترانسانای مبتنی بر عملکرد همزمان ناحیه اشباع و تریاود و (ب) مقادیر  $G_m$  و  $G_m''$  در آن [۱۹]..... ۲۵
- شکل ۷-۳ سلول  $G_m$  پیشنهادی در [۲۰] با ترکیب موازی نواحی کاری سه‌گانه ترانزیستور..... ۲۵
- شکل ۸-۳ (الف) مقایسه رفتار مؤلفه  $G_m''$  در [۱۹] و [۲۰] و (ب) رفتار  $G_m$  در این دو مرجع..... ۲۶
- شکل ۹-۳ بلوک دیاگرام مدار پیشنهادی در [۴]..... ۲۷

- شکل ۳-۱۰ حذف تطبیقی مؤلفه  $G_{m3}$  با تغییر نقطه کار  $M_{21-22}$  [۴]..... ۲۷
- شکل ۳-۱۱ استفاده از روش بایاس تطبیقی جهت خطی سازی ترانسانا [۲۳]..... ۲۹
- شکل ۳-۱۲ ترانسانا با تضعیف کننده ولتاژ و مقاومت دیجنریشن سورس [۲۴]..... ۳۰
- شکل ۳-۱۳ اتصال ضربداری دو زوج تمام تفاضلی [۱۴]..... ۳۳
- شکل ۳-۱۴ (الف) موازی شدن دو سلول با ترانسانایی متفاوت و (ب) حذف اثر غیر خطی مرتبه سوم [۳۰]..... ۳۳
- شکل ۳-۱۵ بلوک دیاگرام روش مسیر پیش رو به همراه تقویت کننده ولتاژ خطی [۳۱]..... ۳۴
- شکل ۳-۱۶ بایاس تطبیقی ترانزیستور سورس دیجنریشن [۳۲]..... ۳۵
- شکل ۳-۱۷ استفاده همزمان ترانزیستورهای ورودی در ناحیه تراپود و روش تضعیف [۳۳]..... ۳۶
- شکل ۴-۱ ایجاد ناهمسانی با منبع ولتاژ شناور (الف) پیاده سازی مداری، (ب) جابه جایی مشخصه I-V هر سلول (ج) مشخصه I-V کل دو سلول [۶]..... ۴۲
- شکل ۴-۲ (الف) جابه جایی از طریق تغییر در ابعاد ترانزیستورها [۶] و (ب) رسم منحنی  $G_m$  به ازای نسبت ابعاد متفاوت [۳۴]..... ۴۳
- شکل ۴-۳ زوج تفاضلی نامتقارن در [۳۷]..... ۴۳
- شکل ۴-۴ جابه جایی جریان در سه سلول نامتقارن با ابعاد متفاوت و افزایش گستره خطسانی در مشخصه مجموع..... ۴۴
- شکل ۴-۵ تغییرات جریان درین نسبت به ولتاژ بدنه-سورس [۷]..... ۴۵
- شکل ۴-۶ (الف) اعمال ولتاژ به پایه بدنه  $M_2$ ، (ب) سلول متقارن، (ج) اعمال ولتاژ به پایه بدنه  $M_1$ ..... ۴۶
- شکل ۴-۷ جابه جایی جریان در سلول نامتقارن به کمک اثر بدنه و افزایش خطینگی در حاصل جمع سه مشخصه..... ۴۶

- شکل ۴-۸ پیاده‌سازی اولیه مدار پیشنهادی توسط دو سلول موازی شده با مشخصه‌های I-V جابه‌جا شده..... ۴۷
- شکل ۴-۹ افزایش گستره خطینگی حاصل از جمع دو مشخصه جابه‌جا شده در گره مثبت خروجی سلول  $G_m$  پیشنهادی..... ۴۸
- شکل ۴-۱۰ افزایش خطینگی با اعمال پتانسیل بدنه ..... ۴۹
- شکل ۴-۱۱ پیاده‌سازی ثانویه سلول  $G_m$  پیشنهادی ..... ۵۰
- شکل ۴-۱۲ مدار تولید کننده ولتاژ مد مشترک ( $V_{CFB}$ ) [۳۳] ..... ۵۱
- شکل ۴-۱۳ مقایسه مشخصه  $G_m$  در مدار پیشنهادی ۴ نسبت به سه سلول دیگر..... ۵۲
- شکل ۴-۱۴ مقایسه مشخصه  $G_{m3}$  در مدار پیشنهادی ۴ نسبت به سه سلول دیگر..... ۵۲
- شکل ۴-۱۵ مقایسه THD در مدار پیشنهادی ۴ نسبت به سه سلول دیگر..... ۵۳
- شکل ۴-۱۶ محاسبه شاخص  $HD3$  در سلول پیشنهادی ۴..... ۵۴
- شکل ۴-۱۷ مقایسه  $HD3$  در مدار پیشنهادی ۴ نسبت به سه سلول دیگر..... ۵۴
- شکل ۴-۱۸ تغییرات THD در مدار پیشنهادی ۴ نسبت به فرکانس..... ۵۵
- شکل ۴-۱۹ تغییرات  $HD3$  در مدار پیشنهادی ۴ نسبت به فرکانس در سه دامنه از گستره خطی..... ۵۵
- شکل ۴-۲۰ هیستوگرام تابع THD در مدار پیشنهادی ۴ در حالت ورودی  $0.18V_{pp}$  و فرکانس  $10MHz$  (درصد تغییرات تصادفی)..... ۵۶
- شکل ۴-۲۱ محاسبه شاخص  $IM3$  در سلول پیشنهادی ۴..... ۵۷
- شکل ۴-۲۲ رفتار THD در برابر تغییرات دمایی..... ۵۸
- شکل ۱-۱ توسعه خطینگی سلول‌های جابه‌جا شده از طریق منبع ولتاژ شناور [۳۶]..... ۵۹
- شکل ۲-۱ توسعه خطینگی سلول‌های جابه‌جا شده از طریق تغییر در ابعاد ترانزیستورها [۳۶]..... ۵۹
- شکل ۳-۱ موازی کردن یک سلول متقارن با مدار پیشنهادی ۴ جهت افزایش گستره خطی..... ۶۰
- شکل ۴-۱ مقایسه مشخصه  $G_m$  در سلول پیشنهادی نهایی نسبت به سلول ۴..... ۶۰

- شکل ۱-۵ مقایسه مشخصه THD در سلول پیشنهادی نهایی نسبت به سلول ۴..... ۶۱
- شکل پ-۱ یک مدار تمام تفاضلی و پیاده‌سازی اولیه در نرم افزار ADS جهت شبیه‌سازی شاخص‌های خطینگی..... ۶۶
- شکل پ-۲ قطعات مورد نیاز جهت رسم مشخصه  $G_m$ ..... ۶۷
- شکل پ-۳ تنظیم قطعات موجود در شکل پ-۲..... ۶۷
- شکل پ-۴ مراحل رسم مشخصه  $G_m$  در محیط شبیه سازی..... ۶۸
- شکل پ-۵ مشخصه  $G_m$ ..... ۶۹
- شکل پ-۶ مشخصه  $G_{m3}$ ..... ۶۹
- شکل پ-۷ قطعات مورد نیاز جهت رسم مشخصه THD..... ۷۰
- شکل پ-۸ تنظیمات قطعات موجود در شکل پ-۷..... ۷۱
- شکل پ-۹ مشخصه THD..... ۷۱
- شکل پ-۱۰ مراحل رسم جریان خروجی برحسب dB..... ۷۲
- شکل پ-۱۱ شاخص HD3..... ۷۳
- شکل پ-۱۲ قطعات مورد نیاز جهت رسم شاخص IM3..... ۷۳
- شکل پ-۱۳ تنظیمات قطعات موجود در شکل پ-۱۲..... ۷۴
- شکل پ-۱۴ شاخص HD3..... ۷۴
- شکل پ-۱۵ رسم مؤلفه‌های اصلی و مرتبه سوم سیگنال خروجی نسبت به دامنه تداخلی ورودی [۳]..... ۷۵
- شکل پ-۱۶ قطعات مورد نیاز جهت رسم مشخصه IP3..... ۷۶
- شکل پ-۱۷ تنظیمات قطعات موجود در شکل پ-۱۶..... ۷۷
- شکل پ-۱۸ رسم مشخصه IP3..... ۷۷
- شکل پ-۱۹ محاسبه شاخص IIP3..... ۷۸

شکل پ-۲۰ رسم تابع P0 در حالت Spectral..... ۷۹

## فهرست جدول‌ها

- جدول ۱-۲ مقایسه آپ امپ و OTA ..... ۹
- جدول ۱-۴ مقادیر مورد استفاده در طراحی شکل ۴-۸ ..... ۴۸
- جدول ۲-۴ مقادیر مورد استفاده در طراحی شکل ۴-۱۱ ..... ۴۹
- جدول ۳-۴ مقادیر مورد استفاده در طراحی شکل ۴-۱۲ ..... ۵۱
- جدول ۴-۴ میانگین هیستوگرام THD در مدار پیشنهادی ۴ به‌ازای درصد تغییرات ابعاد و دامنه ولتاژ ورودی ..... ۵۶
- جدول ۵-۴ مقایسه IM3 در مدار پیشنهادی ۴ نسبت به سه سلول دیگر ..... ۵۷
- جدول ۶-۴ مقادیر مورد استفاده در طراحی شکل ۴-۲۵ ..... ۵۹
- جدول ۷-۴ مقایسه عملکرد مدار پیشنهادی با سایر پژوهش‌های پیشین ..... ۶۲



## فصل اول

### پیش‌گفتار

یکی از اجزای جدایی‌ناپذیر سیستم‌های الکترونیکی و مخابراتی امروزی، شبکه‌های دوقطبی موسوم به فیلترها می‌باشند. در یک دسته بندی کلی می‌توان فیلترها را در دو گروه داخل تراشه و خارج از تراشه قرار داد. فیلترهای داخل تراشه خود به دو دسته فیلترهای آنالوگ و دیجیتال تقسیم می‌گردند. فیلترهای آنالوگ که از تنوع فراوانی برخوردار هستند، به دو دسته فعال و غیرفعال تقسیم می‌شوند. فیلترهای آنالوگ غیرفعال که در ساختار آنها از عناصر غیرفعال نظیر مقاومت، خازن و سلف استفاده می‌گردد، دارای ویژگی‌های مطلوبی همچون خطی بودن، توان مصرفی کم و پاسخ قابل قبول در فرکانس‌های بالا می‌باشند. با این حال به دلیل محدودیت‌های پیاده‌سازی به‌صورت مجتمع و حجم اشغالی و هزینه بالای آنها، دسته‌ی دیگری از فیلترهای آنالوگ که از عناصر فعال نظیر ترانزیستورها، تقویت‌کننده‌ها و ... تشکیل شده‌اند، مورد توجه طراحان مدارهای مجتمع آنالوگ قرار گرفته است.

مطابق شکل ۱-۱ فیلترهای فعال به دو گروه زمان-پیوسته<sup>۱</sup> و زمان-گسسته<sup>۲</sup> تقسیم می‌شوند. در فیلترهای زمان-گسسته، سیگنال ورودی ابتدا باید در حوزه زمان، نمونه‌برداری شود و سپس سیگنال گسسته تولید شده، مجدداً در خروجی به حالت پیوسته تبدیل گردد. با وجود خطینگی بالا، تابع انتقال دقیق، عملکرد نویز مناسب و دقت در انتخاب فرکانس قطع این فیلترها، نمی‌توان از آنها در کاربردهای فرکانس بالا استفاده نمود. چرا که طراح، به‌علت الزام به رعایت نرخ نایکویست (فرکانس بالای کلیدزنی حداقل دو برابر فرکانس قطع فیلتر) دارای محدودیت در افزایش فرکانس کاری مدار است. در مقابل، فیلترهای فعال زمان-پیوسته، دارای سرعت بیشتر، خطینگی متوسط و در نتیجه مناسب برای باندهای فرکانسی بالاتر می‌باشند.

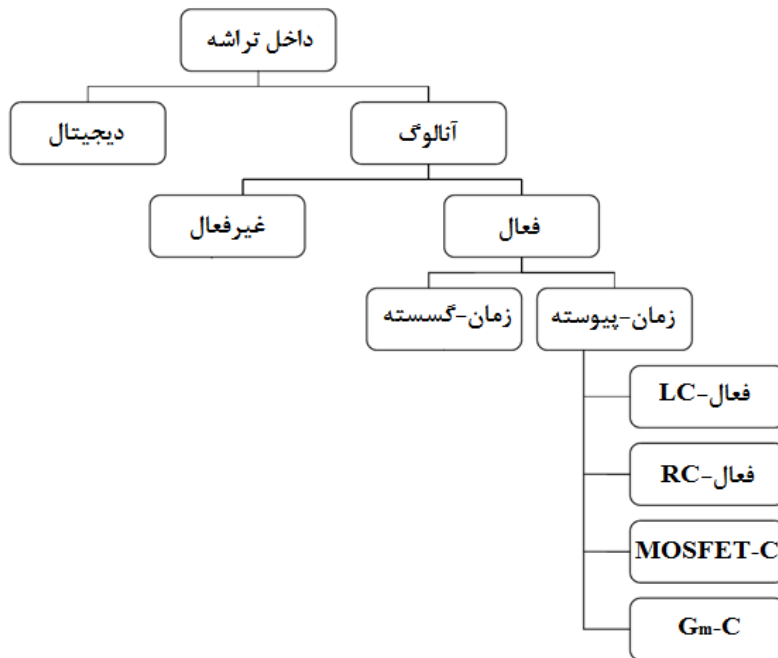
علاوه بر امکان استفاده در فرکانس‌های بالا، فیلترهای ترانسانا-خازن یا همان فیلترهای  $G_m-C$  می‌توانند دارای قابلیت تنظیم بهره تقویت‌کنندگی، تنظیم فرکانس قطع و سایر مشخصات فیلتر باشند.

---

<sup>۱</sup> Continuous-Time

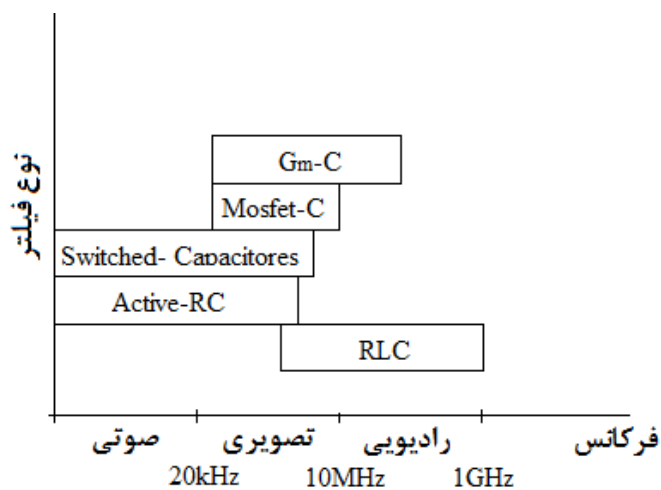
<sup>۲</sup> Discrete-Time

در ادامه شرح مختصری از برخی موارد کاربرد این فیلترها و همچنین چالش‌های موجود در بهبود عملکرد آن‌ها بیان می‌شود.



شکل ۱-۱ نمودار تقسیم بندی انواع فیلترها [۱].

از آن‌جا که یکی از پارامترهای مهم در انتخاب ساختار یک فیلتر، فرکانس کاری آن است، در میان انواع فیلترهای زمان-پیوسته، فیلترهای ترانسانا-خازن<sup>۱</sup> برای کاربردهای فرکانس بالا مناسب‌تر می‌باشند [۱]. شکل ۲-۱ محدوده فرکانس کاری فیلترهای مختلف را نشان می‌دهد.



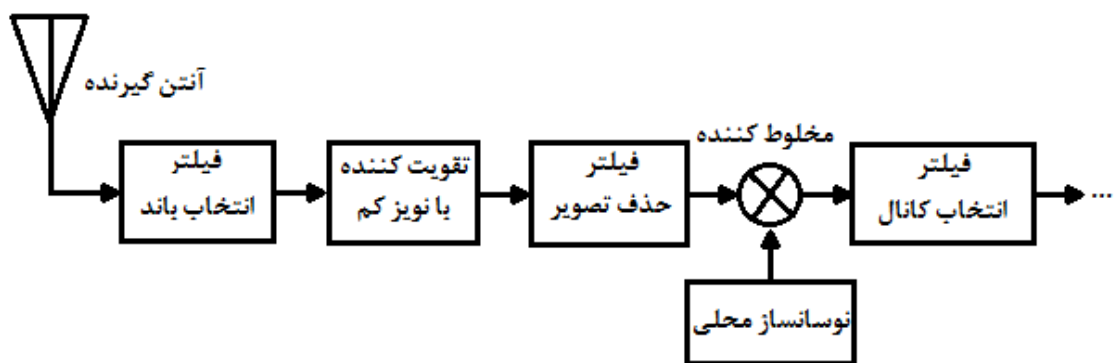
شکل ۲-۱ مقایسه فرکانس کاری در فیلترهای مختلف [۱].

<sup>۱</sup> Transconductance-C (OTA-C) or  $G_m$ -C Filters

## ۲-۱ انگیزه این تحقیق

تقویت کننده ترانسانای عملیاتی ( $OTA^1$ ) یا سلول  $G_m^2$  یکی از بلوک‌های اصلی سازنده مدارهای آنالوگ نظیر ضرب کننده‌ها، فیلترهای زمان-پیوسته  $G_m-C$ ، نوسان‌سازهای کنترل شده با ولتاژ، مدولاتورهای زمان-پیوسته سیگما-دلتا و ... است. ایده اصلی این تقویت کننده تبدیل مستقیم ولتاژ ورودی به جریان خروجی با یک نسبت تبدیل کاملاً خطی است [۲].

فیلتر انتخاب کانال از جمله موارد کاربردی برای سلول  $G_m$  است که در شکل ۳-۱ در ساختار یک گیرنده نشان داده شده است. این فیلتر به‌عنوان یکی از مهمترین اجزای موجود در گیرنده‌های استاندارد مخابراتی، جهت انتخاب کانال موردنظر و حذف امواج تداخلی، نیازمند تنظیم پذیری وسیع فرکانس، قابلیت انتخاب بیشتر کانال‌های مدنظر و خطینگی بالا است.



شکل ۳-۱ ساختار یک گیرنده با فیلتر انتخاب کانال [۳].

فیلترهای انتخاب کانال با ساختار  $G_m-C$ ، در مقابل ساختارهای فعال  $RC$ - و  $MOSFET-C$ ، در یک پهنای باند مشخص از مصرف توان پایین تری برخوردارند. همچنین دارای قابلیت تنظیم پذیری ساده تری می‌باشند. با این حال عملکرد حلقه باز سلول  $G_m$  در این نوع از فیلترها، منجر به غیرخطینگی بالا و کاهش محدوده دینامیک ورودی می‌گردد. بنابراین راه‌حل‌های متفاوتی در پژوهش‌های اخیر جهت طراحی سلول‌های  $G_m$  با خطینگی بالا ارائه شده است. علاوه بر مسأله خطینگی، سلول  $G_m$  موجود در

<sup>1</sup> Operational Transconductance Amplifier

<sup>2</sup>  $G_m$  Cell

فیلترهای  $G_m$ -C لازم است به طور گسترده تنظیم پذیر باشد. متاسفانه خطینگی ترانسانا متأثر از عمل تنظیم پذیری است. در حقیقت ممکن است خطسانی سلول  $G_m$  در طول بازه تنظیم از بین برود [۴].

با توجه به این که فیلترهای فعال از بلوک های پر کاربرد در ساختار فرستنده-گیرنده های بی سیم است، بنابراین سهم بزرگی از توان مصرفی سیستم را به خود اختصاص می دهند که کاهش توان مصرفی آن ها سبب کاهش چشم گیر توان کل سیستم خواهد شد. بنابراین چالش دیگری که در طراحی این فیلترها وجود دارد، طراحی آن ها در توان های مصرفی کم است.

بنابراین یکی از مهمترین مسائل موجود در بهبود کیفیت سیگنال خروجی فیلتر  $G_m$ -C، افزایش محدوده عملکرد خطی ترانسانا و دامنه سوینگ ولتاژ ورودی به همراه کاهش توان مصرفی در سلول  $G_m$  است. به همین علت افزایش خطینگی سلول های  $G_m$  بدون تحمیل توان مصرفی اضافی، یکی از زمینه های مورد علاقه در پژوهش های اخیر و این پایان نامه است.

### ۳-۱ اهداف تحقیق

روش های متعددی جهت افزایش خطینگی سلول  $G_m$  در پژوهش های اخیر معرفی شده است. در برخی موارد دو یا چند روش با هدف دستیابی به خطینگی بالاتر با یکدیگر ترکیب شده اند. از پارامترهای مهم در بهبود خطینگی ترانسانا، توجه به کاهش توان مصرفی، میزان تقویت کنندگی و سادگی پیاده سازی مدار است.

در این پایان نامه سعی بر آن است که روشی جهت خطی سازی یک سلول  $G_m$  با توان مصرفی پایین تر و میزان تقویت کنندگی بالاتر نسبت به ساختارهای مشابه ارائه شود. همچنین لازم به ذکر است که با افزایش توان مصرفی می توان به تقویت کنندگی و خطینگی بالاتری دست یافت. در نتیجه توان مصرفی و خطینگی دو پارامتر متقابل هستند و طراحی یک ترانسانا با توان مصرفی پایین و خطینگی بالا خود چالشی اساسی محسوب می گردد. بنابراین در این پایان نامه ساختاری جدید بر مبنای بایاس بدنه ترانزیستورهای ورودی در یک سلول  $G_m$ ، با هدف بهبود مشخصه های خطینگی، کاهش توان مصرفی و افزایش میزان ترانسانایی معرفی شده است.

## ۴-۱ ساختار پایان نامه

جهت تعیین میزان خطینگی ساختار پیشنهادی، نخست باید شاخص‌هایی که در این زمینه تعریف شده‌اند معرفی گردند. بنابراین در فصل دوم این پایان نامه پس از شرح مختصری از ویژگی‌های یک سلول  $G_m$ ، با معرفی پارامترهایی نظیر مشخصه  $G_m$ ، THD<sup>۱</sup>، HD3<sup>۲</sup>، IM3<sup>۳</sup> و روابط مربوط به آن‌ها به درک بهتری از مفهوم خطینگی می‌رسیم. فصل سوم به تحلیل و مقایسه انواع روش‌های خطی‌سازی در پژوهش‌های اخیر و بیان برخی از مزایا و معایب هر روش خواهد پرداخت. پس از بیان مقدمه‌ای از مطالعات انجام شده تاکنون بر روی روش افزایش خطینگی ترانسانا با استفاده از زوج‌های دیفرانسیلی موازی شده، سلول  $G_m$  پیشنهادی به همراه نتایج شبیه‌سازی در نرم افزار ADS و تکنولوژی TSMC 0.18um CMOS در فصل چهارم ارائه می‌گردد. مقایسه عملکرد مدار پیشنهادی با دیگر کارهای مشابه نیز در این فصل انجام می‌شود. نتیجه‌گیری و پیشنهادهایی برای ادامه کار در آینده نیز در فصل پنجم بیان خواهد شد.

---

<sup>۱</sup> Total Harmonic Distortion

<sup>۲</sup> 3rd Order Harmonic Distortion

<sup>۳</sup> Intermodulation Distortion (IM3 or ID3)

## فصل دوم

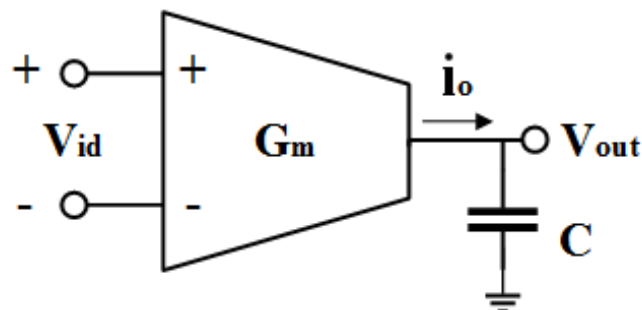
### معرفی سلول $G_m$ و شاخص‌های خطینگی

## ۱-۲ مقدمه

بلوک اصلی سازنده فیلترهای  $G_m$ -C، ترانساناها (سلولهای  $G_m$ ) می‌باشند و بهبود مشخصه‌های مربوط به ترانسانا سهم ویژه‌ای در عملکرد مطلوب فیلتر ساخته شده با آن دارد. در این فصل ابتدا به معرفی مختصری از سلول  $G_m$  و مفهوم غیرخطینگی در آن پرداخته می‌شود. سپس شاخص‌های متداولی که جهت ارزیابی میزان خطی بودن ترانسانا در این پایان‌نامه نیز مورد استفاده قرار می‌گیرند، معرفی می‌شوند.

## ۲-۲ معرفی اجمالی سلول $G_m$

انتگرال‌گیر، بلوک اصلی مورد استفاده در اغلب فیلترهای زمان-پیوسته است. جهت پیاده‌سازی یک انتگرال‌گیر ساده در ساختار  $G_m$ -C، یک ترانسانا و خازن مانند شکل ۱-۲ مورد استفاده قرار می‌گیرد [۵]. جریان خروجی سلول  $G_m$  مطابق روابط (۱-۲) و (۲-۲) دارای ارتباط خطی با ولتاژ تفاضلی ورودی است و با عبور از خازن  $C$ ، ولتاژ  $V_{out}$  را بوجود می‌آورد.



شکل ۱-۲ انتگرال‌گیر  $G_m$ -C.

$$i_o = G_m V_{id} \quad (1-2)$$

$$V_{out} = \frac{i_o}{sC} = \frac{G_m V_{id}}{sC} \quad (2-2)$$

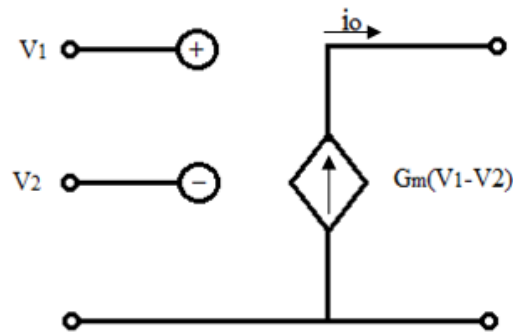
اکنون با تعریف  $\omega_u$  به‌عنوان فرکانس بهره واحد داریم:

$$\omega_u = \frac{G_m}{C} \quad (3-2)$$

در حقیقت ترانسانایی مورد نیاز ( $G_m$ ) در انتگرال‌گیر  $G_m$ -C، معادل عکس مقاومت مورد استفاده در فیلترهای RC، برای داشتن یک  $\omega_u$  معین است.



ترارسانای ایده‌آل همان‌گونه که در شکل ۲-۲ دیده می‌شود در واقع یک منبع جریان کنترل شده با ولتاژ است که دارای ترارسانایی ثابت در بازه تغییرات ولتاژ ورودی است. همچنین مقاومت ورودی و خروجی یک سلول  $G_m$  ایده‌آل بسیار بزرگ است.



شکل ۲-۲ مدار معادل سلول  $G_m$  ایده‌آل.

می‌توان یک سلول  $G_m$  را با یک تقویت‌کننده عملیاتی بدون طبقه خروجی، معادل‌سازی نمود. از این منظر تفاوت‌هایی میان ترارسانا و آپ امپ وجود دارد که در جدول ۱-۲ بیان شده است.

جدول ۱-۲ مقایسه آپ امپ و OTA

| Opamp  | OTA  |
|--|--|
|  | که در کاربردهای طراحی فیلتر، سلول $G_m$ نیز نامیده می‌شود.<br> |
| منبع ولتاژ کنترل شده با ولتاژ                      | منبع جریان کنترل شده با ولتاژ                                  |
| امپدانس خروجی پایین                                | امپدانس خروجی بالا   |
| خروجی به شکل ولتاژ است                             | خروجی به شکل جریان است   |
| توانایی راه اندازی بارهای مقاومتی را دارد          | توانایی راه اندازی بارهای مقاومتی را ندارد                     |
| برای فیلترهای RC و SC <sup>۱</sup> بسیار مناسب است | برای فیلترهای $G_m-C$ و SC بسیار مناسب است                     |
| پیچیدگی و توان مصرفی بیشتر به علت وجود بافر خروجی  | پیچیدگی و توان مصرفی کمتر                                      |
| سرعت کم‌تر   | سرعت بالاتر  |

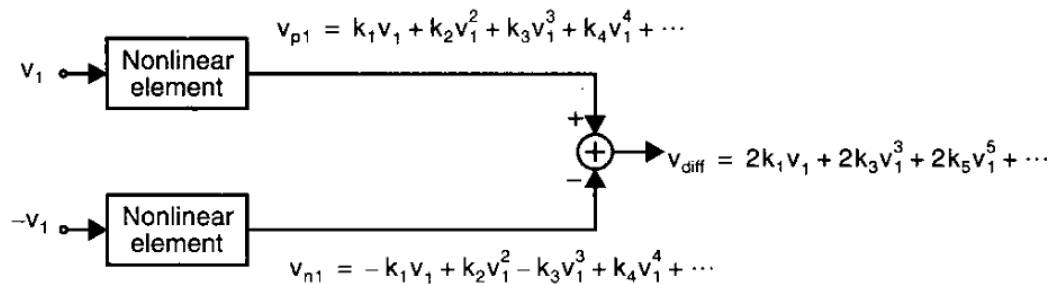
<sup>۱</sup> Switched Capacitor

در بسیاری از کاربردهای آنالوگ، سیگنال خروجی به صورت تمام تفاضلی مورد نیاز است. یکی از مزیت‌های ساختارهای تمام تفاضلی این است که به شرط برقراری تقارن، هیچ‌گونه مؤلفه نویز مد مشترکی (که به عنوان سیگنال مد مشترک در دو شاخه خروجی ظاهر می‌شود)، در خروجی آن وجود ندارد. همان‌طور که در ادامه خواهیم دید سیگنال تفاضلی تنها دارای مؤلفه‌های اعوجاج فرد است.

شکل ۲-۳ دو عنصر غیرخطی یکسان را نشان می‌دهد که جهت سادگی، ولتاژ مد مشترک اعمالی به آن‌ها صفر در نظر گرفته شده است. در صورتی که غیرخطینگی بدون حافظه<sup>۱</sup> باشد، می‌توان سیگنال خروجی هر شاخه را توسط بسط سری تیلور مطابق رابطه (۲-۴) به دست آورد:

$$V_o = k_1 V_1 + k_2 V_1^2 + k_3 V_1^3 + k_4 V_1^4 + \dots \quad (۲-۴)$$

که در سیستم نامتغیر با زمان،  $k_i$  ها مقادیر ثابت می‌باشند. در این صورت سیگنال تفاضلی خروجی،  $V_{diff}$ ، تنها شامل مؤلفه خطی،  $2k_1 V_1$ ، و مؤلفه‌های اعوجاج مرتبه فرد (که عموماً از مؤلفه مرتبه دوم کوچک‌تر هستند) است [۶]. با دانستن این دو مزیت بسیار مهم، امروزه بسیاری از فیلترها به صورت ساختار تمام تفاضلی پیاده‌سازی می‌شوند.



شکل ۲-۳ نمایش حذف مؤلفه‌های اعوجاج با مرتبه زوج در ساختار تمام تفاضلی [۶].

### ۳-۲ غیرخطینگی در سلول $G_m$

هرگاه خروجی یک سیستم به مقادیر قبلی ورودی یا خروجی آن وابستگی نداشته باشد، سیستم را بدون حافظه یا استاتیک می‌نامند. در یک سیستم بدون حافظه خطی، مشخصه ورودی-خروجی مطابق معادله (۲-۵) بیان می‌شود:

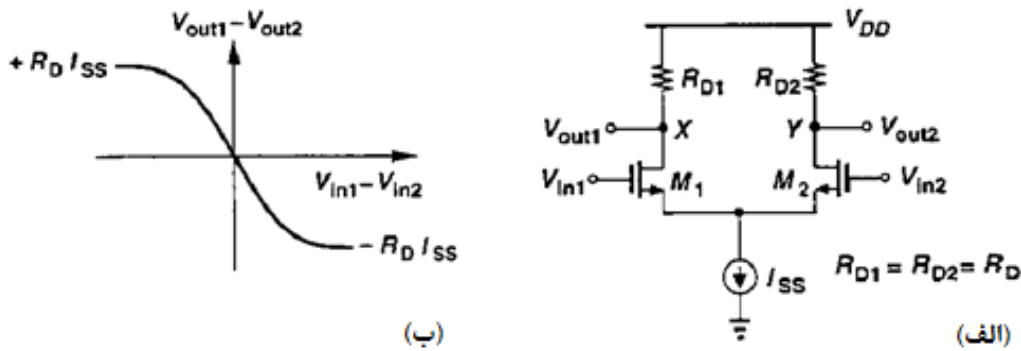
<sup>۱</sup> Memoryless

$$y(t) = ax(t) \quad (5-2)$$

در حالیکه در یک سیستم بدون حافظه غیرخطی، مشخصه ورودی-خروجی با یک چند جمله ای تقریب زده می شود:

$$y(t) = a_0 + a_1x(t) + a_2x^2(t) + a_3x^3(t) + \dots \quad (6-2)$$

که اگر سیستم متغیر با زمان باشد،  $a_n$  ها ممکن است تابعی از زمان باشند. شکل ۴-۲ (الف) تقویت کننده تمام تفاضلی را به عنوان یک سیستم بدون حافظه غیر خطی (در فرکانس های پایین) و نامتغیر با زمان نمایش می دهد.



شکل ۴-۲ (الف) مدار تمام تفاضلی پایه، (ب) مشخصه انتقالی ورودی-خروجی تفاضلی [۷].

همان طور که در شکل ۴-۲ (ب) دیده می شود با افزایش  $|V_{in1} - V_{in2}|$  یا میزان سوئیچینگ ولتاژ ورودی، مدار غیرخطی تر شده و مشخصه انتقالی وارد نواحی اشباع بالا و پایین می گردد [۷]. هنگامی که  $M_1$  و  $M_2$  در ناحیه اشباع بایاس شوند مشخصه مدار فوق با معادله (۷-۲) قابل بیان است [۷]:

$$V_{out} = -(I_{M1} - I_{M2})R_D = -\left(\frac{1}{2}\mu_n C_{ox} \frac{W}{L} V_{id} \sqrt{\frac{4I_{SS}}{\mu_n C_{ox} \frac{W}{L}} - V_{id}^2}\right) R_D \quad (7-2)$$

که  $V_{id} = V_{in1} - V_{in2}$  و  $V_{out} = V_{out1} - V_{out2}$  و مدار کاملاً متقارن است. اگر ولتاژ تفاضلی ورودی کوچک باشد می توان معادله (۷-۲) را به صورت یک چند جمله ای مطابق معادله (۸-۲) تقریب زد [۳].

$$V_{out} \approx -(I_{M1} - I_{M2})R_D \approx -\left(\sqrt{\mu_n C_{ox} \frac{W}{L} I_{SS}} V_{id} + \frac{(\mu_n C_{ox} \frac{W}{L})^{3/2}}{8\sqrt{I_{SS}}} V_{id}^3\right) R_D \quad (8-2)$$

در این چند جمله ای، مؤلفه اول در حقیقت بهره ولتاژ سیگنال کوچک مدار  $(-g_m R_D)$  است. به علت تقارن مدار مؤلفه های غیرخطی مرتبه زوج حذف شده اند. از این معادله می توان دریافت که بزرگی دامنه مؤلفه

مرتبه سوم ظاهر شده در سیگنال خروجی، عامل رفتار غیرخطی مدار در دامنه‌های ورودی سیگنال بزرگ است [۳].

## ۴-۲ شاخص‌های خطینگی

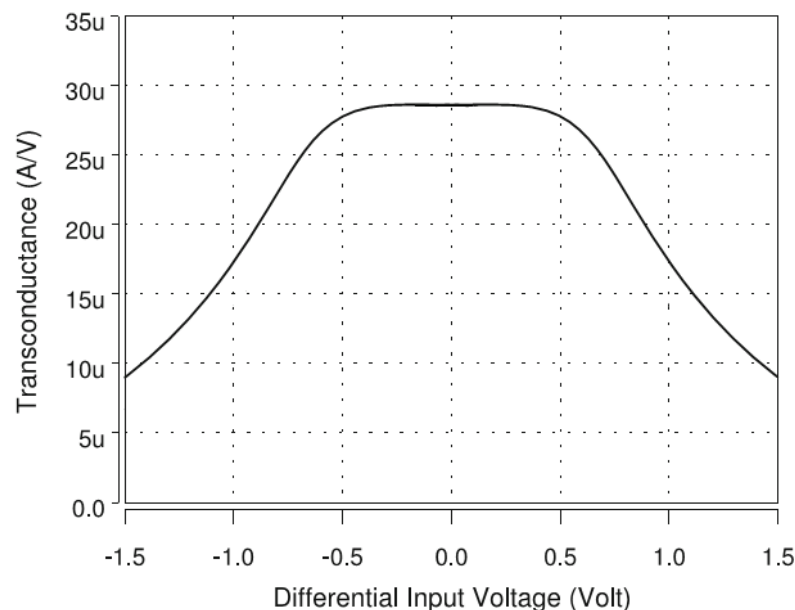
جهت تعیین میزان اثرات نامطلوب اعوجاج بر رفتار خطی سلول  $G_m$ ، در ادامه به معرفی برخی معیارهای خطینگی پرداخته می‌شود.

### ۱-۴-۲ مشخصه $G_m$ بر حسب ولتاژ ورودی

یکی از شاخص‌هایی که با رسم آن می‌توان به میزان خطینگی ترانسانا پی برد، رسم مشخصه  $G_m$  بر حسب دامنه قله تا قله ولتاژ ورودی است. مشخصه  $G_m$  که بر اساس معادله (۹-۲) رسم می‌گردد، معرف حداکثر دامنه مجاز ورودی به نحوی که عملکرد خطی مدار تعقیب گردد، است [۸].

$$G_m = \frac{d(I_{out})}{d(V_{id})} \quad (9-2)$$

در این معیار منظور از عملکرد خطی، مطابق شکل (۵-۲) ثابت ماندن و نداشتن هرگونه ریبیل یا نوسان سطح  $G_m$  در برابر تغییرات دامنه ولتاژ ورودی است [۹]. در یک سلول تمام‌تفاضلی این مشخصه میزان استقلال ترانسانا را نسبت به ولتاژ تفاضلی ورودی نشان می‌دهد.



شکل ۵-۲ مشخصه  $G_m$ - $V_{id}$  که معرف مقدار ترانسانایی  $28\mu A/V$  و بازه خطی ورودی  $0.5V_p$  است.

## ۲-۴-۲ THD (مجموع اعوجاج هارمونیک‌ها)

اگر یک سیگنال سینوسی به یک سیستم نامتغیر با زمان خطی اعمال شود کاملاً مشخص است که سیگنال خروجی نیز باید سینوسی و دارای همان فرکانس ورودی باشد. تنها تغییر ممکن در چنین سیستمی، تغییر در میزان دامنه و فاز سیگنال ورودی است. درحالی‌که اگر چنین سیگنالی به یک سیستم غیرخطی اعمال گردد، سیگنال خروجی دارای مؤلفه‌های فرکانسی دیگری شامل مضارب صحیحی از فرکانس سیگنال اصلی<sup>۱</sup>، خواهد شد. این مؤلفه‌های فرکانسی اصطلاحاً هارمونی نامیده می‌شوند.

شاخص THD در حقیقت نسبت توان کل هارمونی‌های مرتبه دوم و بالاتر به توان مؤلفه اصلی سیگنال است. رابطه THD در یک سلول  $G_m$  با خروجی جریان، گاهی به صورت درصد و مطابق رابطه (۱۰-۲) گزارش می‌گردد.

$$\text{THD}(\%) = \frac{\sqrt{I_{h2}^2 + I_{h3}^2 + I_{h4}^2 + \dots}}{I_f} \times 100 \quad (10-2)$$

که  $I_f$  دامنه مؤلفه اصلی جریان و  $I_{hi}$  دامنه هارمونی  $i$  ام جریان است. شاخص THD را می‌توان مطابق رابطه (۱۱-۲) با واحد dB نیز بیان کرد.

$$\text{THD (dB)} = 10 \log\left(\frac{I_{h2}^2 + I_{h3}^2 + I_{h4}^2 + \dots}{I_f^2}\right) \quad (11-2)$$

به‌عنوان مثال منظور از THD برابر ۰/۱ درصد آن است که دامنه مؤلفه اصلی سیگنال، ۱۰۰۰ برابر از دامنه مؤلفه‌های هارمونی بزرگتر است. این مقدار THD معادل 60 dB- است.

## ۲-۴-۳ اعوجاج هارمونی مرتبه سوم نسبی HD3

همان‌طور که قبلاً گفته شد دلیل آنکه از میان مؤلفه‌های هارمونی بیشتر بر روی مؤلفه مرتبه سوم تمرکز می‌شود آن است که در مدارهای تمام‌تفاضلی، مؤلفه‌های اعوجاج مرتبه زوج به‌صورت ایده‌آل در سیگنال خروجی وجود ندارند و مؤلفه‌های فرد بالاتر از مرتبه سوم نیز اغلب یا دارای دامنه‌های بسیار کوچک می‌باشند و یا این‌که خارج از پهنای باند فرکانسی مدار قرار می‌گیرند. در یک سلول  $G_m$  تفاضلی

<sup>۱</sup> Fundamental or First Harmonic

به عنوان یک سیستم غیرخطی (بدون حافظه و نامتغیر با زمان) با اعمال سیگنال  $V_{id}$  جریان خروجی مطابق رابطه (۱۲-۲) تقریب زده می شود که در آن  $a_1$  مؤلفه خطی و  $a_3$  مؤلفه اعوجاج مرتبه سوم نامیده می گردد.

$$I_o(t) \cong a_1 V_{id}(t) + a_3 V_{id}^3(t) \quad (12-2)$$

در صورتی که  $V_{id}(t) = A \cos(\omega t)$  باشد سیگنال خروجی جریان را می توان با رابطه (۱۳-۲) بیان کرد:

$$I_o(t) \cong a_1 A \cos(\omega t) + \frac{a_3}{4} A^3 [3 \cos(\omega t) + \cos(3\omega t)] \quad (13-2)$$

رابطه فوق را می توان به صورت رابطه (۱۴-۲) بازنویسی کرد:

$$I_o \cong H_{D1} \cos(\omega t) + H_{D3} \cos(3\omega t) \quad (14-2)$$

که در آن با فرض کوچک بودن دامنه  $A$ ، دامنه مؤلفه اصلی ( $H_{D1}$ ) و مؤلفه هارمونی مرتبه سوم ( $H_{D3}$ ) مطلق موجود در جریان خروجی، به ترتیب با روابط زیر تعریف می گردند [۶]:

$$H_{D1} = a_1 A + \frac{3}{4} a_3 A^3 \cong a_1 A \quad (15-2)$$

$$H_{D3} = \frac{a_3}{4} A^3 \quad (15-2)$$

بنابراین می توان اعوجاج هارمونی مرتبه سوم نسبی را مطابق رابطه (۱۶-۲) تعریف کرد.

$$HD3 \equiv \frac{H_{D3}}{H_{D1}} = \left(\frac{a_3}{a_1}\right) \left(\frac{A^2}{4}\right) \quad (16-2)$$

در شبیه سازی این پایان نامه با استفاده از رابطه (۱۷-۲) از واحد dB برای بیان  $HD3$  استفاده

خواهد شد:

$$HD3(dB) = H_{D3}(dB) - H_{D1}(dB) \quad (17-2)$$

هرچند که در اکثر مطالعات انجام شده در زمینه خطینگی سلول های  $G_m$  معمولاً به بررسی شاخص های مشخصه  $G_m$ ، THD و  $HD3$  بسنده شده است، اما همان طور که در مرجع [۶] بیان شده است، به دلیل این که مؤلفه هارمونی مرتبه سوم در فرکانس سه برابر فرکانس پایه قرار می گیرد و ممکن است خارج از پهنای باند سیستم باشد، شاخص دیگری به نام  $IM3$  معرفی می گردد تا بتوان اعوجاج مرتبه سوم را در نزدیکی فرکانس سیگنال ورودی بررسی نمود.

### ۴-۴-۲ اعوجاج اینترمدولاسیون مرتبه سوم نسبی IM3

در آزمایش اینترمدولاسیون، سیگنال ورودی مطابق رابطه (۱۸-۲) شامل دو سیگنال هم دامنه اما با دو فرکانس متفاوت و بسیار نزدیک به یکدیگر است.

$$V_{in}(t) = A\cos(\omega_1 t) + A\cos(\omega_2 t) \quad (18-2)$$

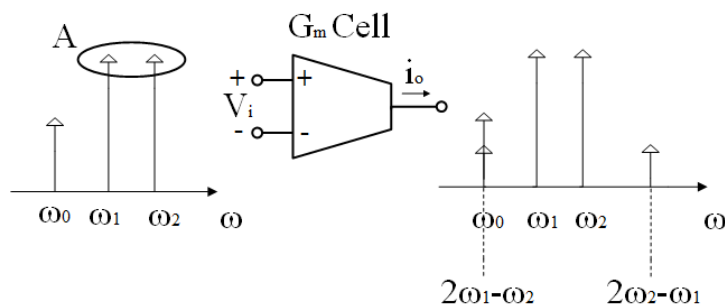
در این صورت مطابق رابطه (۱۲-۲) سیگنال خروجی با رابطه (۱۹-۲) تقریب زده می‌شود:

$$\begin{aligned} I_o(t) \cong & \left( a_1 A + \frac{9a_3}{4} A^3 \right) [\cos(\omega_1 t) + \cos(\omega_2 t)] \quad (19-2) \\ & + \frac{a_3}{4} A^3 [\cos(3\omega_1 t) + \cos(3\omega_2 t)] \\ & + \frac{3a_3}{4} A^3 [\cos(2\omega_1 t + \omega_2 t) + \cos(2\omega_2 t + \omega_1 t)] \\ & + \frac{3a_3}{4} A^3 [\cos(\omega_1 t - \Delta\omega t) + \cos(\omega_2 t + \Delta\omega t)] \end{aligned}$$

که  $\Delta\omega \equiv \omega_2 - \omega_1$  بسیار کوچک در نظر گرفته می‌شود. در این معادله دیده می‌شود که سطر اول مؤلفه‌های فرکانس اصلی را تشکیل می‌دهد. سطر دوم مؤلفه‌های سه برابر فرکانس اصلی را نمایش می‌دهد و سطر سوم نمایانگر اعوجاجی نزدیک به سه برابر فرکانس اصلی است. اما سطر چهارم حاوی مؤلفه‌های اعوجاجی در دو فرکانس جدید (که بسیار به فرکانس‌های پایه نزدیک هستند) است (اندکی کوچک‌تر از  $\omega_1$  و اندکی بزرگتر از  $\omega_2$ ).

در نتیجه در یک فیلتر باند باریک یا پایین گذر، همان‌طور که در شکل ۲-۶ دیده می‌شود، اگر به همراه فرکانس سیگنال اصلی ورودی ( $\omega_0$ ) دو سیگنال تداخلی با دامنه بزرگ  $A$  و فرکانس‌های  $\omega_1$  و  $\omega_2$  وارد سیستم گردند، دو فرکانس تولید شده جدید (که در اثر اعوجاج مرتبه سوم بوجود آمده‌اند) ممکن است درون باند گذر سلول  $G_m$  قرار بگیرند.

در این صورت اگر به‌عنوان مثال  $2\omega_1 - \omega_2 = \omega_0$  باشد، مؤلفه اینترمدولاسیون، به مؤلفه سیگنال اصلی  $\omega_0$  در خروجی افزوده می‌شود و می‌تواند خروجی را نامعتبر سازد [۳]. در نتیجه این شاخص نیز برای پیش‌بینی اثر مؤلفه مرتبه سوم مورد استفاده قرار می‌گیرد.



شکل ۲-۶ ایجاد مؤلفه فرکانسی اینترمدولاسیون در نزدیکی فرکانس اصلی

به طور مشابه با تحلیل مورد استفاده در شاخص HD<sub>3</sub>، در این بخش نیز برای تعریف IM<sub>3</sub> نخست از رابطه (۲-۱۹)، مؤلفه اینترمدولاسیون مطلق مرتبه اول و مرتبه سوم مطابق با روابط (۲-۲۰) و (۲-۲۱) تعریف می گردند:

$$I_{D1} = a_1 A \quad (20-2)$$

$$I_{D3} = \frac{3a_3}{4} A^3 \quad (21-2)$$

بنابراین شاخص IM<sub>3</sub> معادل به کمک رابطه (۲-۲۲) محاسبه می گردد.

$$IM3 \equiv \frac{I_{D3}}{I_{D1}} = \left( \frac{a_3}{a_1} \right) \left( \frac{3A^2}{4} \right) \quad (22-2)$$

لازم به ذکر است این شاخص نیز در این پایان نامه با واحد dB اندازه گیری خواهد شد.

## ۲-۵ نتیجه گیری

شاخصه های مختلفی برای سنجش میزان خطسانی یک مدار وجود دارد که هر کدام به طریقی حاکی از وجود هارمونی هایی غیر از هارمونی اصلی در خروجی مدار است. برخی از این شاخصه ها در این فصل تعریف و مورد بررسی قرار گرفتند. همچنین ملاحظه شد که در ساختارهای تمام تفاضلی هارمونی های زوج حذف و تنها هارمونی های فرد عامل غیرخطی سازی خروجی است. روش های متعددی در مقالات برای کاهش اثرات غیرخطی پیشنهاد شده است که در فصل بعد در مورد هر روش و مزایا و معایب آن بحث خواهد شد.



## فصل سوم

مروری بر مطالعات انجام شده

توجه به ملاحظات توان مصرفی، سطح ولتاژ تغذیه و تکنولوژی مورد استفاده، میزان ترانسانایی، پایداری در شرایط مختلف، قابلیت و محدوده تنظیم‌پذیری و ... از الزامات اساسی طراحان و سازندگان سلول‌های  $G_m$  محسوب می‌گردد. بدیهی است در تمام کاربردهای فرکانس رادیویی، میزان عملکرد خطی سلول، مسأله‌ای اساسی بوده که گریز از آن امکان‌پذیر نیست.

در این فصل مطالعات صورت‌گرفته با هدف بررسی روش‌های موجود برای خطی‌سازی سلول‌های  $G_m$  و در نظر گرفتن مزایا و معایب این روش‌ها، در قالب سه دسته کلی انجام شده است.

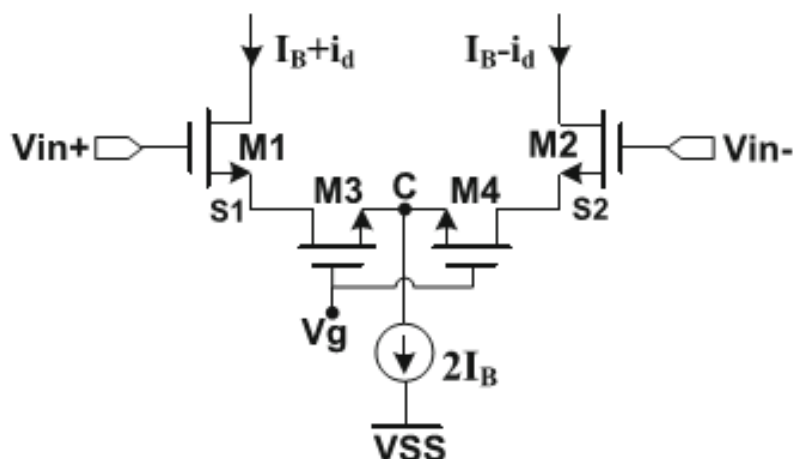
### ۲-۳ دسته اول: ساختارهای مبتنی بر عملکرد ترانزیستورها در نواحی کاری مختلف

مطالعات این بخش بر اساس نواحی کاری سه‌گانه ترانزیستور اعم از ناحیه تریاود یا خطی، اشباع و زیرآستانه صورت پذیرفته و با در نظر گرفتن مشخصه‌ها و روابط ترانزیستورها در نواحی کاری متفاوت یا ترکیب آن‌ها ساختارهای متفاوتی ارائه شده است.

### ۱-۲-۳ ناحیه تریاود یا خطی به‌عنوان مقاومت

یکی از ساده‌ترین روش‌ها جهت افزایش خطینگی ترانسانا، قراردادن مقاومت  $R$  در پایه سورس زوج تفاضلی است. ایراد اصلی این عمل، نیاز به مقاومت بزرگ جهت دستیابی به محدوده خطی وسیع است. از طرفی از آن‌جا که در این ساختارها  $G_m \approx 1/R$  است، بهره ترانسانایی به‌دست‌آمده به مقادیر پایین محدود می‌گردد. به‌علاوه قراردادن یک مقاومت ثابت، قابلیت تنظیم پذیری ترانسانا را محدود خواهد نمود. در شکل ۱-۳ با استفاده از دو ترانزیستور در ناحیه تریاود، به‌عنوان جایگزین مناسبی برای مقاومت‌های موجود در سورس به‌عنوان یک عنصر دیجنریتیو<sup>۱</sup>، ضمن بهبود خطینگی مدار، مزایایی چون فضای ساخت مورد نیاز کمتر، هزینه پیاده‌سازی کمتر و امکان تنظیم پذیری از طریق ولتاژ گیت، جهت جبران‌سازی خطای پروسه ساخت نیز به‌دست آمده است [۱۰-۱۲].

<sup>۱</sup> Degenerative Element



شکل ۱-۳ افزایش خطینگی توسط ترانزیستورهای ناحیه ترایودی در سورس [۱۳].

جریان یک ترانزیستور در ناحیه ترایود مطابق رابطه (۱-۳) به دست می آید. در این صورت اگر ترانزیستور در ناحیه ترایود عمیق قرار گیرد، دارای مقاومتی برابر با رابطه (۲-۳) است.

$$I_D = \mu_n C_{ox} \left(\frac{w}{l}\right) [(V_{GS} - V_{th})V_{DS} - \frac{V_{DS}^2}{2}] \quad (1-3)$$

$$r_{DS} \equiv \left(\frac{\partial i_D}{\partial v_{DS}}\right)^{-1} = \frac{1}{\mu_n C_{ox} \left(\frac{w}{l}\right) (V_{GS} - V_{th})} \quad (2-3)$$

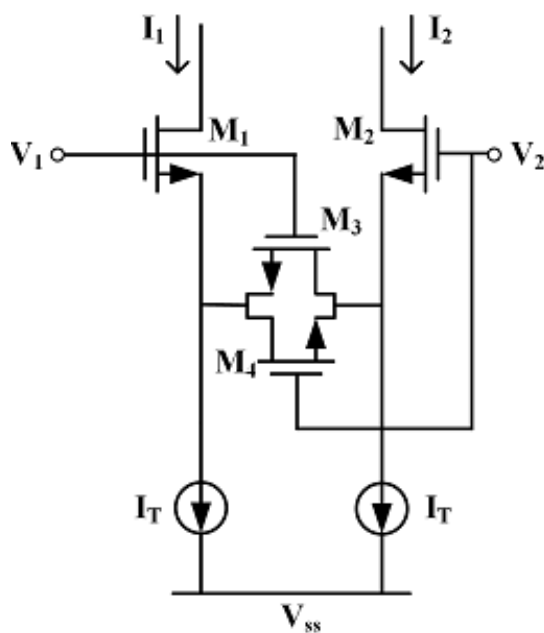
در نتیجه با توجه به رابطه (۳-۳) ترانسانایی سلول، برابر با معکوس مقاومت سیگنال کوچک معادل در پایه‌های سورس است:

$$G_m = \frac{1}{r_{DS1} + r_{DS2}} = \frac{1}{2} \mu_n C_{ox} \left(\frac{w}{l}\right)_3 (V_{GS3} - V_{th}) \quad (3-3)$$

روش دیگر در اتصال ترانزیستورهای ناحیه ترایود به عنوان مقاومت در شکل ۲-۳ دیده می شود. در این ساختار ترانزیستورهای ترایودی به صورت موازی با هم در سورس طوری قرار گرفته اند که گیت آن‌ها به ورودی‌های سلول  $G_m$  متصل شده است. در این صورت جریان خروجی از رابطه (۴-۳) به دست می آید [۱۴]:

$$I_o = I_1 - I_2 = \frac{\sqrt{2K_{n1}I_T}}{a} V_{id} \sqrt{1 - \frac{K_{n1}V_{id}^2}{8a^2I_T}} \quad (4-3)$$

که  $V_{id} = V_1 - V_2$ ،  $K_n = \mu_n C_{ox} \left(\frac{w}{l}\right)$  و  $a = 1 + \frac{K_{n1}}{4K_{n3}}$  است. مزیت این روش نسبت به مدار قبل این است که مقاومت هریک از ترانزیستورهای  $M_3$  و  $M_4$  طوری با سیگنال ورودی تغییر می کنند که مقاومت



شکل ۳-۲ اتصال گیت ترانزیستورهای دیجنریشن به ولتاژ ورودی [۱۴].

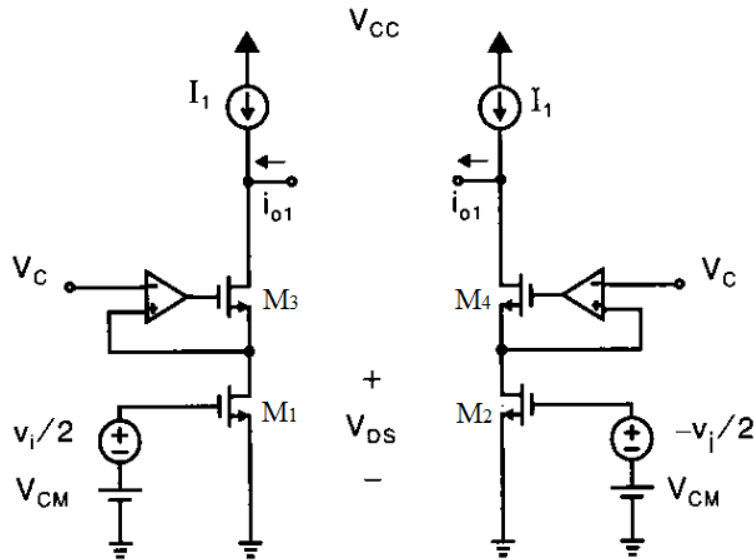
معادل کل آن‌ها نسبت به سیگنال ورودی ثابت مانده و بنابراین  $G_m$  کل ترانسانا حساسیت کمتری نسبت به تغییرات سیگنال ورودی خواهد داشت. مطابق رابطه (۳-۴) ضریب  $a^2$  موجب کاهش اثر مؤلفه مرتبه دوم ولتاژ تفاضلی ورودی ( $V_{id}^2$ ) در رابطه ترانسانایی و افزایش خطینگی کل سلول می‌گردد. البته در این ساختار، ترانسانایی به سبب ضریب  $a$  در مخرج کاهش می‌یابد و همچنین خاصیت تنظیم‌پذیری سلول  $G_m$  از بین رفته‌است. بهینه‌ترین نسبت ( $K_{n1}/K_{n3}$ ) جهت حداکثر خطینگی، اندکی بزرگتر از عدد ۶ به‌دست آمده است [۱۵].

### ۳-۲-۲-۲ بایاس ترانزیستورهای طبقه ورودی در ناحیه تراپود

ایده اصلی در اغلب روش‌های ارائه شده در این بخش، ثابت نگه داشتن ولتاژ درین-سورس ترانزیستورهای ورودی، به نحوی که در ناحیه تراپود قرار گیرند است. رابطه (۳-۱) نشان می‌دهد اگر  $V_{DS}$  یک ترانزیستور ناحیه تراپود ثابت باشد، جریان درین دارای ارتباطی خطی با  $V_{GS}$  ترانزیستور است. به‌عنوان مثال در شکل (۳-۳)، با قرار دادن ولتاژ  $V_c$  مناسب و ثابت بر روی درین ترانزیستورهای  $M_1$  و  $M_2$ ، سعی نموده است آن‌ها را در ناحیه تراپود قرار دهد و به این ترتیب، مطابق رابطه (۳-۵)،  $G_m$  به‌دست آمده مستقل از ولتاژ ورودی تفاضلی و دارای قابلیت تنظیم‌پذیری با  $V_c$  است. هرچند که افزایش

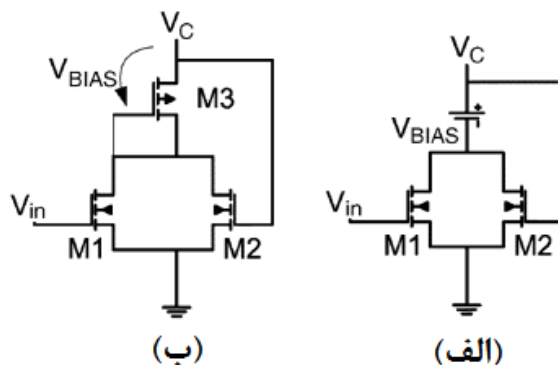
$G_m$  با افزایش  $V_c$  در این مدار، افزایش توان مصرفی و کاهش حداکثر دامنه مجاز ولتاژ ورودی را نیز در پی دارد [۶].

$$G_m = K_{n1}V_c \quad (۵-۳)$$



شکل ۳-۳ ترانسانا با روش ولتاژ درین-سورس ثابت [۶].

در مرجع [۱۶] برای داشتن  $G_m$  مستقل از تغییرات ورودی، از مدار شکل ۴-۳ (الف) به جای ترانزیستورهای ورودی تفاضلی استفاده نموده است. در این طرح، ترانزیستورهای  $M_1$  و  $M_2$  در ناحیه ترایود و ترانزیستور  $M_3$  که مطابق شکل ۴-۳ (ب) تولیدکننده  $V_{BIAS}$  است در ناحیه اشباع قرار دارند.



شکل ۴-۳ (الف) و (ب) ساختار پیشنهاد شده برای ترانزیستورهای ورودی در ناحیه ترایود [۱۶].

روابط حاکم بر این ساختار برای جریان  $I_{D3}$  به شرح زیر است:

$$I_{D3} = I_{D1} + I_{D2} = K_n \left[ (V_{GS} - V_{th})V_{DS} - \frac{V_{DS}^2}{2} \right] + K_n \left[ (V_C - V_{th})V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (۶-۳)$$

که در آن داریم:

$$V_{DS1} = V_{DS2} = V_C - V_{BIAS} \quad (7-3)$$

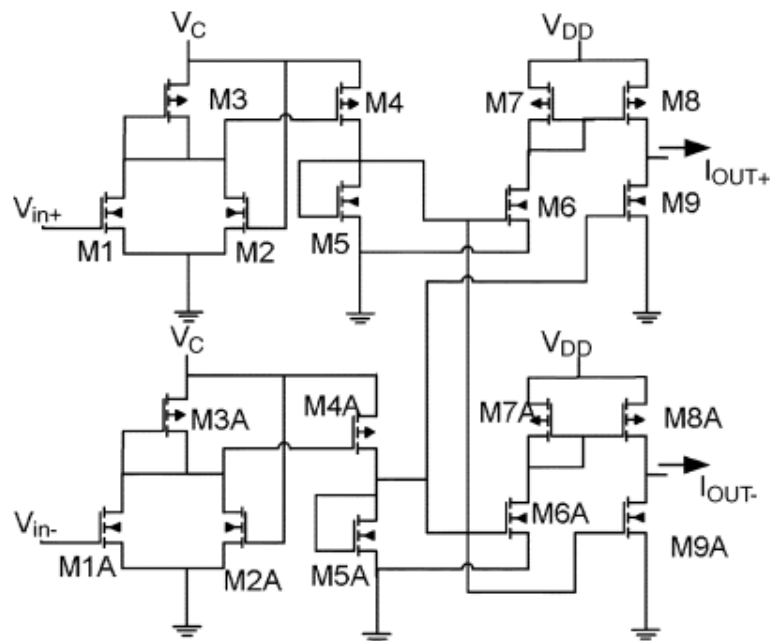
با جایگذاری (7-3) در (6-3) داریم:

$$I_{D3} = K_n(V_{GS} + V_{BIAS} - 2V_{th})(V_C - V_{BIAS}) \quad (8-3)$$

بنابراین مقدار  $G_m$  در شکل (4-3) برابر است با:

$$G_m = \left( \frac{\partial I_{D3}}{\partial V_{GS}} \right) = K_n(V_C - V_{BIAS}) \quad (9-3)$$

شکل (5-3) ترانسانای تمام تفاضلی پیشنهادی در [۱۶] را نشان می‌دهد که در آن از ترانزیستورهای  $M_{(1-3)}$  و  $M_{(1-3)A}$  مطابق شکل (4-3) در طبقه ورودی خود استفاده نموده‌است. در گره مثبت خروجی ( $I_{OUT+}$ )، ترانزیستورهای  $M_5, M_6$  و  $M_7, M_8$  جهت آینه نمودن جریان  $M_3$  در خروجی بکار می‌روند. جریان  $M_{3A}$  نیز توسط  $M_9$  در خروجی کپی می‌شود. مشابه این روند در گره منفی خروجی ( $I_{OUT-}$ )، نیز رخ می‌دهد.



شکل ۵-۳ ترانسانای تمام تفاضلی کنترل پذیر با  $V_c$  [۱۶].

اگر گره مثبت در مدل نیم مدار را در شکل ۵-۳ در نظر بگیریم، مطابق با رابطه‌های (۸-۳) و

(۹-۳) داریم:

$$I_{D3} = G_m(V_{GS1} + V_{BIAS} - 2V_{th}) \quad (10-3)$$

$$I_{D3A} = G_m(V_{GS1A} + V_{BIAS} - 2V_{th}) \quad (11-3)$$

که ولتاژهای گیت-سورس در روابط  $I_{D3}$  و  $I_{D3A}$  برابر هستند با:

$$V_{GS1} = V_{indc} + \Delta V_{in}/2 \quad (12-3)$$

$$V_{GS1A} = V_{indc} - \Delta V_{in}/2 \quad (13-3)$$

بنابراین جریان خروجی در گره مثبت مطابق رابطه (3-14) به دست می آید:

$$I_{OUT+} = I_{D3} - I_{D3A} = K_n(V_C - V_{BIAS})\Delta V_{in} = G_m\Delta V_{in} \quad (14-3)$$

هرچند ساختار معرفی شده که در تکنولوژی 0/18 میکرومتر شبیه سازی شده، به مقدار

$G_m = 20 \mu A/V$  و  $THD = -65dB$  رسیده است، اما به دلیل این که لازم است  $V_C > V_{th(2\&2A)}$  و

$V_{BIAS} > V_{th(3\&3A)}$  باشد، سطح ولتاژ ورودی این مدار باید از رابطه (3-15) پیروی کند و این موضوع

گستره دینامیکی ساختار پیشنهادی را تحت تأثیر قرار می دهد [16].

$$V_{in} > V_C - V_{BIAS} \quad (15-3)$$

3-2-3 استفاده از ترکیب نواحی اشباع، تراپود و زیر آستانه

همان طور که در فصل دوم و رابطه (2-6) نشان داده شد، سیگنال خروجی در یک سیستم غیرخطی

نامتغیر با زمان و بدون حافظه دارای ارتباطی غیرخطی با سیگنال ورودی است. در این رابطه ضریب  $a_0$

مؤلفه DC سیگنال خروجی را نمایش می دهد و ضریب  $a_1$  نمایان گر بهره خطی سیستم است، در حالیکه

ضرایب  $a_2$ ,  $a_3$  و ... مؤلفه های اعوجاج تولید شده در سیستم را نشان می دهند که مقدار این ضرایب از

رابطه (3-16) به دست می آیند [17].

$$a_n = \frac{1}{n!} \frac{d^n y}{dx^n} \quad (16-3)$$

رابطه (2-6) را برای یک ترانسای تمام تفاضلی متقارن با قابلیت حذف اعوجاج مؤلفه های زوج،

می توان به صورت رابطه زیر بازنویسی کرد:

$$i_D = I_D + G_m V_{id} + G_m'' V_{id}^3(t) + \dots \quad (17-3)$$

در رابطه فوق  $G_m''$  (که در برخی مطالعات با  $G_{m3}$  معرفی می‌گردد) ترانسانای مرتبه سوم و عامل مؤلفه اعوجاج مرتبه سوم است. بنابراین جهت دستیابی به یک جریان خطی در خروجی سلول  $G_m$  باید مؤلفه  $G_m''$  حذف گردد. جهت حذف مؤلفه  $G_{m3}$  روش‌های متفاوتی وجود دارد که در بخش مربوط به دسته دوم، چند نمونه از روش‌های ارائه شده در مطالعات اخیر بررسی می‌گردد. یک راه موثر برای دستیابی به این هدف، استفاده از دو ترانسانا برمبنای عملکرد همزمان ناحیه اشباع و تریود است [۱۸].

در ترانساناهای تولید شده با تکنولوژی CMOS، کاهش قابلیت تحرک<sup>۱</sup> و اشباع سرعت<sup>۲</sup> منابع اصلی تولید غیرخطینگی می‌باشند. با در نظر گرفتن این اثرات مؤلفه مرتبه سوم  $G_m$  در نواحی اشباع و تریود به ترتیب از روابط (۱۸-۳) و (۱۹-۳) به دست می‌آیند [۱۹]:

$$G_{m,sat}'' = -\frac{\beta_{sat}}{2[1+\kappa(V_{GS}-V_{th})]^4} \quad (18-3)$$

$$G_{m,tri}'' = \frac{\beta_{tri}\kappa^2}{[1+\kappa(V_{GS}-V_{th})]^3} V_{DS,tri} \quad (19-3)$$

که  $\kappa = \theta + \frac{\mu_n}{\vartheta_{sat}L}$  و  $\theta$  ضریب کاهش قابلیت تحرک ذاتی و  $\vartheta_{sat}$  سرعت اشباع است.

در ترانسانای ارائه شده در [۱۹] دو تقویت کننده شبه تفاضلی<sup>۳</sup> اصلی و کمکی، با یکدیگر موازی شده‌اند. مطابق شکل ۳-۶ (الف) ترانزیستورهای MT در تقویت کننده اصلی ترانسانا، در ناحیه اشباع بایاس شده‌اند و در سورس آن‌ها از مقاومت دیجنریشن استفاده شده است. همچنین ترانزیستورهای AT در تقویت کننده کمکی نیز در ناحیه تریود بایاس شده‌اند.

علت انتخاب تقویت کننده شبه تفاضلی (یعنی در پایه سورس منبع جریان وجود ندارد) عملکرد خطی بهتر آن نسبت به تقویت کننده تمام تفاضلی است. از آن جا که  $G_m''$  در تقویت کننده کمکی بایاس شده در ناحیه تریود، مثبت است، مطابق رابطه (۲۰-۳) می‌توان به مقدار مطلوب (صفر) برای مؤلفه مرتبه سوم کل ترانسانا دست یافت.

$$G_{m,total}'' = G_{m,sat}'' + G_{m,tri}'' = 0 \quad (20-3)$$

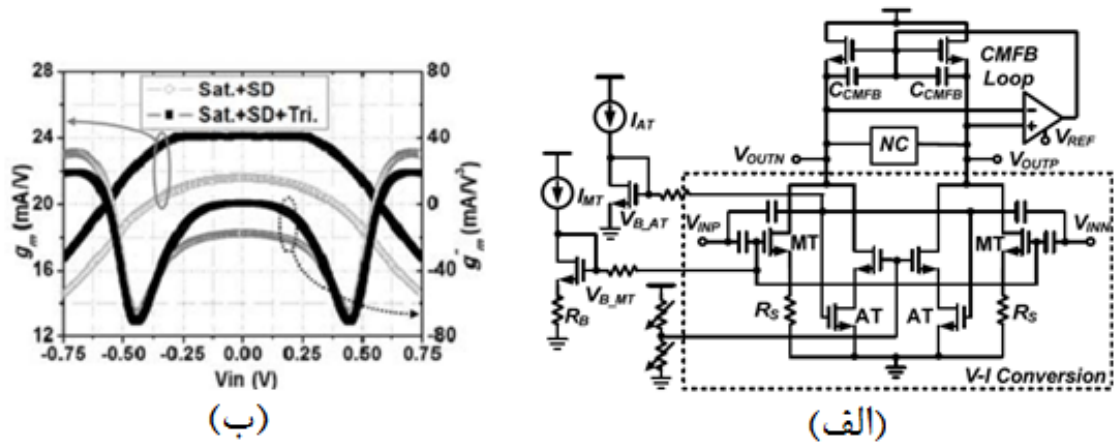
<sup>۱</sup> Mobility Reduction

<sup>۲</sup> Velocity Saturation

<sup>۳</sup> Pseudo Differential Amplifier (PDA)

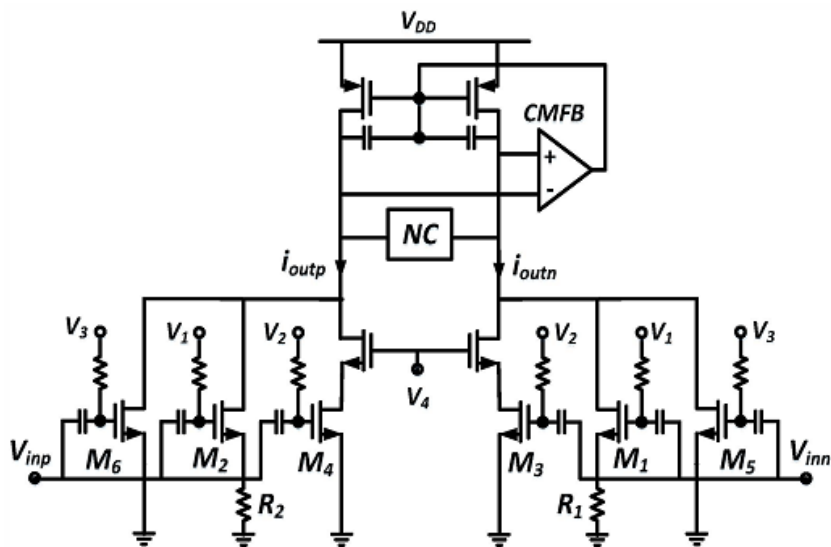


به این ترتیب سلول  $G_m$  پیشنهاد شده در این مرجع که در تکنولوژی  $0.18 \mu\text{m}$  میکرومتر ساخته شده است، موفق به کاهش مؤلفه  $G_{m3}$  در کل سلول و در نتیجه افزایش بازه خطی در مشخصه  $G_m$  شده است.



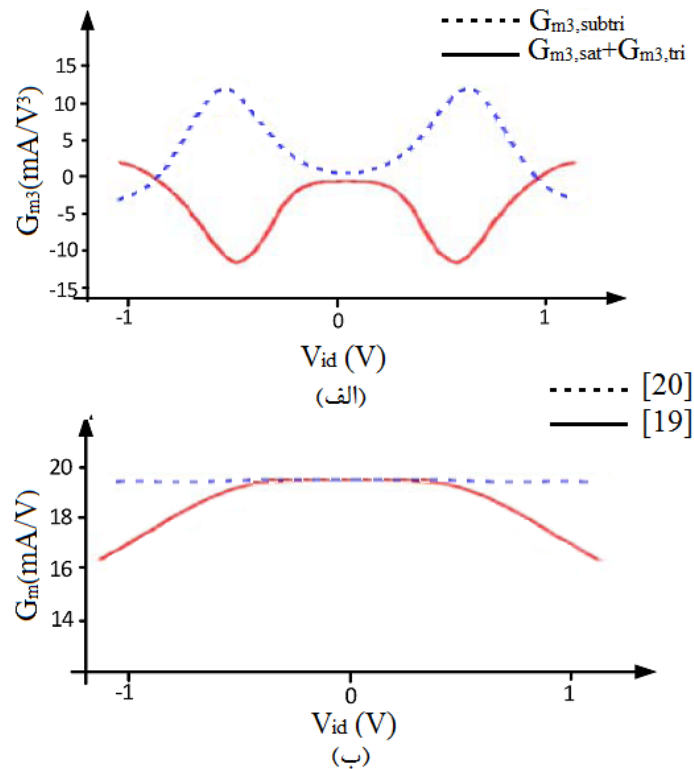
شکل ۳-۶ (الف) ترانسانای مبتنی بر عملکرد همزمان ناحیه اشباع و تریاود، (ب) مقادیر  $G_m$  و  $G_m''$  در آن [۱۹].

جهت افزایش بیشتر بازه خطی در روش فوق، ترانسانای کمکی می‌تواند با یک زوج کمکی دیگر در ناحیه زیر آستانه نیز موازی شود [۲۰]. همان‌طور که در شکل ۳-۷ ملاحظه می‌شود در این ساختار [۲۰] دیده می‌شود ترانسانای شبه‌تفاضلی اصلی در ناحیه اشباع (یعنی  $M_1$  و  $M_2$ ) با ترانساناهای شبه‌تفاضلی کمکی بایاس شده در ناحیه تریاود (یعنی  $M_3$  و  $M_4$ ) و ناحیه زیرآستانه (یعنی  $M_5$  و  $M_6$ ) موازی شده است.



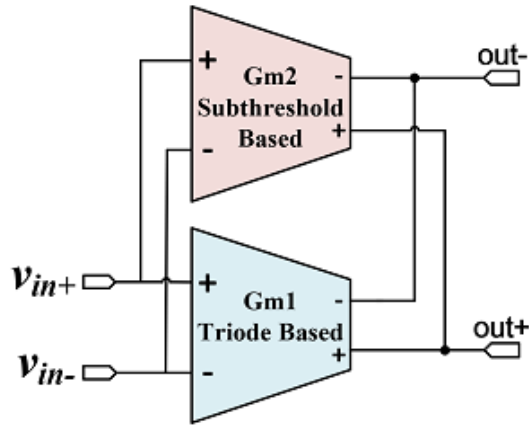
شکل ۳-۷ سلول  $G_m$  پیشنهادی در [۲۰] با ترکیب موازی نواحی کاری سه‌گانه ترانزیستور.

شکل ۳-۸ (الف) نشان می‌دهد مؤلفه  $G_m''$  مربوط به زوج زیر آستانه (یعنی  $G_{m3,subtri}$ ) نسبت به تغییرات ولتاژ ورودی دقیقاً رفتاری معکوس با ساختار [۱۹] (یعنی  $G_{m3,sat}+G_{m3,tri}$ ) دارد. بنابراین به طور ذاتی مطابق شکل ۳-۸ (ب)، بازه خطینگی کل سلول در ازای مصرف توان بیشتر نسبت به ساختار [۱۹] افزایش می‌یابد.



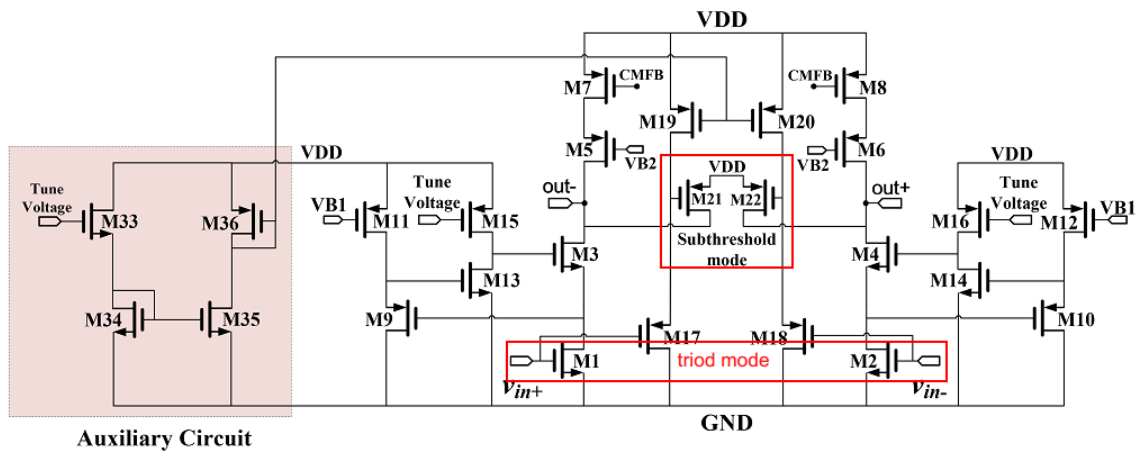
شکل ۳-۸ (الف) مقایسه رفتار مؤلفه  $G_{m3}$  در [۱۹] و [۲۰] و (ب) رفتار  $G_m$  در این دو مرجع.

حذف مؤلفه  $G_{m3}$  با استفاده از روش‌های فوق هرچند خطینگی بالایی را نتیجه می‌دهد اما این مزیت تنها برای یک بازه تنظیم‌پذیری محدود به دست می‌آید. به همین دلیل در [۴] از یک مدار کمکی جهت تغییر نقطه کار ترانسانای زیر آستانه، بگونه‌ای که خطینگی در بازه تنظیم از بین نرود، استفاده شده است. ایده اصلی در این ساختار که در شکل ۳-۹ نشان داده شده است، اتصال موازی دو ترانسانا در نواحی تراپود و زیرآستانه است. به نحوی است که با تغییر دامنه مثبت  $G_{m3,subth}$  و قرار دادن آن در نقطه معادل دامنه منفی  $G_{m3,tri}$  بتوان  $G_{m3}$  کل ترانسانا را حذف نمود. سلول خطی با قابلیت تنظیم نقطه کار بلوک زیر آستانه که در این مرجع معرفی شده است و متشکل از ترانسانا‌های ناحیه



شکل ۳-۹ بلوک دیاگرام ساختاری پیشنهادی در [۴].

ترایود و زیرآستانه است، در شکل ۳-۱۰ نمایش داده شده است. در این ساختار مدار کمکی شامل  $M_{33-36}$  نقطه کار ترانسانای زیرآستانه را بسته به ولتاژ تنظیم (Tune Voltage) تغییر می‌دهد. ولتاژ حاصل از مدار تنظیم، از طریق  $M_{19-20}$  منجر به وابسته شدن ولتاژ گیت ترانزیستورهای زیرآستانه  $M_{21-22}$  به ولتاژ تنظیم می‌گردد. همچنین ترانزیستورهای  $M_{9-16}$  با تغییر ولتاژ درین  $M_1$  و  $M_2$  امکان تغییر مقدار تقویت‌کنندگی  $G_m$  را فراهم می‌سازند.



شکل ۳-۱۰ حذف تطبیقی مؤلفه  $G_{m3}$  با تغییر نقطه کار  $M_{21-22}$  [۴].

این پژوهش در تکنولوژی ۰/۱۸ میکرومتر شبیه‌سازی شده و قابلیت تنظیم ترانسانایی با گستره بالای خطی در بازه  $1\mu A/V$  تا  $289\mu A/V$  را با مصرف توان  $274/6\mu W$  تا  $859/5\mu A/V$  دارد. ضمن این‌که با اعمال ولتاژ ورودی قله تا قله  $0/6$  ولت در فرکانس ۱ مگاهرتز، THD در کل بازه تنظیم کمتر از  $57/4dB$  حاصل می‌گردد.

### ۳-۳ دسته دوم: ساختارهای مبتنی بر ایجاد تغییرات مداری در ساختارهای دسته اول

در این بخش به معرفی ساختارهای مداری نوینی پرداخته خواهد شد که در آنها برای حذف اثر غیرخطی مرتبه سوم، تغییراتی را در مدارهای دسته اول ایجاد نموده‌اند.

#### ۳-۳-۱ بایاس تطبیقی

در روش بایاس تطبیقی تابعی از ولتاژ تفاضلی ورودی به بخشی از مدار که نیاز به ولتاژ بایاس دارد، مانند گیت ترانزیستورهای ناحیه ترایود به‌عنوان مقاومت، منابع جریان موجود در سورس و یا بارهای فعال موجود در درین اعمال می‌گردد. تابع مذکور به نحوی محاسبه می‌گردد که اثر غیرخطی مرتبه سوم حذف گردد. در این بخش به‌عنوان نمونه، روش بایاس تطبیقی جهت اعمال بر منبع جریان سلول  $G_m$  در شکل ۲-۴ (الف) شرح داده می‌شود. با جایگزین نمودن  $I_{SS} = 2I_T$  در معادله (۲-۷)، جریان خروجی تفاضلی ( $I_{out}$ ) مطابق با رابطه (۳-۲۱) استخراج می‌گردد [۱۴]:

$$I_{out} = I_{M1} - I_{M2} = \sqrt{2K_{n1}I_T V_{id}} \sqrt{1 - \frac{K_{n1}V_{id}^2}{8I_T}} \quad (3-21)$$

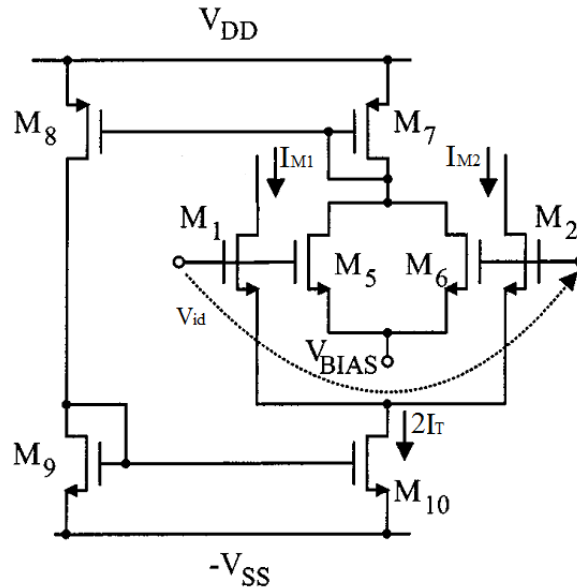
مطابق معادله فوق جهت برقراری ارتباط خطی جریان خروجی با ولتاژ تفاضلی ورودی می‌توان مؤلفه  $I_T$  را افزایش داد. اما این روش برای کاربردهای ولتاژ پایین مناسب نیست. از طرفی وجود جریان ثابت ( $2I_T$ ) در رابطه فوق باعث ایجاد غیرخطینگی می‌گردد. یک راه موثر، مشارکت ولتاژ ورودی در بایاس منبع جریان است. در این صورت مؤلفه غیرخطی توسط ولتاژ ورودی حذف می‌گردد [۲۱-۲۲]. برای این منظور می‌توان مقدار منبع جریان را شامل دو بخش مستقل ( $I'_T$ ) و وابسته به ولتاژ تفاضلی ورودی در نظر گرفت:

$$2I_T = 2(I'_T + \frac{K_{n1}V_{id}^2}{8}) \quad (3-22)$$

اکنون با جایگذاری رابطه (۳-۲۲) در رابطه (۳-۲۱) جریان خروجی تفاضلی مطابق رابطه (۳-۲۳) به دست می‌آید:

$$I_{out} = \sqrt{2K_{n1}I'_T V_{id}} = G_m V_{id} \quad (3-23)$$

به این ترتیب با حذف عبارت  $V_{id}^2$  در رابطه (۳-۲۱)، جریان خروجی نسبت به ولتاژ تفاضلی ورودی دارای ارتباط خطی شده است. جریان بایاس مورد نیاز ( $2I_T$ ) همانطور که در شکل ۳-۱۱ مشاهده می‌گردد، می‌تواند توسط ترانزیستورهای  $M_{5-10}$  و تنظیم مناسب  $V_{BIAS}$  به دست آید [۲۳].



شکل ۳-۱۱ استفاده از روش بایاس تطبیقی جهت خطی‌سازی ترانسانا [۲۳].

### ۳-۳-۲ تضعیف<sup>۱</sup>

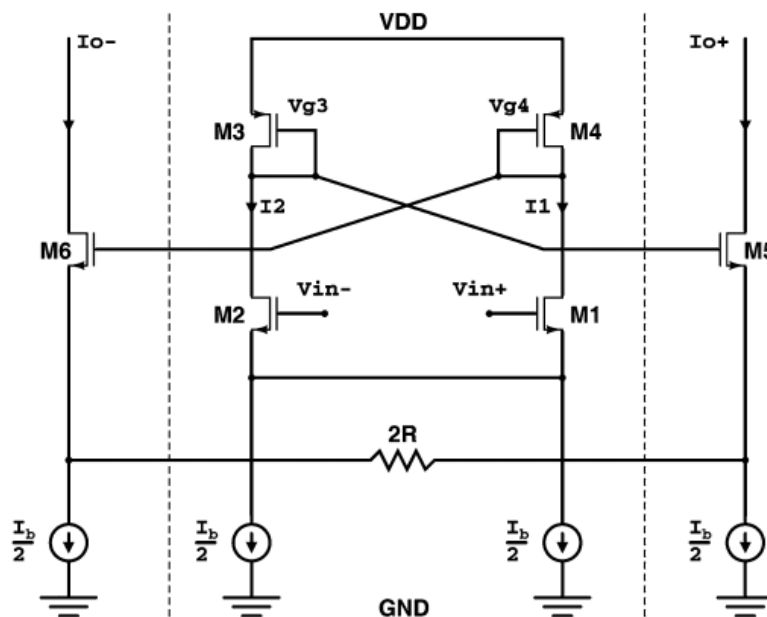
هدف از روش تضعیف سیگنال ورودی که در بسیاری از مطالعات به‌عنوان یک روش موثر افزایش خطینگی مورد استفاده قرار می‌گیرد، کوچک نمودن مؤلفه غیرخطی مرتبه سوم در رابطه جریان خروجی ترانسانا است. هرچند که این عمل کاهش  $G_m$  مدار را نیز به‌همراه خواهد داشت [۲].

مطابق شکل ۳-۱۲ تضعیف‌کننده مورد استفاده در [۲۴] و [۲۵] از یک زوج تفاضلی ( $M_1, M_2$ ) و دو بار فعال ترانزیستوری که دارای عملکرد دیودی می‌باشند ( $M_3, M_4$ ) تشکیل شده است. در این صورت ولتاژ درین ترانزیستورهای ( $M_1, M_2$ ) مطابق رابطه‌های (۳-۲۴) و (۳-۲۵) به دست می‌آید:

$$V_{g4} = V_{DD} - \sqrt{\frac{I_1}{\beta_{p4}}} - |V_{thp}| \quad (۳-۲۴)$$

$$V_{g3} = V_{DD} - \sqrt{\frac{I_2}{\beta_{p3}}} - |V_{thp}| \quad (۳-۲۵)$$

<sup>۱</sup> attenuation



شکل ۳-۱۲ ترانسانا با تضعیف کننده ولتاژ و مقاومت دیجنریشن سورس [۲۴].

که  $\beta_p = \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L}\right)$  است. اکنون مطابق رابطه (۲-۸) و با قراردادن  $I_{ss} = I_b$  جریان هر یک از شاخه-های تضعیف کننده با روابط (۳-۲۶) و (۳-۲۷) بیان می گردند:

$$I_1 = \frac{I_b}{2} + \frac{1}{2} \sqrt{2\beta_n I_b} \times V_{id} - \frac{1}{8} \sqrt{2\beta_n I_b} \left(\frac{\beta_n}{I_b}\right) \times V_{id}^3 \quad (۳-۲۶)$$

$$I_2 = \frac{I_b}{2} - \frac{1}{2} \sqrt{2\beta_n I_b} \times V_{id} + \frac{1}{8} \sqrt{2\beta_n I_b} \left(\frac{\beta_n}{I_b}\right) \times V_{id}^3 \quad (۳-۲۷)$$

که  $\beta_n = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)$  است. با استفاده از دو رابطه فوق، می توان تفاضل ولتاژ گیت ترانزیستورهای بار در ساختار تضعیف کننده را مطابق با رابطه (۳-۲۸) به دست آورد [۲۴].

$$\Delta V_g = V_{g3} - V_{g4} = \sqrt{\frac{I_1}{\beta_{p4}}} - \sqrt{\frac{I_2}{\beta_{p3}}} \quad (۳-۲۸)$$

$$\begin{aligned} &= \sqrt{\frac{1}{2\beta_{p4}} \left( I_b + \sqrt{2\beta_{n1} I_b} \times V_{id} - \frac{1}{4} \sqrt{2\beta_{n1} I_b} \left(\frac{\beta_{n1}}{I_b}\right) \times V_{id}^3 \right)} \\ &- \sqrt{\frac{1}{2\beta_{p3}} \left( I_b - \sqrt{2\beta_{n2} I_b} \times V_{id} + \frac{1}{4} \sqrt{2\beta_{n2} I_b} \left(\frac{\beta_{n2}}{I_b}\right) \times V_{id}^3 \right)} \\ &\approx \frac{V_{id}}{2} \left( \sqrt{\frac{\beta_{n1}}{\beta_{p4}}} + \sqrt{\frac{\beta_{n2}}{\beta_{p3}}} \right) \end{aligned}$$

جهت برقراری تقارن مدار لازم است  $\beta_{n1} = \beta_{n2}$  و  $\beta_{p1} = \beta_{p2}$  باشد. بنابراین داریم:

$$\Delta V_g = \frac{V_{id}}{\sqrt{m}} \quad (۳-۲۹)$$

که  $m$  فاکتور تضعیف خوانده می‌شود و برابر است با:

$$m = \frac{\beta_p}{\beta_n} = \frac{\mu_p}{\mu_n} \left[ \frac{(W/L)_{p3,4}}{(W/L)_{n1,2}} \right] \quad (30-3)$$

اکنون  $\Delta V_g$  به دست آمده در رابطه (3-29)، همان‌طور که در شکل 3-12 دیده می‌شود به پایه‌های گیت ترانسانای اصلی شامل ( $M_5, M_6$ ) اعمال می‌گردد. با جایگذاری  $\Delta V_g$  در معادله جریان ترانسانای اصلی داریم:

$$\begin{aligned} I_{out} = I_{o+} - I_{o-} &= \sqrt{2\beta_{n5,6}I_b} \times \Delta V_g - \frac{1}{4} \sqrt{2\beta_{n5,6}I_b} \left( \frac{\beta_{n5,6}}{I_b} \right) \times \Delta V_g^3 \\ &= \frac{\sqrt{2\beta_{n5,6}I_b}}{\sqrt{m}} \times V_{id} - \frac{1}{4m^{(3/2)}} \sqrt{2\beta_{n5,6}I_b} \left( \frac{\beta_{n5,6}}{I_b} \right) \times V_{id}^3 \end{aligned} \quad (31-3)$$

از رابطه (3-31) می‌توان ترانسانایی و شاخص نسبت اعوجاج مرتبه سوم را برای کل سلول  $G_m$  پیشنهادی به دست آورد:

$$G_m = \frac{\sqrt{2\beta_n I_b}}{\sqrt{m}} \quad (32-3)$$

$$HD3 = \frac{1}{4m} \left( \frac{\beta_n}{I_b} \right) V_{id}^2 \quad (33-3)$$

روابط (3-32) و (3-33) نشان می‌دهند در ترانسانای پیشنهادی در مرجع [24]، مقدار  $G_m$  به نسبت  $\sqrt{m}$  و شاخص خطینگی  $HD3$  به نسبت  $m$  کاهش یافته‌است. این پژوهش در تکنولوژی 0/18 میکرومتر و با منبع تغذیه 1/8 ولت ساخته شده و ترانسانایی 110  $\mu A/V$  و مصرف توان 450  $\mu W$  نتیجه آن است. ضمن این‌که گستره خطی سلول  $G_m$  برابر با 0/5 ولت قله تا قله است [24]. در ادامه مرجع [26] با افزودن منابع جریان  $FVF^1$  به ساختار ترانسانای اصلی، در شرایط توان مصرفی مشابه با [24] خطینگی و ترانسانایی را به ترتیب تا دو و سه برابر بهبود داده است. در این پژوهش که در تکنولوژی 0/18 میکرومتر و با منبع تغذیه  $\pm 0/8$  ولت شبیه‌سازی شده است، ترانسانایی 350  $\mu A/V$  و گستره خطی برابر با 1/1  $V_{pp}$  به دست آمده است. استفاده از منبع جریان  $FVF$  به دلیل امپدانس ورودی پایین و خروجی بالا مورد توجه برخی دیگر از مقالات نیز جهت افزایش خطینگی قرار گرفته است [27 و 28].

<sup>1</sup> Flipped Voltage Follwoer

### ۳-۳-۳ اتصال ضربدری<sup>۱</sup> دو زوج تمام تفاضلی

شکل ۳-۱۳ از دو سلول تمام تفاضلی تشکیل شده است. در صورتی که بسط سری تیلور رابطه (۳-۲۱) نوشته شود، جریان خروجی در سلول تمام تفاضلی شامل ( $M_1$  و  $M_2$ ) با در نظر گرفتن اعوجاج مرتبه سوم و پنجم مطابق رابطه (۳-۳۴) به دست می آید [۱۴]:

$$I_{out1} = I_1 - I_2 = \sqrt{2K_{n1}I_{T1}}(V_{id} - \frac{1}{16}\left(\frac{K_{n1}}{I_{T1}}\right)V_{id}^3 - \frac{1}{512}\left(\frac{K_{n1}}{I_{T1}}\right)V_{id}^5) \quad (34-3)$$

اگر پایه‌های درین دو زوج تمام تفاضلی مطابق با شکل ۳-۱۳ به صورت اتصال متقابل به یکدیگر وصل شوند، جریان تفاضلی در زوج دوم شامل ( $M_3$  و  $M_4$ ) از رابطه (۳-۳۵) به دست می آید و در این صورت جریان تفاضلی در کل سلول مطابق رابطه (۳-۳۶) خواهد بود:

$$I_{out2} = I_4 - I_3 = \sqrt{2K_{n3}I_{T2}}(V_{id} - \frac{1}{16}\left(\frac{K_{n3}}{I_{T2}}\right)V_{id}^3 - \frac{1}{512}\left(\frac{K_{n3}}{I_{T2}}\right)V_{id}^5) \quad (35-3)$$

$$I_o = I_{out1} - I_{out2} = (I_1 - I_2) - (I_4 - I_3) \quad (36-3)$$

با جایگذاری روابط (۳-۳۴) و (۳-۳۵) در (۳-۳۶)، حذف اثر غیرخطی مرتبه سوم و همچنین مرتبه پنجم با شرط برقراری روابط (۳-۳۷) و (۳-۳۸) می تواند محقق گردد [۱۴].

$$\sqrt{K_{n1}I_{T1}}\left(\frac{K_{n1}}{I_{T1}}\right) = \sqrt{K_{n3}I_{T2}}\left(\frac{K_{n3}}{I_{T2}}\right) \quad (37-3)$$

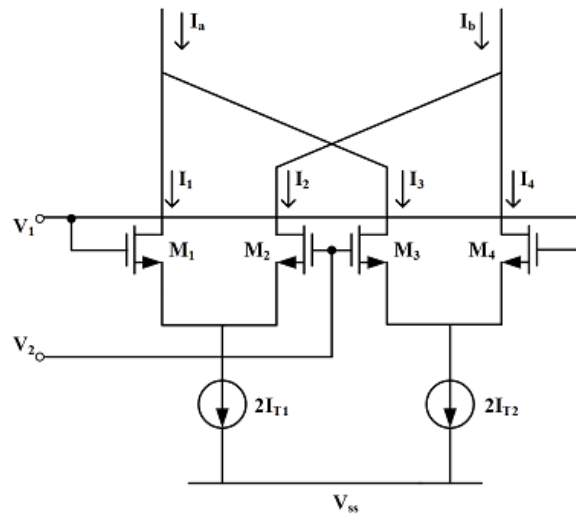
$$\frac{I_{T1}}{I_{T2}} = \left(\frac{(w/l)_1}{(w/l)_3}\right)^3 = \left(\frac{(w/l)_2}{(w/l)_4}\right)^3 \quad (38-3)$$

در حالت کلی جهت حذف مؤلفه مرتبه سوم، باید  $\left(\frac{w}{l}\right)_1 \times \left(\frac{w}{l}\right)_4 = \left(\frac{w}{l}\right)_3 \times \left(\frac{w}{l}\right)_2$  و  $I_1 I_4 = I_3 I_2$  باشد [۲۹].

در [۲] با اعمال این روش بر زوج‌های شبه تفاضلی و استفاده از ترانزیستورهای ناحیه تراپود در پایه سورس، ضمن ایجاد خاصیت تنظیم پذیری، با ساختن مدار پیشنهادی در تکنولوژی ۰/۱۸ میکرومتر با ولتاژ تغذیه ۱/۵ ولت و مصرف توان بالای ۹۵۰ میکرووات، ترانسانایی برابر با  $470 \mu A/V$  و گستره خطی معادل  $0.97V_{pp}$  به دست آمده است.

<sup>۱</sup> Cross Coupled Double Differential Pair

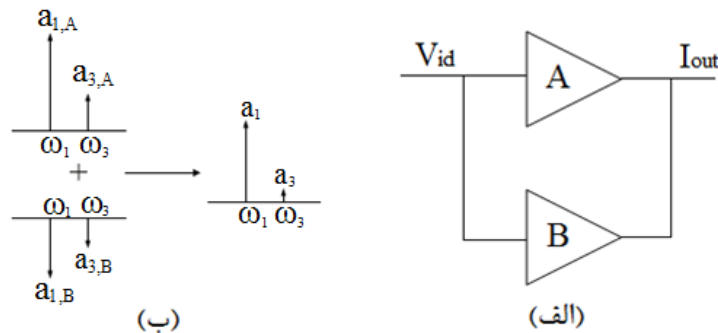




شکل ۳-۱۳ اتصال ضربداری دو زوج تمام تفاضلی [۱۴].

### ۳-۳-۴ روش پیش‌خور<sup>۱</sup>

موازی نمودن دو زوج تمام تفاضلی به صورت اتصال متقابل، در حقیقت ابتدایی‌ترین ساختار بر مبنای روش پیش‌خور است. در شکل ۳-۱۳ می‌توان  $M_1$  و  $M_2$  را سلول اول و  $M_3$  و  $M_4$  را سلول دوم در نظر گرفت که مطابق شکل ۳-۱۴ (الف) به صورت موازی به یکدیگر متصل شده‌اند.



شکل ۳-۱۴ (الف) موازی شدن دو سلول با ترانسسانیی متفاوت و (ب) حذف اثر غیر خطی مرتبه سوم [۳۰].

در این صورت با توجه به شکل ۳-۱۳ می‌توان جریان خروجی کل سلول را با رابطه (۳-۳۹) بازنویسی

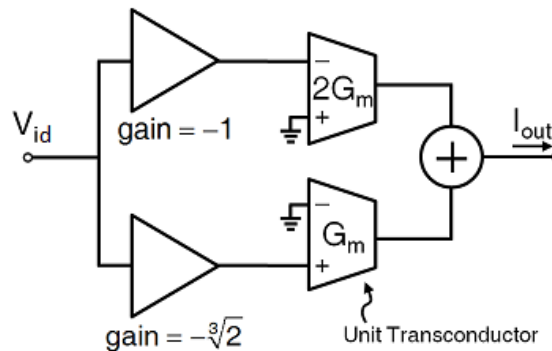
نمود:

$$I_{out} = (I_1 + I_3) - (I_2 + I_4) \quad (3-39)$$

$$= (a_{1,A} - a_{1,B})V_{id} + (a_{3,A} - a_{3,B})V_{id}^3 + \dots = (a_1)V_{id} + (a_3)V_{id}^3$$

<sup>۱</sup> Feed Forward

که  $a_{ij}$  مؤلفه مرتبه  $i$  ام مربوط به سلول  $j$  م است. بنابراین مطابق شکل ۳-۱۴ (ب) با انتخاب مناسب سائز ترانزیستورها، مؤلفه مرتبه سوم کل سلول ( $a_3$ ) حذف و خطینگی بهبود می‌یابد. قابل ذکر است که مقدار ترانسسانیی کل ( $a_1$ ) توسط مسیر پیش‌رو اندکی کاهش می‌یابد [۳۰]. همان‌طور که در شکل ۳-۱۵ ملاحظه می‌شود برای پیاده‌سازی این روش در [۳۱] از یک تقویت‌کننده ولتاژ خطی در مسیر اصلی و کمکی بهره گرفته شده است.



شکل ۳-۱۵ بلوک دیاگرام روش مسیر پیش‌رو به همراه تقویت‌کننده ولتاژ خطی [۳۱].

رابطه (۳-۴۰) جریان خروجی را که حاصل جمع جریان‌های مسیر اصلی و کمکی است بیان می‌کند:

$$I_{out} = i_1 + i_2 = (2G_{m1}V_{id} + 2G_{m3}V_{id}^3) + (-\sqrt[3]{2}G_{m1}V_{id} - 2G_{m3}V_{id}^3) \quad (۳-۴۰)$$

$$= (2 - \sqrt[3]{2})G_{m1}V_{id}$$

هرچند افزایش خطینگی با این روش پارامتر  $IM3$  را تا  $38\text{dB}$  کاهش داده است اما این ویژگی

مطلوب در ازای کاهش ترانسسانیی به مقدار  $(2 - \sqrt[3]{2} \approx 0.74)$  و مصرف توان بیشتر محقق شد.

### ۳-۴ دسته سوم: سلول‌های $G_m$ خطی مبتنی بر ترکیب روش‌های موجود

در دسته سوم از سلول‌های  $G_m$  ارائه شده تاکنون، نویسندگان با ترکیب دو یا چند روش برای

دستیابی به خطینگی بیشتر، توانسته‌اند به نتایج بهتری دست‌یابند [۳۲-۳۴]. به عنوان نمونه در [۱۴]

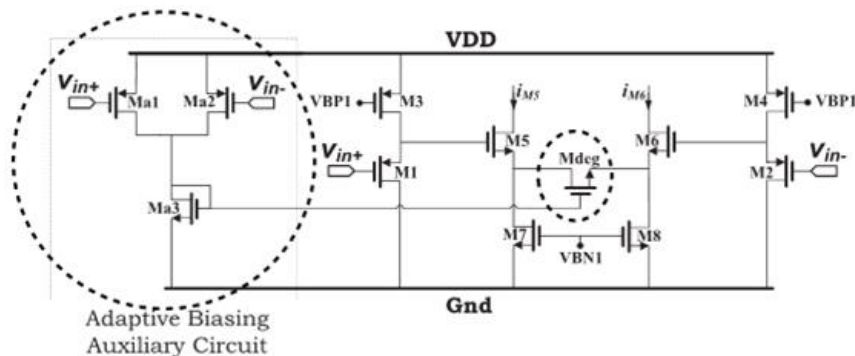
دو مدار ترکیبی پیشنهاد شده است. طرح نخست شامل ترکیب روش اتصال ضربداری دو زوج تمام‌تفاضلی

با روش استفاده از مقاومت‌های موازی بایاس شده در ناحیه تراپود، به‌عنوان دیجیتال‌یشن در پایه سورس

ترانزیستورهای ورودی است.

در ادامه روش اتصال بایاس تطبیقی، به طرح نخست اعمال شده و سبب بهبود قابل توجه گستره خطی سیگنال ورودی شده است. در این تحقیق که با تکنولوژی ۹۰nm و ولتاژ تغذیه  $\pm 0.6$  شیب‌سازی شده است، مقدار THD به‌ازای ورودی تفاضلی  $0.8V_{pp}$  در فرکانس ۱MHz به‌ترتیب برای طرح اول و طرح دوم برابر با  $-42dB$  و  $-54dB$  به‌دست آمده است.

برخی دیگر از مراجع مانند [۱۳] و [۳۲] از بایاس تطبیقی برای تولید ولتاژ تغذیه پایه گیت در ترانزیستور ناحیه تریاودی به‌عنوان مقاومت دیجنریشن استفاده می‌کنند. مطابق روابط موجود برای مدار شکل ۳-۱۶، بازه خطینگی با افزایش مقدار مقاومت دیجنریشن (کاهش نسبت  $W/L$ ) افزایش و البته مقدار ترانسانایی کاهش می‌یابد. در [۳۲] مقدار مقاومت دیجنریشن ( $M_{deg}$ ) مطابق با رابطه (۳-۴۱) به‌صورت تابعی از تغییرات سیگنال ورودی ( $f(V_{id})$ ) معرفی شده است.



شکل ۳-۱۶ بایاس تطبیقی ترانزیستور سورس دیجنریشن [۳۲].

در این رابطه  $V_{OD_{M_{deg}}}$  ولتاژ موثر مقاومت دیجنریشن است.

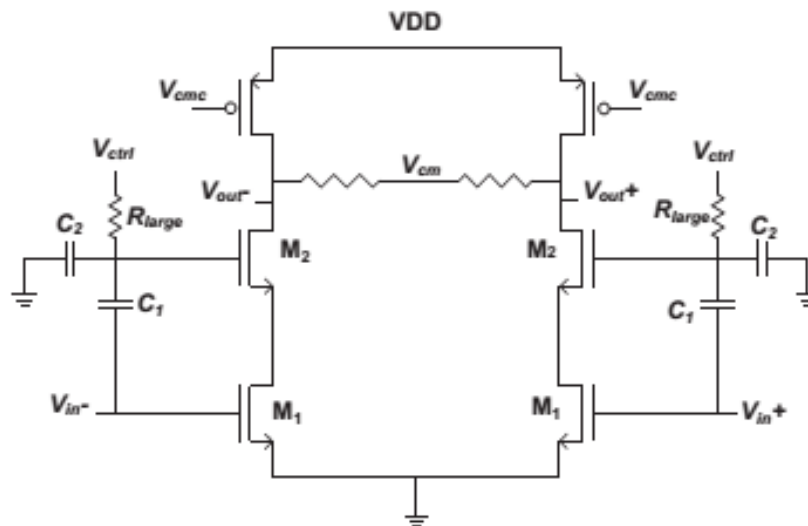
$$R_{deg} = \frac{1}{K_{M_{deg}}(V_{OD_{M_{deg}}} + f(V_{id}))} \quad (۳-۴۱)$$

اگر  $f(V_{id})$  مطابق با رابطه (۳-۴۲) و به‌واسطه مدار کمکی بایاس تطبیقی متشکل از  $M_{a1,2}$  و  $M_{a3}$  انتخاب گردد، به‌دلیل این‌که اکنون مقاومت دیجنریشن شامل دو عبارت وابسته به  $V_{id}$  اما با علامت مخالف یکدیگر است، مقدار مقاومت می‌تواند با طراحی مناسب پارامترها تنظیم و منجر به افزایش خطینگی گردد [۳۲].

$$f(V_{id}) = \frac{1}{8V_{OD_{a1,2}}} \sqrt{\frac{2K_{a1,2}}{K_{a3}}} V_{id}^2 - \alpha \frac{V_{id}}{2} \quad (۳-۴۲)$$

در رابطه فوق  $\alpha$  ضریب تضعیف و  $V_{OD_{a1,2}}$  ولتاژ موثر مربوط به ترانزیستورهای ورودی در مدار کمکی بایاس تطبیقی است. مقایسه مشخصه  $G_m$  در حالتی که پایه گیت ترانزیستور دیجنریشن به ولتاژ ثابت اعمال گردد با حالتی که از روش بایاس تطبیقی برای ابعاد مختلف  $(\frac{W}{L})_{deg}$  (برابر با ۰/۵، ۱، ۱/۵، ۲ و ۲/۵) استفاده شده است، نشان می‌دهد در حالت گیت با بایاس تطبیقی، خطینگی بالاتری (۰/۹۷<sub>pp</sub> ورودی)، حاصل می‌گردد.

در [۳۳] نیز روش تضعیف سیگنال ورودی و استفاده از ترانزیستورهای ورودی در ناحیه ترایود با هم ترکیب شده است. در شکل ۱۷-۳ ترانزیستورهای  $M_1$  و  $M_2$  در ناحیه ترایود بایاس می‌گردند.



شکل ۱۷-۳ استفاده همزمان ترانزیستورهای ورودی در ناحیه ترایود و روش تضعیف [۳۳].

ولتاژ درین-سورس ترانزیستور  $M_1$  برابر با  $v_{DS} = V_{DS} + \alpha v_{in}$  است که  $\alpha$  ضریب تضعیف از پایه گیت تا درین  $M_1$  است. رابطه جریان ترانزیستور  $M_1$  در ناحیه ترایود می‌تواند با عبارت (۳-۴۳) بیان شود [۳۳]:

$$i_D = (a_0 + a_1 v_{in} + a_2 v_{in}^2 - a_3 v_{in}^3 + \dots)(V_{DS} + \alpha v_{in}) \quad (۳-۴۳)$$

از رابطه فوق می‌توان دریافت در صورتی که  $a_3 \cdot V_{DS} = a_2 \cdot \alpha$  انتخاب گردد، مؤلفه غیرخطی مرتبه سوم در جریان ترانزیستور  $M_1$  حذف می‌گردد. اندازه  $\alpha$  جهت حداقل نمودن اثرات غیر خطی، با نسبت  $C_1/C_2$  و همچنین نسبت ترانسانایی  $M_1$  به  $M_2$  (که با  $V_{ctrl}$  تزریق شده توسط مقاومت بزرگ به گیت

M<sub>2</sub>، تنظیم می‌شود) کنترل می‌گردد. این پژوهش در تکنولوژی ۶۵ نانومتر، منبع تغذیه ۱/۲ ولت و بر روی یک فیلتر مرتبه ۵ باترورث<sup>۱</sup> ساخته شده و خطینگی مناسبی را برای فیلتر به دست آورده‌است.

### ۳-۵ نتیجه گیری

همان‌طور که ملاحظه گردید عدم خطی بودن رابطه خروجی سلول G<sub>m</sub> نسبت به ورودی آن، سبب ایجاد مؤلفه‌های مرتبه سوم و ایجاد تداخل در سیستم‌های مخابراتی می‌گردد. بنابراین باید تا حد امکان مؤلفه‌های مرتبه سوم را با خطی‌سازی این سلول‌ها کاهش داد.

روش‌های متنوعی برای بهبود خطسانی معرفی شده است که در این فصل برخی از آن‌ها در سه دسته کلی شرح داده شدند. مشاهده گردید که با وجود تنوع روش‌های مختلف خطی‌سازی، همواره مسائلی چون افزایش ترانسانایی موثر، کاهش توان مصرفی، قابلیت تنظیم‌پذیری، افزایش گستره خطسانی و کاهش سطح تراشه و ... از دغدغه‌های طراحان است. به طوری که انتخاب هر یک از روش‌ها به مصالحه‌ای بین این پارامترها ختم خواهد شد.

---

<sup>۱</sup> Botherworth



## فصل چهارم

سلول  $G_m$  پیشنهادی به منظور افزایش خطینگی  
توسط جابه‌جایی مشخصه انتقالی

بررسی پژوهش‌های انجام شده در خصوص سلول‌های  $G_m$ ، نشان می‌دهد روش‌های مختلفی جهت افزایش بازه خطی آن‌ها ارائه شده است. همانطور که در فصل قبل دیدیم با مصرف توان بیشتر در ساختار ترانسانا بهره ترانسانایی بیشتر و همچنین خطینگی بالاتر حاصل می‌گردد [۷].

با توجه به این که امروزه در اکثر سیستم‌های مخابراتی بی‌سیم، محدودیت توان مصرفی و خطسانی از جمله چالش‌های اساسی محسوب می‌گردد، یافتن روش‌هایی که با مصرف توان کمتر عملیات افزایش خطسانی و ترانسانایی سلول را انجام دهند، از الزامات اساسی موجود در طراحی‌ها است.

در این فصل نخست به معرفی روش جابه‌جایی مشخصه انتقالی سلول  $G_m$  (به عنوان یکی از روش‌های افزایش خطینگی) و بیان برخی مطالعات انجام شده در خصوص انواع روش‌های جابه‌جایی، پرداخته می‌شود. سپس مباحث تئوری مربوط به روش پیشنهادی، به عنوان روشی جدید برای جابه‌جایی منحنی مشخصه مرور می‌گردند و در ادامه به پیاده‌سازی سلول  $G_m$  پیشنهادی در این پژوهش پرداخته خواهد شد. در نهایت میزان بهبود خطینگی در مدار پیشنهادی به کمک انواع شاخص‌های معرفی شده در فصل دوم، اندازه‌گیری و ضمن مقایسه با سایر مطالعات مشابه مورد بررسی قرار می‌گیرد. لازم به ذکر است کلیه شبیه‌سازی‌ها در محیط نرم‌افزار ADS و تکنولوژی TSMC 0.18 $\mu$ m CMOS انجام شده است.

#### ۲-۴ روش‌های متداول جابه‌جایی مشخصه انتقالی

وجود مقداری ناهمسانی<sup>۱</sup> جزئی در تقویت‌کننده‌های متقارن، به علت عدم قطعیت در هر یک از مراحل ساخت ترانزیستورهایی که مشابه فرض می‌گردند، امری اجتناب ناپذیر است. مثلاً ابعاد گیت ترانزیستورها دچار تغییراتی هنگام ساخت می‌شوند که باعث ناهمسانی بین دو ترانزیستور زوج تفاضلی می‌شوند، حتی اگر نقشه ساخت آن‌ها یکسان باشد. با توجه به مشخصه MOS در ناحیه اشباع که در

<sup>۱</sup> Mismatch



رابطه (۱-۴) بیان شده است:

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (1-4)$$

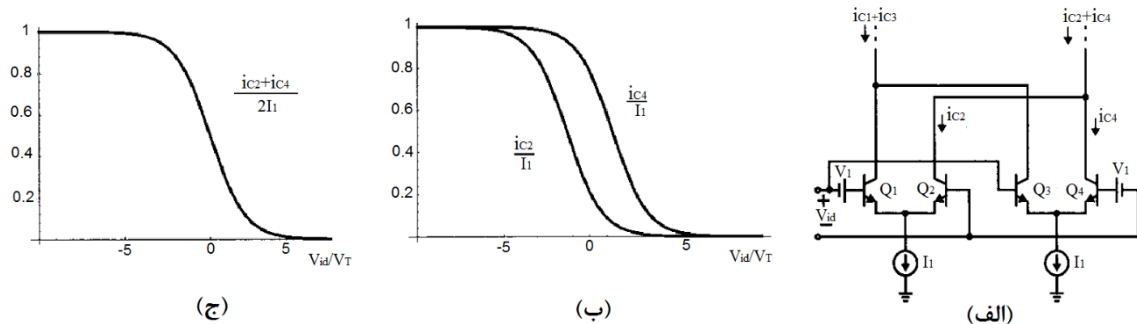
ناهمسانی بین پارامترهای  $L, W, C_{ox}, \mu$  و  $V_{TH}$  موجب ناهمسانی بین جریان‌های درین (در  $V_{GS}$  معلوم) می‌شود. میزان ناهمسانی با افزایش مساحت ترانزیستور یعنی  $W \times L$  کاهش می‌یابد [۷].

هرچند که پدیده ناهمسانی موجب برهم زدن تقارن موجود در سلول تمام‌تفاضلی و ایجاد یک آفست می‌گردد و همچنین سبب جابه‌جایی منحنی مشخصه انتقالی سلول  $G_m$  به سمت راست یا چپ بر روی محور افقی می‌شود، اما می‌توان از موازی کردن سلول‌های  $G_m$  ناهمسان که مشخصه‌های آن‌ها نسبت به یکدیگر مقداری جابه‌جا شده‌اند، برای ایجاد یک ترانسانای متقارن با مشخصه خطینگی کل بالاتر (که برابر با مجموع مشخصه‌های سلول‌های ناهمسان است)، بهره برد. در ادامه به‌عنوان مقدمه‌ای جهت معرفی روش پیشنهادی در این پژوهش، ابتدا به‌طور مختصر برخی از مطالعات صورت‌گرفته برای جابه‌جایی مشخصه  $I_{out}-V_{id}$  بیان می‌گردد.

#### ۱-۲-۴ جابه‌جایی از طریق منبع ولتاژ شناور در گیت

شکل ۱-۴ (الف) دو سلول  $G_m$  مجزا با ترانزیستورهای BJT را که با یکدیگر به‌صورت متناظر با هم (و نه به‌صورت اتصال ضربدری) موازی شده‌اند نمایش می‌دهد. سلول اول شامل  $Q_1$  و  $Q_2$  و سلول دوم شامل  $Q_3$  و  $Q_4$  است. همان‌طور که در شکل ۱-۴ (ب) دیده می‌شود، منبع ولتاژ  $V_1$  با ایجاد آفست و ناهمسانی در سلول اول منجر به جابه‌جایی مشخصه جریان  $i_{C2}$  به سمت چپ و در سلول دوم باعث جابه‌جایی مشخصه جریان  $i_{C4}$  به سمت راست می‌گردد.

در صورتی که ولتاژ آفست به گونه‌ای انتخاب شود که گستره خطی سلول دوم در ادامه سلول اول باشد، خطسانی کل سلول که حاصل جمع مشخصه ترانساناهای اول و دوم ( $i_{C2}+i_{C4}$ ) است، مطابق با شکل ۱-۴ (ج) نسبت به یک سلول متقارن ساده می‌تواند تا سه برابر افزایش یابد. قابل ذکر است که ولتاژ شناور مورد نیاز برای جابه‌جایی مناسب مشخصه‌های دو سلول نامتقارن  $V_1 = 1/3 \cdot 17V_T$  پیشنهاد می‌شود که  $V_T$  ولتاژ حرارتی BJT است [۳۵].



شکل ۴-۱ ایجاد ناهمسانی بامنع ولتاژ شناور (الف) پیاده سازی مداری، (ب) جابه جایی مشخصه I-V هر سلول

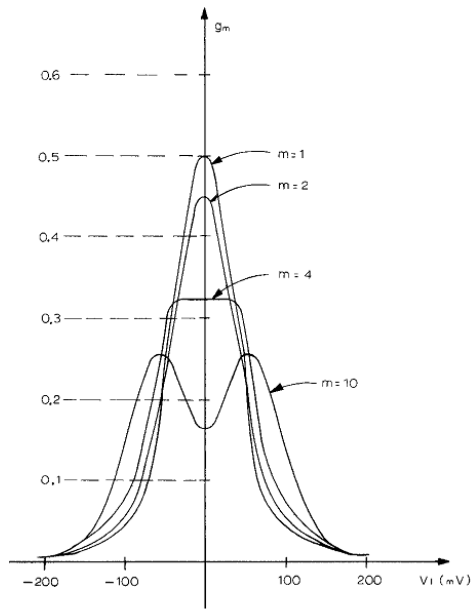
(ج) مشخصه I-V کل دو سلول [۶].

هرچند که روش مطرح شده در این بخش در افزایش گستره خطی سلول  $G_m$  موفق است، اما به دلیل استفاده از منابع ولتاژ شناور به جهت دشواری پیاده سازی در تکنولوژی CMOS، ساختار فوق نمی تواند مورد علاقه طراحان باشد. به همین علت در ادامه روشی موثر به عنوان یک راه حل مناسب جایگزین برای حذف منابع شناور در ایجاد ناهمسانی مطرح می گردد.

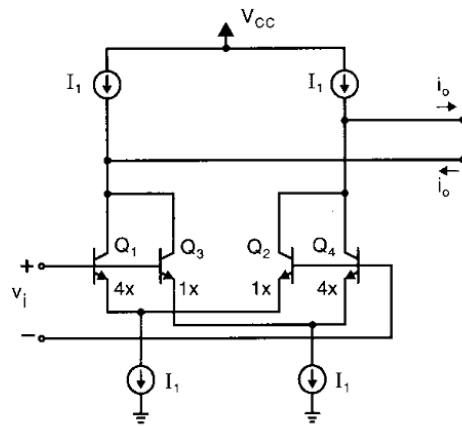
#### ۴-۲-۲ جابه جایی از طریق تغییر در ابعاد ترانزیستورها

حذف منابع ولتاژ شناور می تواند مطابق شکل ۴-۲ (الف)، به کمک تغییر در نسبت ابعاد ترانزیستورها و در نتیجه برهم زدن تقارن مدار ایجاد شود. مثلا در [۳۴] برای یک ساختار مبتنی بر BJT، به منظور ایجاد جابه جایی مناسب و مشخصه  $G_m$  هموار نسبت به ولتاژ ورودی، نسبت ابعاد ترانزیستور  $Q_1$  به  $Q_2$  برابر با ۴ تعیین شده است (شکل ۴-۲ (ب)). لازم به ذکر است جهت افزایش خطینگی می توان تعداد بیشتری از زوج های تفاضلی جابه جا شده را با یکدیگر موازی نمود. برای مثال با موازی نمودن ۴ سلول نامتقارن، گستره خطی ولتاژ ورودی می تواند تا ۱۶ برابر نسبت به یک زوج تفاضلی ساده افزایش یابد [۳۵] و [۳۶].

ساختار معرفی شده در شکل ۴-۲ (الف) می تواند توسط ترانزیستورهای MOS نیز پیاده سازی گردد. بررسی اثر عدم تقارن ابعاد ترانزیستورهای ورودی بر روی مشخصه یک زوج تفاضلی مبتنی بر MOS که در شکل ۴-۳ دیده می شود به صورت مفصل در [۳۷] انجام شده است.



(ب)



(الف)

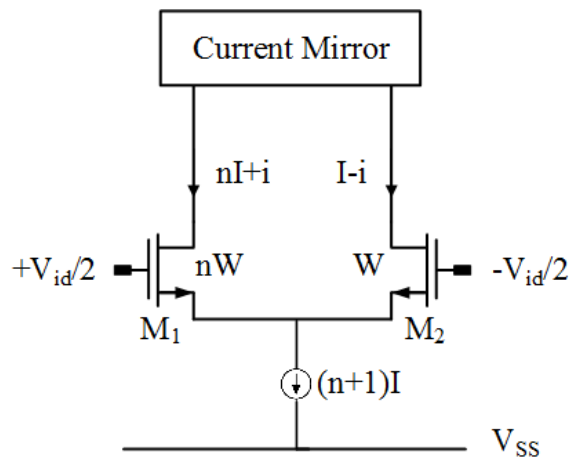
شکل ۲-۴ (الف) جابه‌جایی از طریق تغییر در ابعاد ترانزیستورها [۶] و (ب) رسم منحنی  $G_m$  به‌ازای

نسبت ابعاد متفاوت [۳۴].

در این مدار اگر  $n=1$  باشد، مدار متقارن و  $I_{SS}=2I$  است. همان‌طور که در فصل سوم بیان شد در

صورت عدم وجود ناهمسانی، جریان خروجی با فرض  $k = \frac{1}{2}K_n$  از رابطه (۲-۴) به‌دست می‌آید.

$$I_o = 2i = 2\sqrt{kI}V_{i1}\sqrt{1 - \frac{kV_{i1}^2}{4I}} \quad (۲-۴)$$



شکل ۳-۴ زوج تفاضلی نامتقارن در [۳۷].

حال اگر  $n \neq 1$  باشد زوج تفاضلی نامتقارن می‌گردد و جریان خروجی با روابط (۳-۴) و (۴-۴) بیان

می‌گردد [۳۸] و [۳۹].

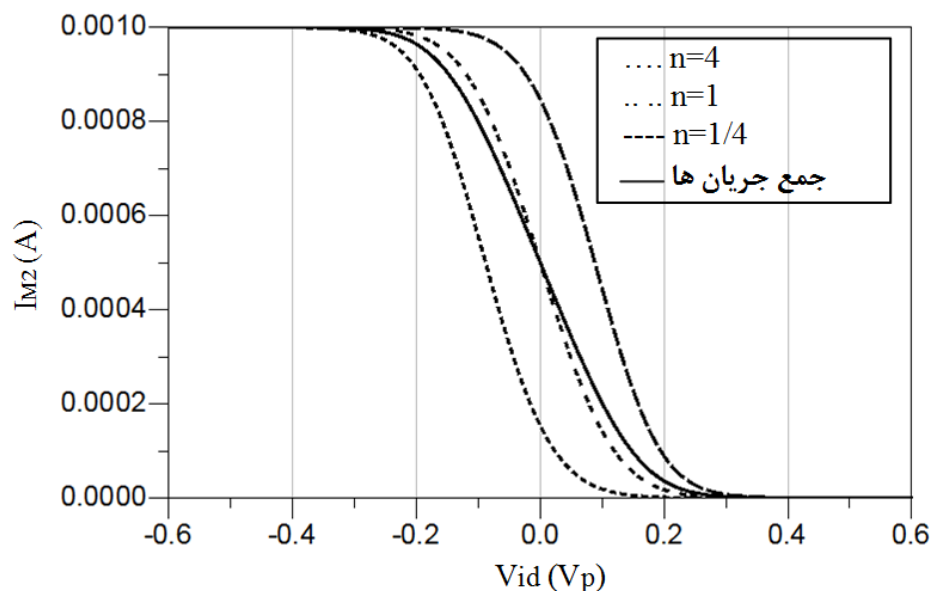
$$I_o = -2\alpha_1 kV_i^2 + \alpha_2 \sqrt{kI} V_i \sqrt{1 - \alpha_3 \frac{kV_i^2}{I}} \quad n > 1 \quad (3-4)$$

$$I_o = 2\alpha_1 kV_i^2 + \alpha_2 \sqrt{kI} V_i \sqrt{1 - \alpha_3 \frac{kV_i^2}{I}} \quad n < 1 \quad (4-4)$$

که  $\alpha_3 = \frac{n}{(n+1)^2}$  و  $\alpha_2 = \frac{4n}{(n+1)}$ ،  $\alpha_1 = \frac{n(n-1)}{(n+1)^2}$  است.

در حالت  $n > 1$ ، در اثر عدم تقارن، مشخصه  $I_o - V_i$  به سمت چپ، یا ولتاژهای ورودی منفی جابه‌جا می‌شود. در حالیکه برای  $n < 1$ ، این مشخصه به سمت راست یا ولتاژهای ورودی مثبت کشیده می‌گردد. بنابراین نقطه مرکزی مشخصه جریان-ولتاژ یک سلول تمام‌تفاضلی می‌تواند نسبت نقطه مرجع ( $V_i=0$ ) به سمت راست یا چپ جابه‌جا شود [۳۷-۳۹].

این مسأله با شبیه‌سازی در نرم‌افزار ADS نیز مورد بررسی قرار گرفته‌است. شکل ۴-۴ مشخصه‌های مربوط به سه مدار تفاضلی ساده با ۴، ۱،  $n=1/4$  و میزان جابه‌جایی جریان  $M_2$  در هر حالت را نمایش می‌دهد. به‌علاوه در این شکل، جریان خروجی در گره مثبت یک سلول  $G_m$  تمام‌تفاضلی، که در آن سه سلول نامتقارن فوق با یکدیگر موازی شده‌اند دیده می‌شود.



شکل ۴-۴ جابه‌جایی جریان در سه سلول نامتقارن با ابعاد متفاوت و افزایش گستره خطسانی در مشخصه مجموع.

همان‌طور که ملاحظه می‌گردد جمع سه مشخصه، منجر به گستره خطپینگی بالاتری شده است

که محدوده آن تقریباً برابر با مجموع گستره خطی هر سه سلول است.

### ۳-۴ معرفی روش پیشنهادی جهت جابه‌جایی مشخصه انتقالی و افزایش خطسانی

روشی دیگر جهت ایجاد ناهمسانی در یک مدار تفاضلی، می‌تواند از طریق اختلاف در ولتاژ آستانه ترانزیستورها باشد. در ادامه پس از بیان مباحث تئوری مربوط به روش پیشنهادی، نحوه پیاده‌سازی سلول  $G_m$  پیشنهادی در این پژوهش شرح داده می‌شود و سپس به بررسی خطینگی این سلول توسط شاخص‌های معرفی شده در فصل دوم، جهت مقایسه با سایر روش‌ها پرداخته می‌شود.

### ۳-۴-۱ معرفی اثر بدنه در ترانزیستورها

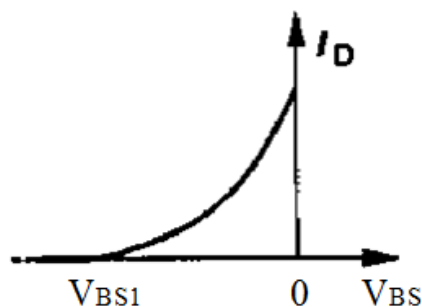
رابطه ولتاژ آستانه یک ترانزیستور با در نظر گرفتن اثر بدنه، تابعی از  $\gamma$  (ضریب اثر بدنه مرتبه اول)،  $\phi_F$  (پتانسیل فرمی) و  $V_{SB}$  (اختلاف پتانسیل سورس و بدنه) است [۴۰]. در رابطه (۵-۴)،  $V_{TH0}$  بیانگر ولتاژ آستانه در حالتی است که پایه بدنه یک ترانزیستور به پایه سورس آن متصل شده باشد ( $V_{SB}=0$ ).

$$V_{TH} = V_{TH0} + \gamma(\sqrt{|2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|}) \quad (5-4)$$

بنابراین با جایگذاری  $V_{TH}$  در معادله جریان درین ترانزیستور MOS در ناحیه اشباع رابطه (۶-۴) برای جریان درین به دست می‌آید.

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} [V_{GS} - (V_{TH0} + \gamma(\sqrt{|2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|}))]^2 \quad (6-4)$$

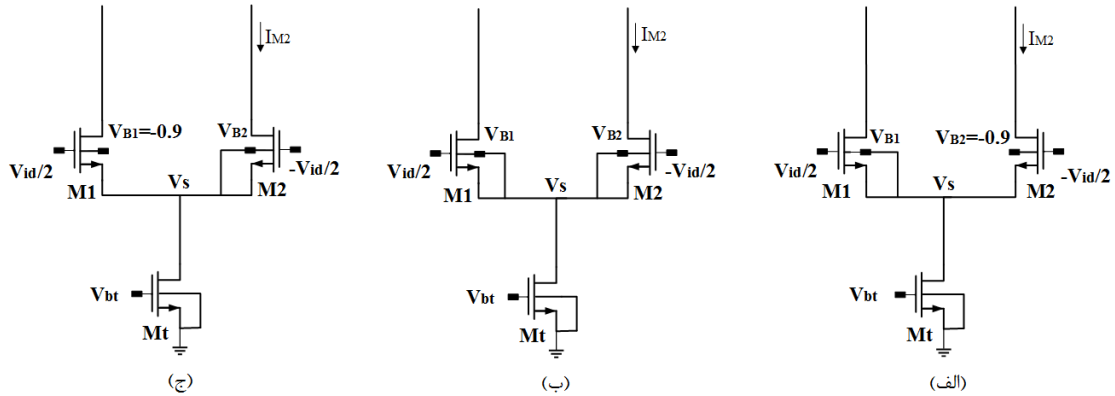
مشخصه  $I_D$  نسبت به تغییرات ولتاژ بدنه-سورس در یک ترانزیستور نوع N مطابق شکل ۵-۴ است.



شکل ۵-۴ تغییرات جریان درین نسبت به ولتاژ بدنه-سورس  $[Y]$ .

در این شکل  $V_{BS1}$  پتانسیلی است که در آن ولتاژ آستانه بیشتر از  $V_{GS}$  شده است و ترانزیستور خاموش است. بنابراین همان‌طور که از معادله (۶-۴) مشخص است، مشخصه جریان درین می‌تواند با

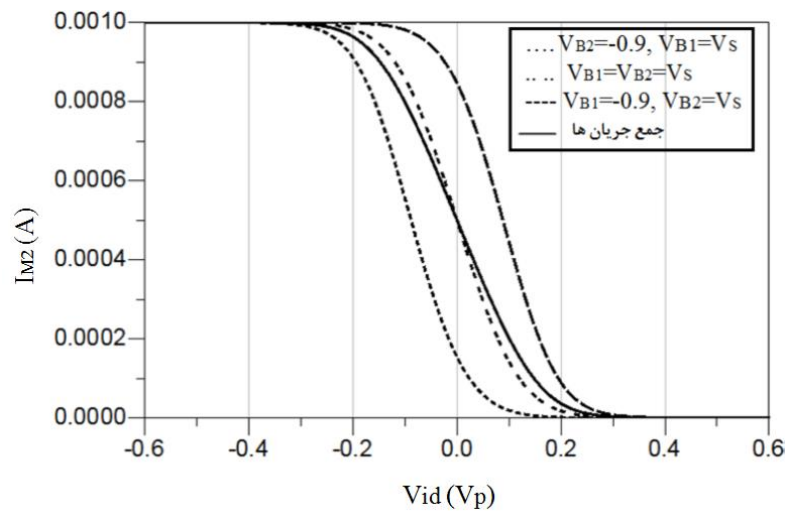
اعمال یک پتانسیل ثابت به پایه بدنه MOS، جابه‌جا شود. در شکل ۴-۶ یک سلول تمام‌تفاضلی ساده با در نظر گرفتن سه وضعیت متفاوت برای ولتاژ پایه بدنه در ترانزیستورهای ورودی رسم شده است.



شکل ۴-۶ (الف) اعمال ولتاژ به پایه بدنه  $M_2$ ، (ب) سلول متقارن،

(ج) اعمال ولتاژ به پایه بدنه  $M_1$ .

همانطور که در شکل ۴-۷ مشاهده می‌گردد با اعمال یک ولتاژ منفی برابر با  $-0.9V$  به پایه بدنه ترانزیستور  $M_2$ ، مشخصه جریان درین  $M_2$  به سمت چپ جابه‌جا می‌شود و در حالت اعمال ولتاژ به پایه بدنه ترانزیستور  $M_1$  این مشخصه نسبت به حالت مرجع (سلول متقارن)، به سمت راست کشیده می‌گردد.



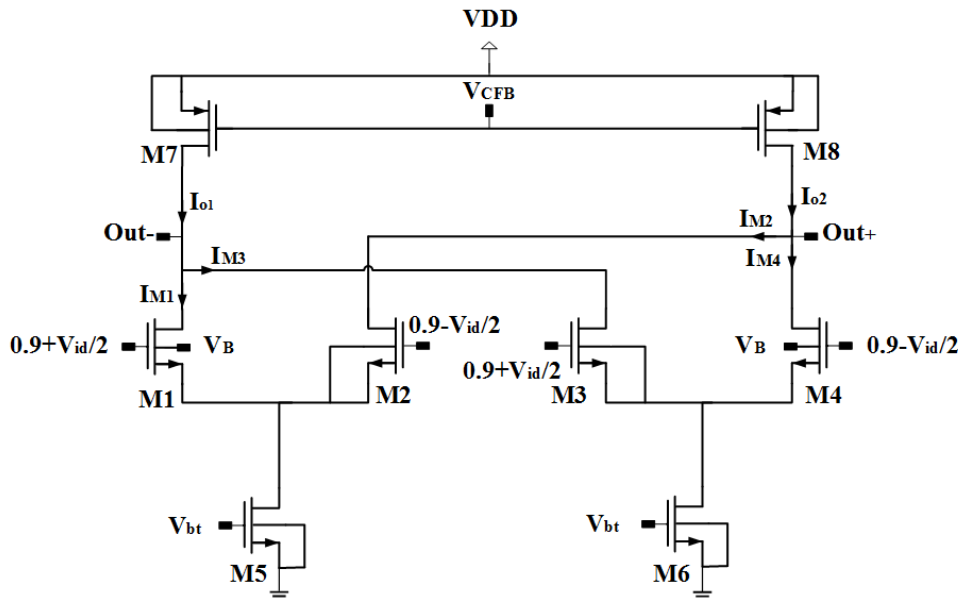
شکل ۴-۷ جابه‌جایی جریانی در سلول نامتقارن به کمک اثر بدنه

و افزایش خطینگی در حاصل جمع سه مشخصه.

همچنین در این تصویر مشابه با روش جابه‌جایی از طریق تغییر در ابعاد ترانزیستورها دیده می‌شود که با موازی کردن سلول‌های نامتقارن به کمک ولتاژ بدنه متفاوت و جمع منحنی مشخصه آن‌ها به گستره خطینگی بالاتر در کل سلول خواهیم رسید.

### ۲-۳-۴ پیاده‌سازی اولیه سلول $G_m$ پیشنهادی

شکل ۴-۸ از دو سلول تمام‌تفاضلی<sup>۱</sup> نامتقارن شامل  $(M_1, M_2)$  و  $(M_3, M_4)$  تشکیل شده که عدم تقارن در سلول اول و دوم به ترتیب توسط اعمال پتانسیل به پایه بدنه  $M_1$  و  $M_4$  ایجاد شده است.



شکل ۴-۸ پیاده‌سازی اولیه مدار پیشنهادی توسط دو سلول موازی با مشخصه‌های I-V جابه‌جا شده.

جهت موازی نمودن دو سلول ذکر شده پایه‌های گیت و درین به صورت اتصال موافق (متناظر) با یکدیگر وصل شده‌اند. هر سلول  $G_m$  (یک زوج تفاضلی) دارای گستره خطی چند میلی‌ولتی نسبت به ولتاژ ورودی است. همانطور که در شکل ۴-۷ دیدیم با اعمال ولتاژ بدنه و تغییر  $V_{th}$ ، مشخصه I-V به سمت چپ یا راست جابه‌جا می‌شود. برای انتخاب مناسب ولتاژ بدنه باید دوشروط زیر برقرار باشد تا مشخصه  $G_m$  هموار و بدون اعوجاج نسبت به ولتاژ ورودی به دست آید:

- ۱- میزان جابه‌جایی مشخصه به گونه‌ای باشد که ناحیه خطی سلول دوم در ادامه ناحیه خطی سلول اول باشد تا با افزودن دو ناحیه خطی به یکدیگر، ناحیه خطی کل سلول بیشتر شود.
- ۲- میزان تغییر در ولتاژ  $V_{th}$  منجر به خاموش شدن ( $V_{GS} < V_{th}$ ) یا خارج شدن ترانزیستورها از نواحی کاری تعیین شده در طراحی نشود.

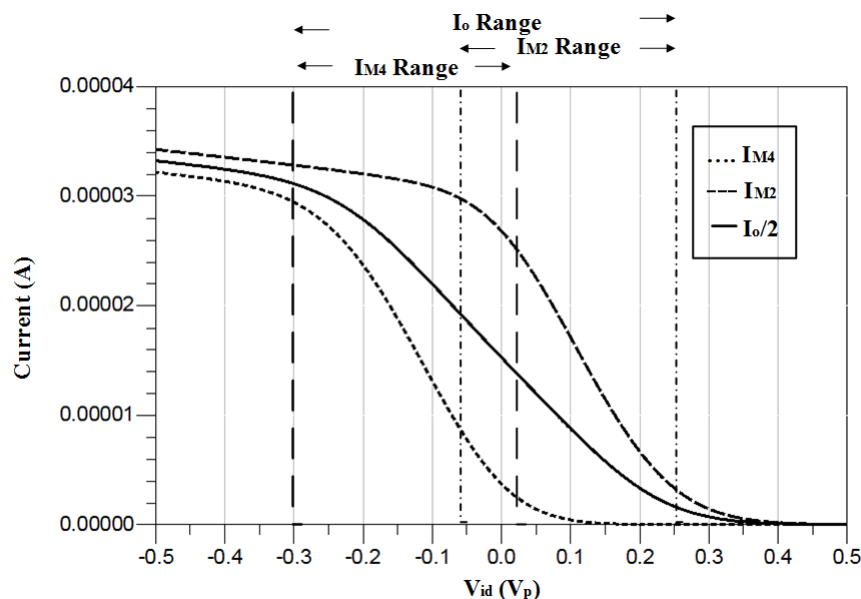
<sup>۱</sup> Double Differential Pair (DDP)

در طراحی شکل ۴-۸، مطابق با جدول ۴-۱ برای برقرار دو شرط فوق، ولتاژ بدنه اعمال شده به ترانزیستورهای  $M_1$  و  $M_4$  برابر با  $-0.18$  ولت انتخاب شده است. ولتاژ بایاس و ابعاد ترانزیستورهای  $M_5$  و  $M_6$  جهت بدست آمدن جریانی برابر با  $30 \mu A$  در منابع جریان طراحی شده است. برای این که با اعمال ولتاژ مد مشترک برابر با  $0.9$  ولت به پایه‌های گیت ترانزیستورهای ورودی، سطح ولتاژ مد مشترک در گره‌های مثبت و منفی خروجی برابر با  $0.9$  ولت گردد، ولتاژ بایاس پایه گیت ترانزیستورهای  $M_7$  و  $M_8$  باید برابر با  $1.13$  ولت باشد.

جدول ۴-۱ مقادیر مورد استفاده در طراحی شکل ۴-۸

| ابعاد ( $\mu m/\mu m$ ) |           | ولتاژ گره (V) |       |
|-------------------------|-----------|---------------|-------|
| $M_{1-4}$               | 1.6/0.18  | $V_B$         | -0.18 |
| $M_{5-6}$               | 3.7/0.18  | $V_{bt}$      | 0.55  |
| $M_{7-8}$               | 3.24/0.18 |               |       |

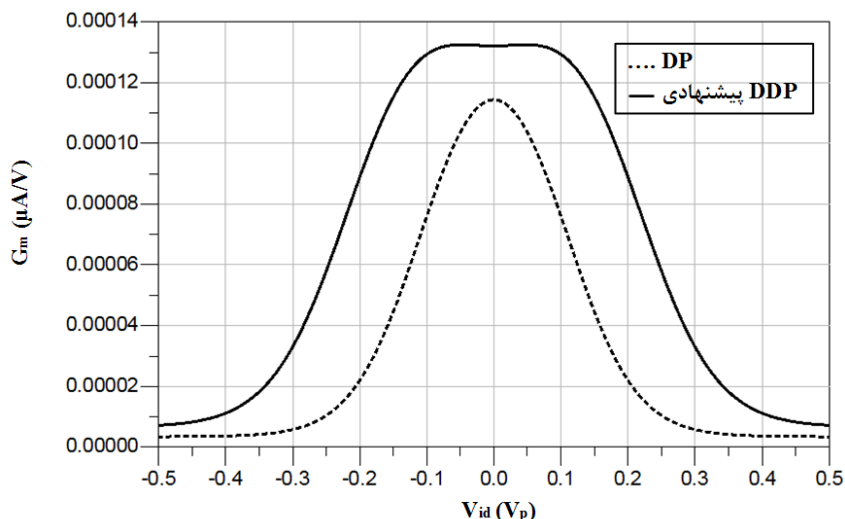
در شکل ۴-۸ مشخصه‌های مربوط به جریان‌های  $M_1$  و  $M_3$  در گره منفی خروجی و جریان‌های  $M_2$  و  $M_4$  در گره مثبت خروجی که توسط ولتاژ بدنه نسبت به یکدیگر جابه‌جا شده‌اند، با یکدیگر جمع می‌شوند. جهت درک بهتر مسأله، شکل ۴-۹ ضمن نمایش جابه‌جایی در جریان‌های  $M_2$  و  $M_4$  افزایش گستره خطی مشخصه حاصل از جمع این دو جریان در گره مثبت خروجی را نمایش می‌دهد.



شکل ۴-۹ افزایش گستره خطینگی حاصل از جمع دو مشخصه جابه‌جا شده در گره مثبت خروجی سلول  $G_m$  پیشنهادی.



همان طور که ملاحظه می شود بازه خطسانی  $G_m$  در سلول پیشنهادی افزایش چشمگیری یافته است. به طوری که گستره خطی به مقدار  $0.1V_p$  افزایش یافته است.



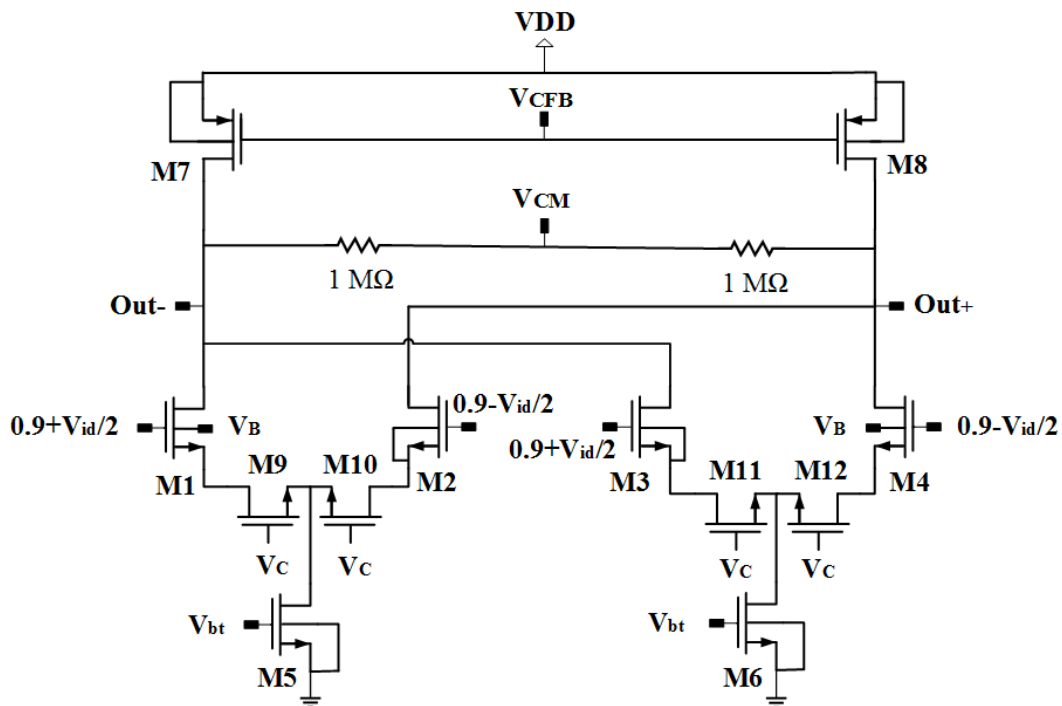
شکل ۴-۱۰ افزایش خطیگی با اعمال پتانسیل بدنه.

#### ۳-۳-۴ پیاده سازی ثانویه ساختار پیشنهادی

در فصل سوم مزایای استفاده از ترانزیستور بایاس شده در ناحیه ترایود به عنوان مقاومت دیجنریتیو شرح داده شد. در حقیقت یکی از ابتدایی ترین اقدامات جهت بهبود خطیگی، افزودن مقاومت به پایه سورس ترانزیستورهای ورودی است. شکل ۴-۱۱ پیاده سازی ثانویه سلول  $G_m$  پیشنهاد شده در این پایان نامه را نمایش می دهد که از یک ولتاژ کنترل ثابت در پایه گیت ترانزیستورهای  $M_{9-12}$  به منظور این که در ناحیه مقاومتی بایاس گردند، استفاده شده است. مقادیر مورد استفاده در طراحی سلول  $G_m$  پیشنهاد شده با در نظر گرفتن جریان منابع جریان برابر با  $30\mu A$  و بایاس ترانزیستورهای دیجنریشن در ناحیه ترایود بر طبق جدول ۴-۲ انتخاب شده اند. همچنین ولتاژ بدنه مناسب برای جابجایی مشخصه های انتقالی سلول با رعایت دو شرط ذکر شده در بخش قبل برابر با  $0.7$  ولت به دست آمده است.

جدول ۴-۲ مقادیر مورد استفاده در طراحی شکل ۴-۱۱

| ابعاد ( $\mu m/\mu m$ ) |           | ولتاژ گره (V) |      |
|-------------------------|-----------|---------------|------|
| $M_{1-4}$               | 1.6/0.18  | $V_B$         | 0.7  |
| $M_{5-6}$               | 3.9/0.18  | $V_{bt}$      | 0.55 |
| $M_{7-8}$               | 3.24/0.18 | $V_c$         | 0.97 |
| $M_{9-12}$              | 0.22/0.18 |               |      |



شکل ۴-۱۱ پیاده‌سازی ثانویه سلول  $G_m$  پیشنهادی.

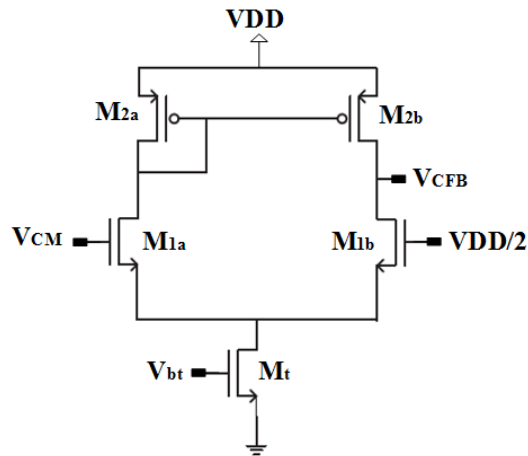
از آن جا که در تقویت‌کننده‌های تفاضلی با بهره بالا، سطح مد مشترک خروجی کاملاً به عدم تقارن‌ها و ویژگی‌های ترانزیستور حساس است، وجود یک شبکه فیدبک مشترک<sup>۱</sup> که سطح مد مشترک دو خروجی را بسنجد و یکی از جریان‌های بایاس تقویت‌کننده را تنظیم نماید الزامی است. کار این شبکه به سه بخش تقسیم می‌گردد [۷]:

- سنجش سطح مد مشترک خروجی
- مقایسه با یک مرجع
- بازگرداندن خطا به شبکه بایاس تقویت‌کننده.

مدار CMFB مورد استفاده در این پایان‌نامه شامل دو مقاومت بزرگ  $1\text{ M}\Omega$  (جهت نمونه‌گیری از خروجی مدار) و یک آپ‌امپ ساده با مصرف توان اندک (به عنوان مقایسه‌کننده) که در شکل ۴-۱۲ مشاهده می‌گردد است. جدول ۴-۳ مقادیر مورد استفاده در طراحی آپ‌امپ ذکر شده را برای به‌دست آمدن  $V_{CFB}=1/13\text{ V}$  و تأمین ولتاژ بایاس بارهای فعال M7 و M8 نمایش می‌دهد. به این ترتیب

<sup>۱</sup> Common Mode FeedBack (CMFB)

سطح ولتاژ مدمشترک در گره‌های مثبت و منفی خروجی بر روی  $0.9V$  تنظیم می‌گردد.



شکل ۴-۱۲ مدار تولید کننده ولتاژ مد مشترک ( $V_{CFB}$ ) [۳۳].

قابل ذکر است که توان مصرفی سلول ثانویه پیشنهادی (شکل ۴-۱۱) به همراه مدار تولید کننده

ولتاژ مد مشترک آن برابر با  $118\mu W$  بدست آمده است.

جدول ۴-۳ مقادیر مورد استفاده در طراحی شکل ۴-۱۲

| ابعاد ( $\mu m/\mu m$ ) |           | ولتاژ گره (V) |      |
|-------------------------|-----------|---------------|------|
| $M_{1a-1b}$             | 3.6/0.18  | $V_{DD}/2$    | 0.9  |
| $M_{2a-2b}$             | 3.24/0.18 | $V_{bt}$      | 0.55 |
| $M_t$                   | 1/0.18    |               |      |

#### ۴-۳-۴ نتیجه شبیه‌سازی شاخص‌های خطینگی

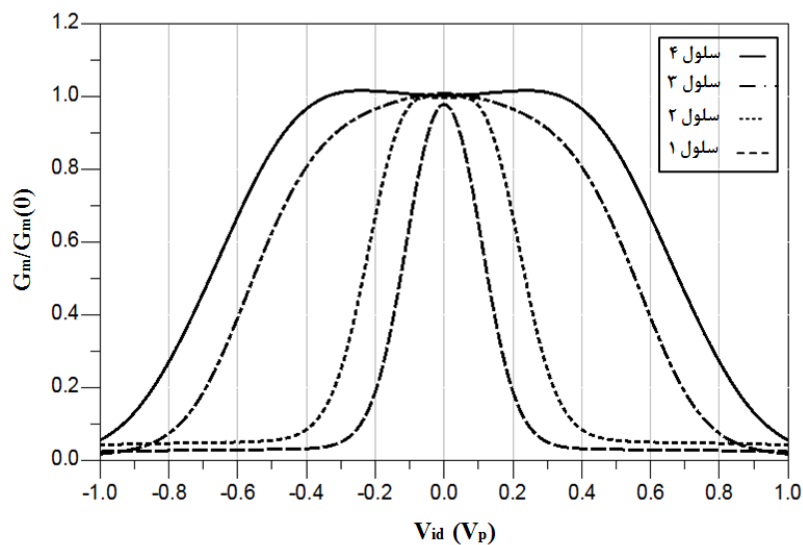
در شکل ۴-۱۳ مشخصه  $G_m$  برای چهار سلول زیر رسم شده است:

- سلول ۱: یک زوج تفاضلی ساده (DP) در شکل ۴-۶ (ب).
- سلول ۲: سلول پیشنهادی اولیه (DDP+Body Biasing) در شکل ۴-۸.
- سلول ۳: دو زوج تفاضلی موازی متقارن به همراه مقاومت‌های دیجنریشن (DDP+SD).
- سلول ۴: سلول پیشنهادی ثانویه (DDP+Body Biasing+SD) در شکل ۴-۱۱.

که در ادامه هریک از این سلول‌ها را به ترتیب با نام‌های سلول ۱، سلول ۲، سلول ۳ و سلول ۴

می‌شناسیم. در رسم مشخصه  $G_m$  جهت مقایسه بهتر گستره خطینگی، چهار مشخصه فوق بر ترانسانایی

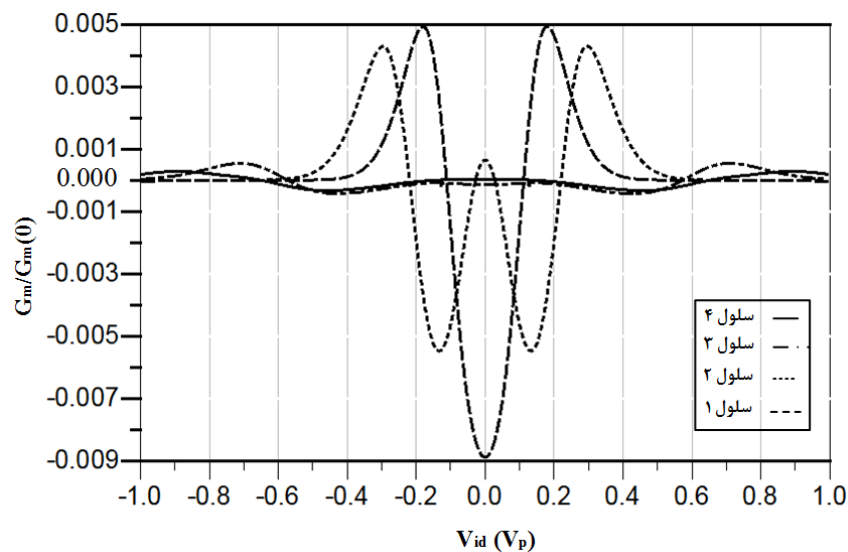
سیگنال کوچک (یا  $G_m(V_{id}=0)$ ) نرمالیزه شدند. همان‌طور که در شکل ۴-۱۳ مشاهده می‌گردد در سلول پیشنهادی ۴ که در آن همزمان از دو روش جابه‌جایی مشخصه از طریق اثر بدنه و مقاومت‌های دیجریشن استفاده شده است، گستره خطی سلول  $G_m$  به طرز چشم‌گیری افزایش یافته‌است. اگر مشابه با [۴۰] برای تعیین بازه خطینگی، معیار ۱ درصد تغییرات در سطح منحنی  $G_m$  را در نظر بگیریم گستره خطی در سلول نهایی برابر با  $0.71V_{pp}$  می‌باشد.



شکل ۴-۱۳ مقایسه مشخصه  $G_m$  در مدار پیشنهادی ۴ نسبت به سه سلول دیگر.

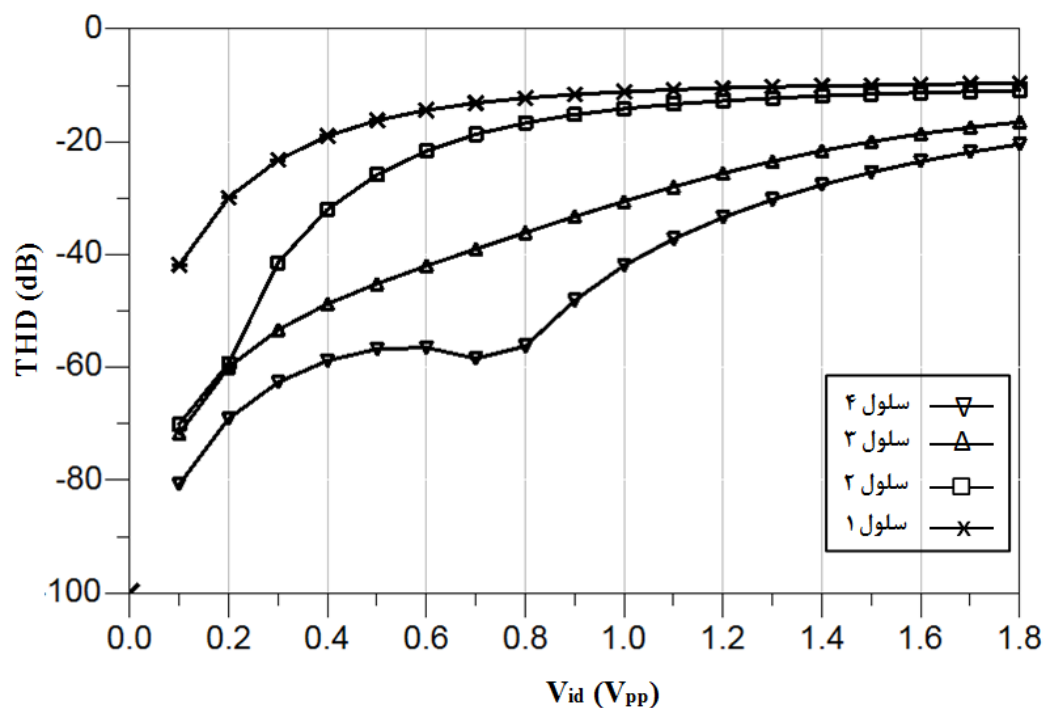
همچنین رسم مشخصه  $G_{m3}$  برای چهار مدار فوق در شکل ۴-۱۴، نشان می‌دهد سلول پیشنهاد

شده ثانویه حذف اثر غیرخطی مرتبه سوم ( $G_{m3}$ ) را در گستره وسیع‌تری از ورودی انجام می‌دهد.



شکل ۴-۱۴ مقایسه مشخصه  $G_{m3}$  در مدار پیشنهادی ۴ نسبت به سه سلول دیگر.

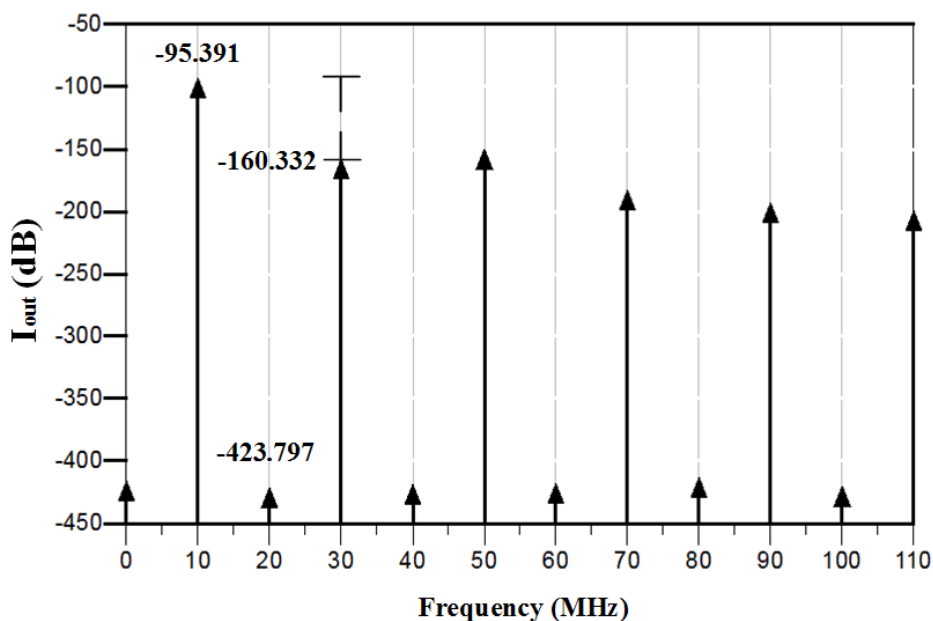
شاخص دیگری که اطلاعات مفیدی از میزان خطینگی طرح پیشنهادی می‌دهد میزان THD مربوط به جریان خروجی است. برای نحوه شبیه‌سازی و محاسبه این پارامتر به پیوست مراجعه گردد. با توجه به شکل ۴-۱۵ کاهش قابل توجه این شاخص در سلول پیشنهادی ۴، در ازای ولتاژهای ورودی قله تا قله بالا و در فرکانس ۱۰ مگاهرتز، بار دیگر بهبود قابل توجه خطینگی در مدار پیشنهادی ثانویه را نشان می‌دهد.



شکل ۴-۱۵ مقایسه THD در مدار پیشنهادی ۴ نسبت به سه سلول دیگر.

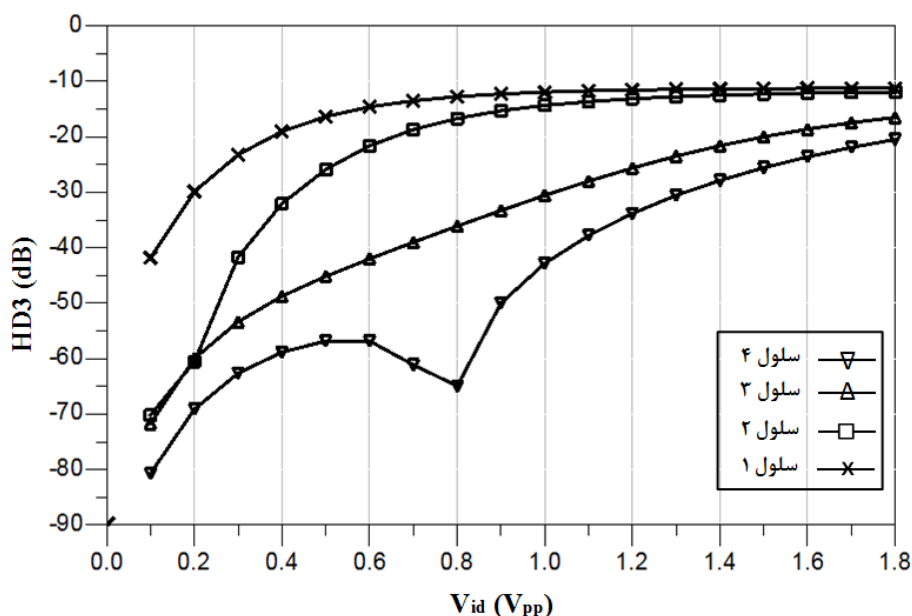
یکی دیگر از شاخص‌هایی که در اکثر مقالات برای مقایسه خطسانی سلول‌های  $G_m$  ذکر می‌شود شاخص HD3 است که در پیوست نحوه شبیه‌سازی آن بیان شده است. با توجه به شکل ۴-۱۶ اندازه این شاخص در مدار پیشنهادی با مشخصات سیگنال ورودی برابر با  $0.18V_{pp}$  و در فرکانس ۱۰ مگاهرتز، برابر با  $-64/94dB$  است.

دامنه کوچک مربوط به هارمونی‌های زوج به خوبی اثبات می‌نماید که در یک سلول تمام‌تفاضلی هارمونی‌های زوج قابل چشم‌پوشی هستند. مقایسه شاخص HD3 در چهار سلول ذکر شده با یکدیگر، توانایی بالای سلول پیشنهادی ۴ را در حذف مؤلفه مرتبه سوم، بیان می‌دارد.



شکل ۴-۱۶ محاسبه شاخص HD3 در سلول پیشنهادی ۴.

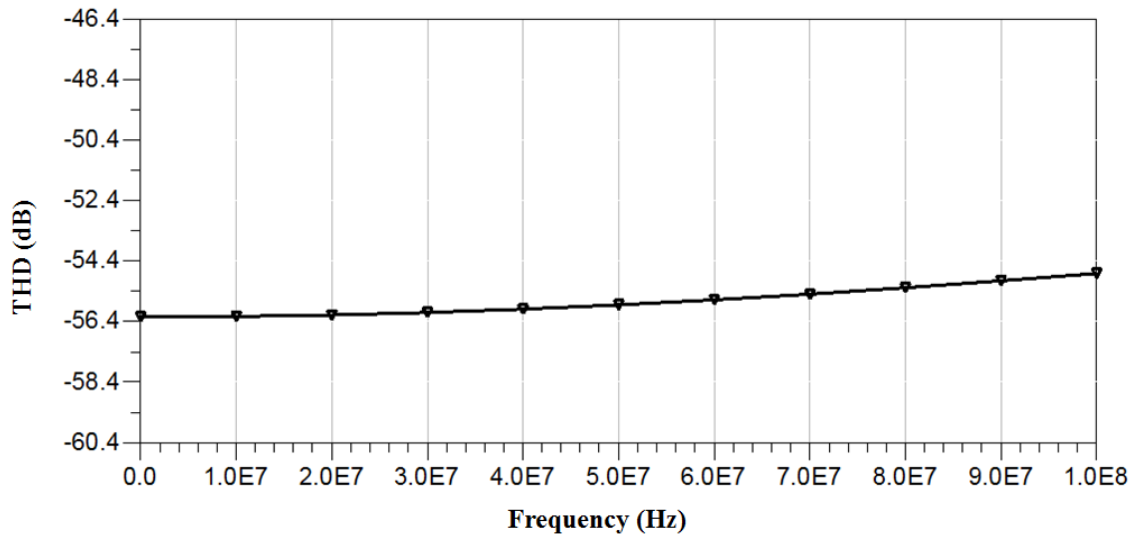
همان طور که از شکل ۴-۱۷ به دست می آید HD3 مدار پیشنهادی ۴، در مقایسه با سه مدار دیگر به ازای دامنه قله تا قله سیگنال ورودی در فرکانس ۱۰ مگاهرتز بهبود قابل ملاحظه‌ای دارد که حاکی از عملکرد خوب مدار پیشنهادی است.



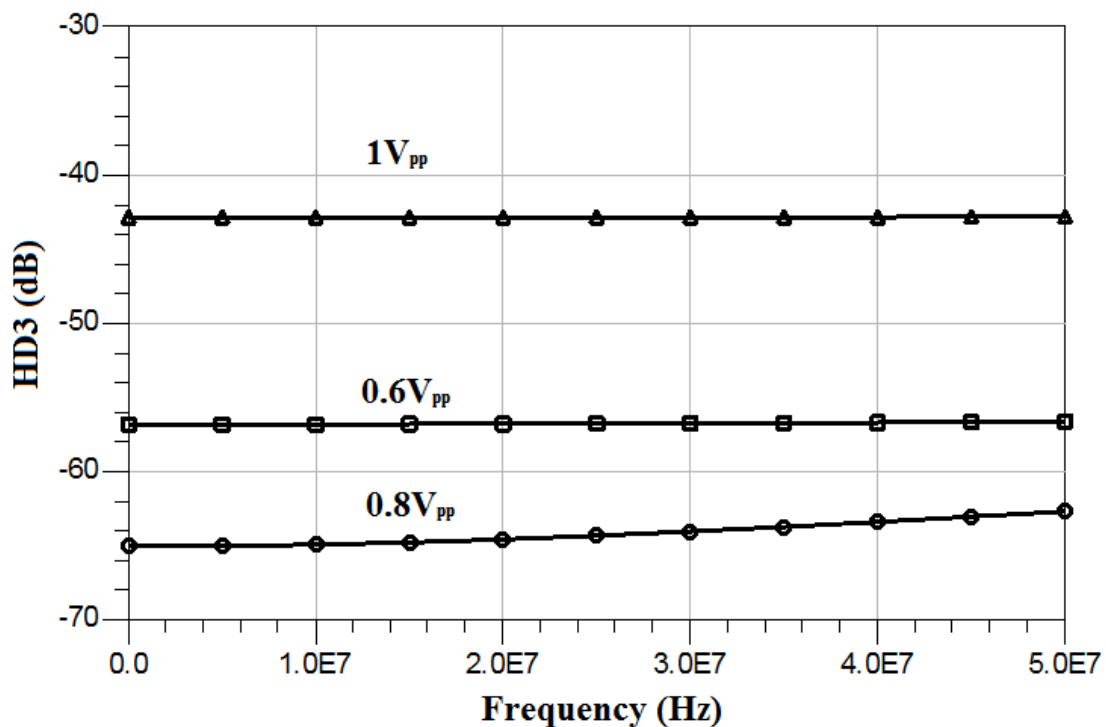
شکل ۴-۱۷ مقایسه HD3 در مدار پیشنهادی ۴ نسبت به سه سلول دیگر.

شکل ۴-۱۸ تغییرات اندک شاخص THD را در مدار پیشنهادی ۴ نسبت به فرکانس ورودی (به ازای دامنه سیگنال ورودی برابر با  $0.8V_{pp}$ ) نشان می دهد. همچنین همانطور که در شکل ۴-۱۹ دیده

می‌شود سلول پیشنهادی ۴ بازای سه دامنه ورودی داخل ( $0.6V_{pp}$ )، لبه ( $0.8V_{pp}$ ) و خارج ( $1V_{pp}$ ) از گستره خطی دارای حساسیت HD3 بسیار پایینی نسبت به فرکانس سیگنال ورودی است.



شکل ۴-۱۸ تغییرات THD در مدار پیشنهادی ۴ نسبت به فرکانس.



شکل ۴-۱۹ تغییرات HD3 در مدار پیشنهادی ۴ نسبت به فرکانس در سه دامنه از گستره خطی.

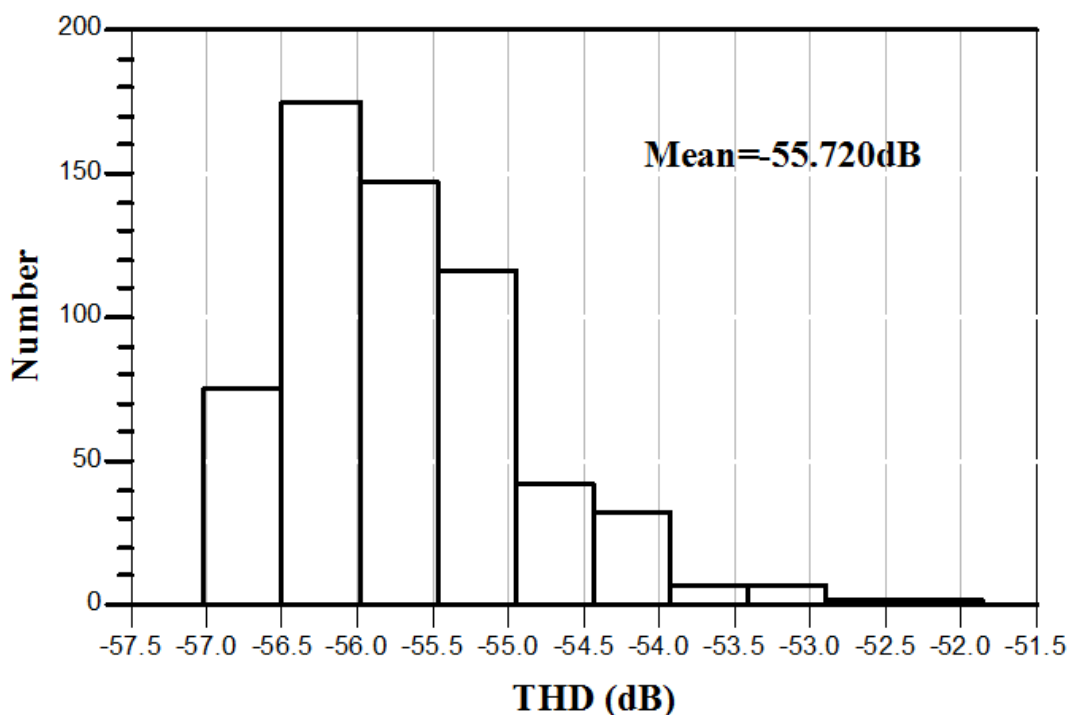
شبیه‌سازی مونت کارلو به منظور تعیین حساسیت مدار پیشنهادی ۴ نسبت به پروسه ساخت ترانزیستورها، با اعمال تغییرات تصادفی در عرض ترانزیستورهای مدار بر مبنای توزیع گوسی، پیاده‌سازی

گردید. تعداد تکرار ۶۰۰ مرتبه و فرکانس سیگنال ورودی ۱۰ مگاهرتز است. شکل ۴-۲۰ نمایش هیستوگرام تابع THD را در حالت ورودی  $0.18V_{pp}$  و ۱ درصد تغییرات تصادفی نمایش می‌دهد. مطابق با جدول ۴-۴ مقاومت مدار پیشنهادی نسبت به تغییرات پروسه ساخت در سطح قابل قبولی است.

جدول ۴-۴ میانگین هیستوگرام THD در مدار پیشنهادی ۴

به‌ازای تغییرات ابعاد و دامنه ولتاژ ورودی.

| $V_{id}$     | بدون اعمال تغییرات | ۱ درصد تغییرات | ۵ درصد تغییرات |
|--------------|--------------------|----------------|----------------|
| $0.16V_{pp}$ | -۵۶/۴۸۶            | -۵۶/۲۵۸        | -۵۳/۸۳۹        |
| $0.18V_{pp}$ | -۵۶/۲۳۵            | -۵۵/۷۲۰        | -۵۰/۹۹۰        |



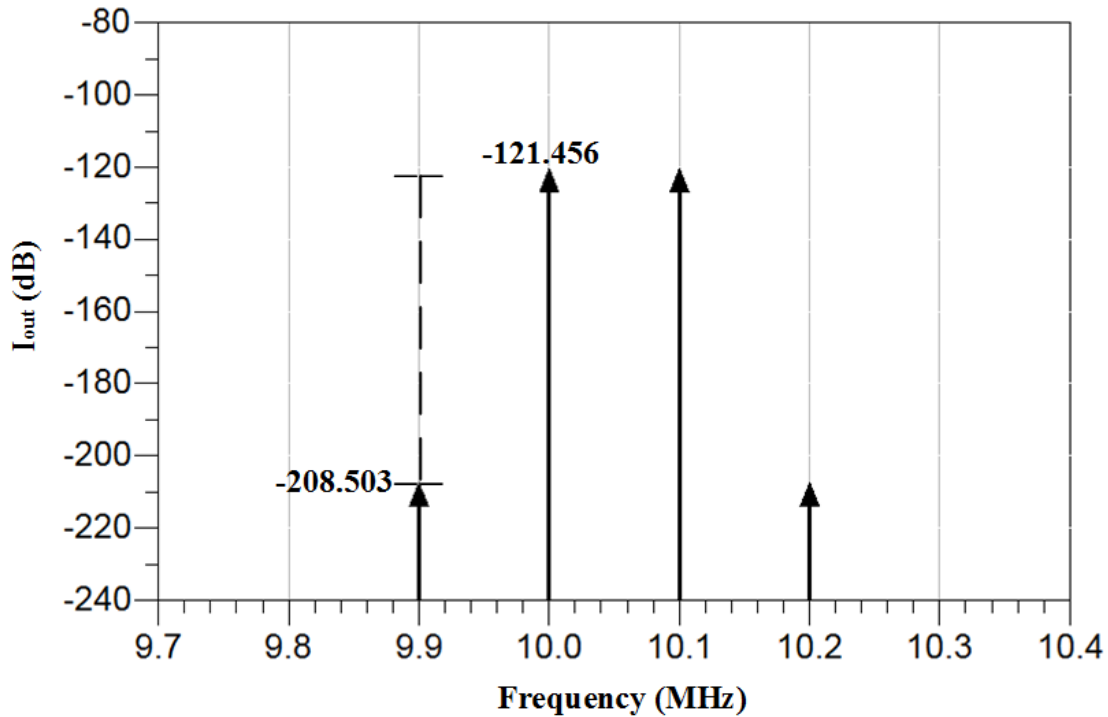
شکل ۴-۲۰ هیستوگرام تابع THD در مدار پیشنهادی ۴ در حالت ورودی  $0.18V_{pp}$  و فرکانس ۱۰MHz (۱ درصد تغییرات تصادفی).

جهت بررسی و مقایسه رفتار مدار پیشنهادی ۴ در برابر پدیده اینترمدولاسیون، دو سیگنال هم دامنه در گستره خطی هر چهار سلول، به اندازه  $20mV_{pp}$  و فرکانس‌های ۱۰ و ۱۰/۱ مگاهرتز به ورودی سلول اعمال گردید.

شکل ۴-۲۱ دامنه سیگنال خروجی جریان مدار پیشنهادی ۴ را در فرکانس‌های اصلی (۱۰ و ۱۰/۱ مگاهرتز) و فرکانس‌های اینترمدولاسیون (۹/۹ و ۱۰/۲ مگاهرتز) نشان می‌دهد. همانطور که دیده



می‌شود شاخص IM3 در سلول پیشنهادی ۴ برابر با  $-۸۷/۰۴۷\text{dB}$  است.



شکل ۴-۲۱ محاسبه شاخص IM3 در سلول پیشنهادی ۴.

همچنین مطابق با جدول ۴-۵، IM3 سلول پیشنهادی ۴ در مقایسه با سه مدار دیگر در شرایط یکسان دامنه و فرکانس ورودی به میزان قابل توجهی بهبود یافته است.

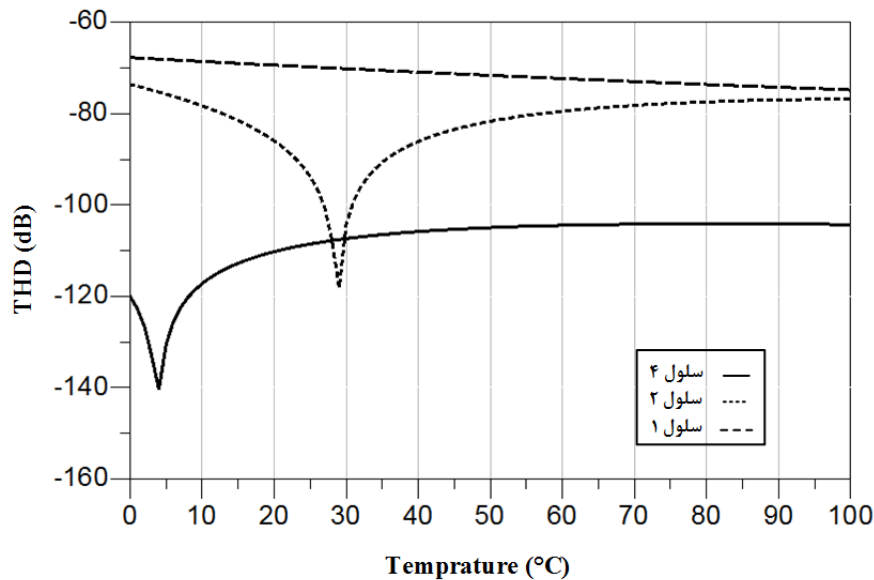
جدول ۴-۵ مقایسه IM3 در مدار پیشنهادی ۴ نسبت به سه سلول دیگر.

| سلول ۴                   | سلول ۳                   | سلول ۲                   | سلول ۱                   |
|--------------------------|--------------------------|--------------------------|--------------------------|
| IM3 = $-۸۷/۰۴۷\text{dB}$ | IM3 = $-۷۸/۰۶۶\text{dB}$ | IM3 = $-۷۴/۲۳۱\text{dB}$ | IM3 = $-۴۸/۲۲۷\text{dB}$ |

جهت بررسی و مقایسه رفتار دمایی مدار پیشنهادی ۴ با سه مدار دیگر، اندازه THD در برابر تغییرات دما در بازه ۰ تا ۱۰۰ درجه سانتیگراد در شکل ۴-۲۲ رسم شده است. دامنه ولتاژ ورودی در این شبیه‌سازی برابر با  $۲۰\text{mV}_{pp}$  و با فرکانس ۱۰ مگاهرتز است که در گستره خطی هر چهار سلول قرار دارد.

همان‌طور که مشاهده می‌گردد روش مورد استفاده در سلول ۴ در تمام بازه تغییرات دمایی همواره دارای THD کمتر از  $-۱۰۵\text{dB}$  می‌باشد که عملکرد مناسب ساختار ارائه شده را در بهبود خطسانی مدار

در برابر تغییرات وسیع دمایی نشان می‌دهد. از آن جا که ولتاژ آستانه ترانزیستور علاوه بر ولتاژ بدنه تابعی از دما نیز است و از طرفی مقدار این ولتاژ در سلول ۴ متفاوت از سلول ۲ است، عملکرد بهتر سلول پیشنهادی ۴ نسبت به سلول ۲، در دماهای ۲۷ تا ۳۰ درجه سانتیگراد منوط به جبران‌سازی مناسب دمایی است.



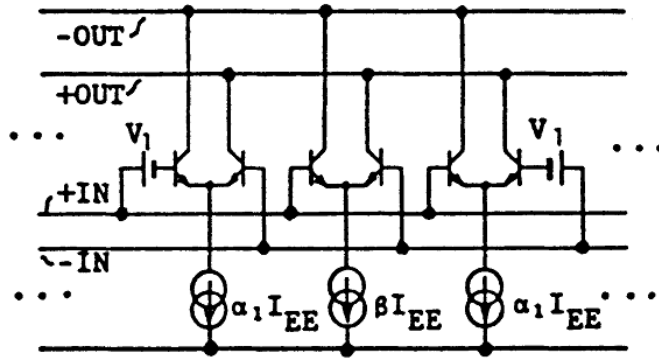
شکل ۴-۲۲ رفتار THD در برابر تغییرات دمایی.

#### ۴-۳-۵ توسعه گستره خطی با افزودن یک سلول متقارن به مدار پیشنهادی ۴

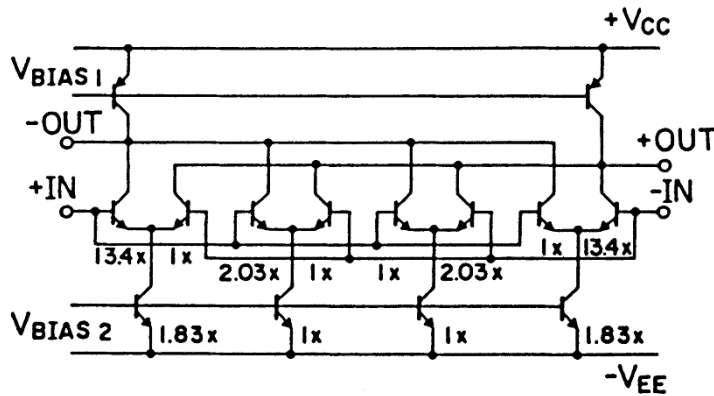
در [۳۵] و [۳۶] برای بدست آوردن گستره خطسانی بیشتر، تعداد چهار سلول نامتقارن (مبتنی بر روش‌های جابه‌جایی ترانزیستورهای BJT از طریق منبع ولتاژ شناور در گیت و تغییر در ابعاد ترانزیستورها) با یکدیگر موازی شده‌اند. همچنین برای این منظور در [۳۷] و [۳۸] دو سلول نامتقارن و یک سلول متقارن (مبتنی بر روش جابه‌جایی از طریق تغییر در ابعاد ترانزیستورهای MOSFET) با یکدیگر موازی شده‌اند.

همانطور که در شکل ۴-۲۳ دیده می‌شود همزمان با اعمال روش جابه‌جایی از طریق منبع ولتاژ شناور لازم است تنظیم صحیح نسبت منابع جریان نیز صورت پذیرد. همچنین در شکل ۴-۲۴ نسبت‌های مورد استفاده در چهار سلول نامتقارن موازی شده مشاهده می‌گردد. در [۳۷] و [۳۸] عرض ترانزیستورهای منبع جریان مربوط به سلول‌های نامتقارن به ترتیب حدوداً  $3/6$  و  $2$  برابر عرض

ترانزیستور مربوط به منبع جریان سلول متقارن انتخاب شده است. بنابراین برای توسعه خطی‌نگی دو سلول نامتقارن جابه‌جا شده از طریق ولتاژ بدنه (سلول ۴)، می‌توان یک سلول متقارن با مجموعه فوق موازی نمود.



شکل ۴-۲۳ توسعه خطی‌نگی سلول‌های جابه‌جا شده از طریق منبع ولتاژ شناور [۳۶].



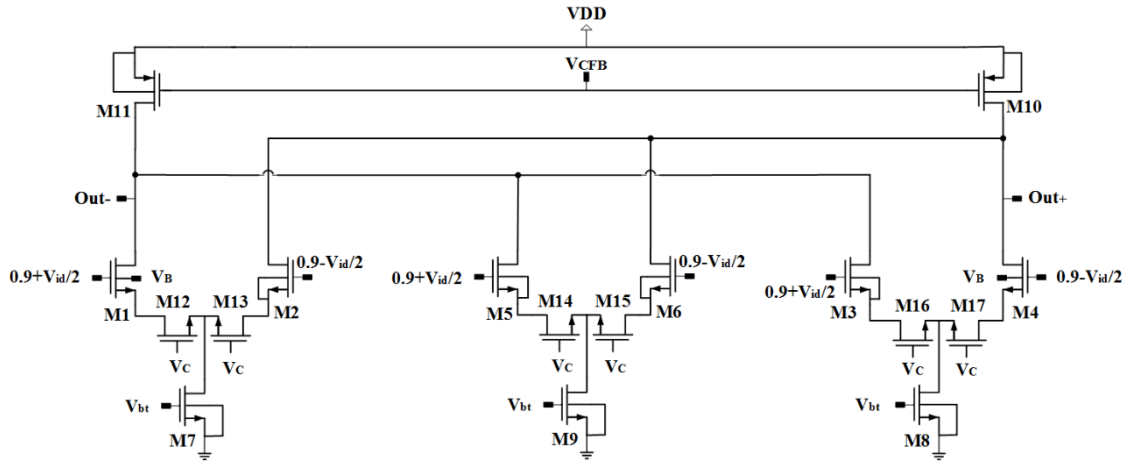
شکل ۴-۲۴ توسعه خطی‌نگی سلول‌های جابه‌جا شده از طریق تغییر در ابعاد ترانزیستورها [۳۶].

شکل ۴-۲۵ سلول  $G_m$  نهایی را نشان می‌دهد که مقادیر عناصر موجود در آن مطابق با جدول ۶-۴ است. در طراحی این سلول نسبت ذکر شده برای منابع جریان دو برابر در نظر گرفته شده است،

$$\frac{W_{7,8}}{W_9} = 2 \text{ یعنی}$$

جدول ۶-۴ مقادیر مورد استفاده در طراحی شکل ۴-۲۵.

| ابعاد ( $\mu\text{m}/\mu\text{m}$ ) |           | ولتاژ گره (V) |      |
|-------------------------------------|-----------|---------------|------|
| $M_{1-6}$                           | 1.6/0.18  | $V_{CFB}$     | 1.02 |
| $M_{7-8}$                           | 7.8/0.18  | $V_B$         | 0.83 |
| $M_9$                               | 3.9/0.18  | $V_{bt}$      | 0.55 |
| $M_{10-11}$                         | 3.24/0.18 | $V_c$         | 0.98 |
| $M_{12-17}$                         | 0.22/0.18 |               |      |

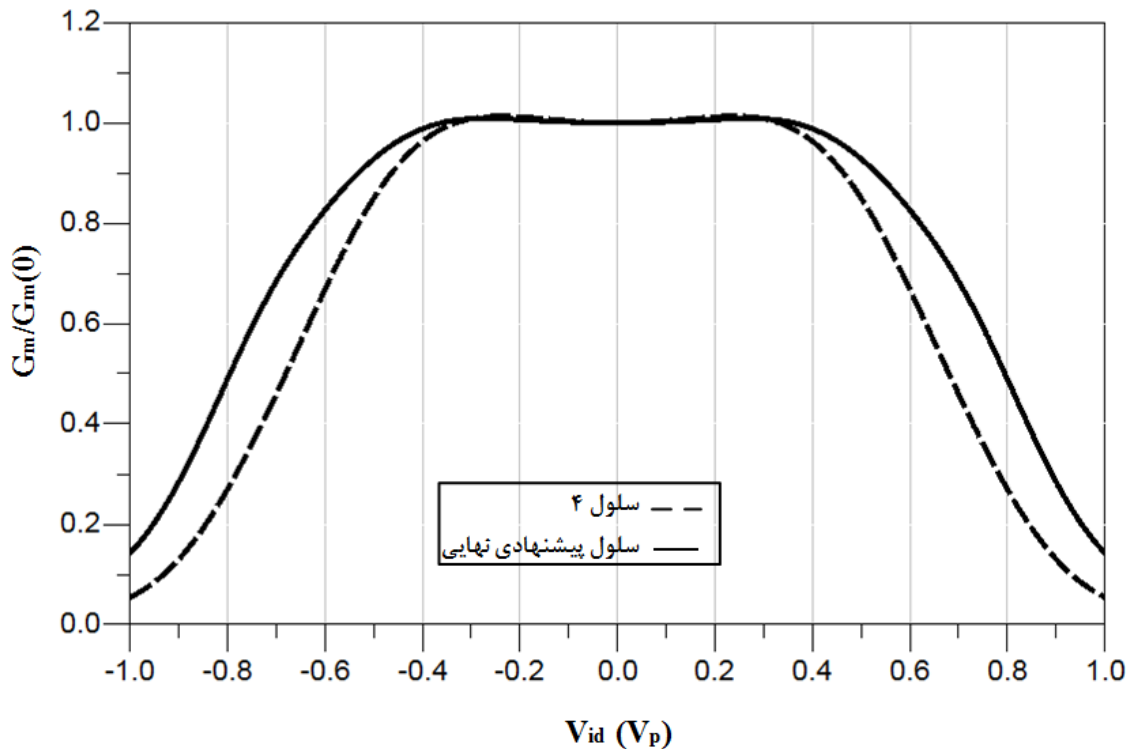


شکل ۴-۲۵ موازی کردن یک سلول متقارن با مدار پیشنهادی ۴ جهت افزایش گستره خطی.

همانطور که در شکل ۴-۲۶ دیده می شود میزان گستره خطی در سلول نهایی نسبت به سلول ۴

$0.1V_{pp}$  افزایش یافته است. در واقع با در نظر گرفتن معیار ۱ درصد تغییرات در سطح منحنی  $G_m$ ، گستره

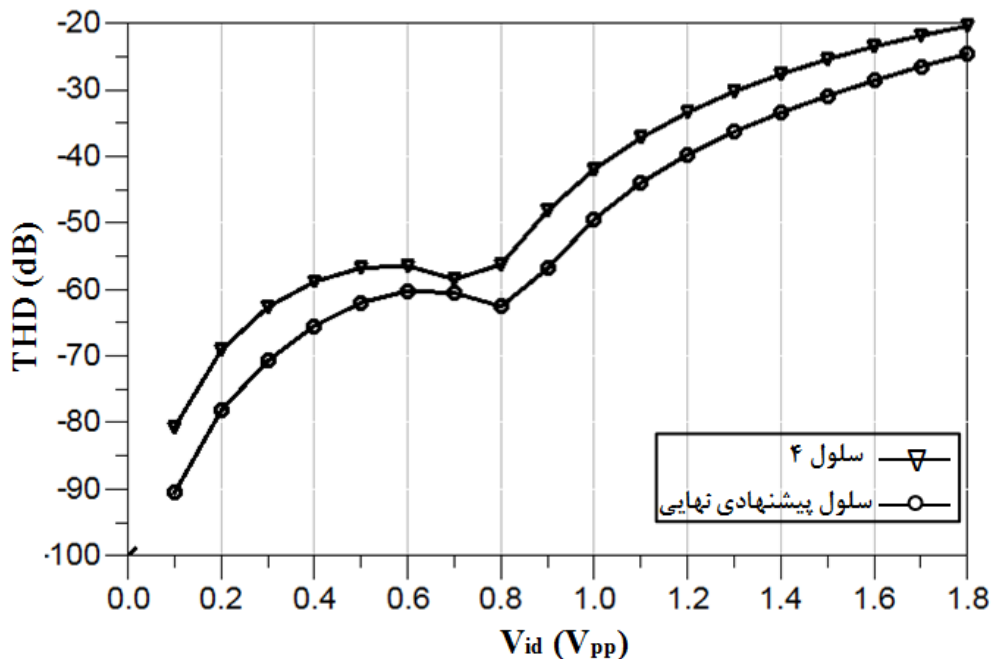
خطی در سلول نهایی برابر با  $0.1V_{pp}$  می باشد.



شکل ۴-۲۶ مقایسه مشخصه  $G_m$  در سلول پیشنهادی نهایی نسبت به سلول ۴.

مقایسه مشخصه THD در شکل ۴-۲۷ انجام شده است. در این شکل کاهش THD در سلول

نهایی نسبت به سلول ۴، بهبود خطینگی را به کمک افزایش تعداد سلول های موازی نشان می دهد.



شکل ۴-۲۷ مقایسه مشخصه THD در سلول پیشنهادی نهایی نسبت به سلول ۴.

#### ۴-۴ مقایسه نتایج به دست آمده از مدار پیشنهادی نهایی با پژوهش‌های مشابه

کارکرد مناسب سلول‌های  $G_m$  در فیلترهای آنالوگ فرکانس بالا و قابلیت تنظیم پذیری آن‌ها سبب شده است مطالعات بسیاری جهت رفع محدودیت‌های موجود و افزایش کارایی این سلول‌ها صورت پذیرد. خطینگی پایین ترانس‌انها که ناشی از عملکرد حلقه باز آن‌ها است، یکی از موضوعات بسیار مهم مورد بررسی در پژوهش‌ها است. به این علت در جدول ۴-۷، نتایج به دست آمده در این تحقیق با برخی از این پژوهش‌ها مورد مقایسه قرار گرفته‌است. از بررسی و مقایسه نتایج می‌توان دریافت که در طراحی یک سلول  $G_m$ ، میان توان مصرفی پایین، ترانس‌انایی بالا و افزایش خطینگی مصالحه‌ای وجود دارد. با توجه به جدول ۴-۷، در [۳۲] با استفاده از روش بایاس تطبیقی به همراه مقاومت دیجنریشن، علیرغم بهره ترانس‌انایی کمتر نسبت به سلول پیشنهادی توان مصرفی بسیار زیادی صرف افزایش گستره خطی سلول  $G_m$  شده است. همچنین مدار پیشنهادی در این پایان‌نامه در مقایسه با [۱۳] در ازای مصرف توان حدوداً دو برابر به بهره ترانس‌انایی سه برابر و شاخص‌های خطینگی بهتری در شرایط ورودی یکسان دست یافته‌است. علت این امر را می‌توان به این‌گونه بیان کرد که ساختار پیشنهادی، عمل

خطینگی را بی‌نیاز از مدارهای کمکی که به نوبه خود در سلول دارای مصرف توان مصرف می‌باشند، انجام می‌دهد. چراکه جریان عبوری از پایه بدنه بسیار ناچیز و از درجه پیکو آمپر است.

جدول ۴-۷ مقایسه عملکرد مدار پیشنهادی با سایر پژوهش‌های پیشین

| ساختار پیشنهادی                         | [۱۳]                                      | [۲۴]                                   | [۱۴]                                   | [۲۷]                                    | [۳۲]                                    | مراجع                             |
|---|---|--|--|---|---|-----------------------------------|
| --                                      | ۲۰۱۵                                      | ۲۰۱۳                                   | ۲۰۱۶                                   | ۲۰۱۱                                    | ۲۰۱۷                                    | سال انتشار                        |
| ۱۸۰                                     | ۱۸۰                                       | ۱۸۰                                    | ۱۸۰                                    | ۱۸۰                                     | ۱۸۰                                     | تکنولوژی (nm)                     |
| Body Effect+SD                          | Adaptive Biasing+SD                       | Attenuation +SD                        | Cross Coupled+SD                       | Cross Coupled+FVF                       | Adaptive Biasing+SD                     | روش                               |
| شبیه‌سازی                               | شبیه‌سازی                                 | ساخت                                   | شبیه‌سازی                              | شبیه‌سازی                               | شبیه‌سازی                               | شبیه‌سازی / ساخت                  |
| ۱/۸                                     | ±۰/۹                                      | ۱/۸                                    | ۱/۲                                    | ±۰/۸                                    | ۱/۸                                     | ولتاژ منبع تغذیه (V)              |
| ۰/۸                                     | ۱   | ۰/۵                                    | ۰/۶                                    | ۱                                       | ۱                                       | بازه خطی ورودی (V <sub>pp</sub> ) |
| ۷۴                                      | ۲۴/۴                                      | ۱۱۰                                    | ۱۰۰                                    | ۷۰۰                                     | ۳۲/۵                                    | بهره ترانسانایی (μA/V)            |
| (۰/۸V <sub>pp</sub> )<br>(۱۰MHz)<br>-۶۲ | (۰/۶V <sub>pp</sub> )<br>(۱۰MHz)<br>-۴۴/۲ | N/A                                    | (۰/۸V <sub>pp</sub> )<br>(۱MHz)<br>-۴۲ | (۱V <sub>pp</sub> )<br>(۱MHz)<br>-۳۹/۸۶ | N/A                                     | THD (dB)                          |
| (۰/۸V <sub>pp</sub> )<br>(۱۰MHz)<br>-۶۹ | (۰/۸V <sub>pp</sub> )<br>(۱۰MHz)<br>-۴۹   | (۰/۵V <sub>pp</sub> )<br>(۵MHz)<br>-۶۱ | N/A                                    | N/A                                     | (۰/۹V <sub>pp</sub> )<br>(۱۰MHz)<br>-۵۸ | HD3 (dB)                          |
| ۲۶۰                                     | ۱۳۹/۲                                     | ۴۵۰                                    | N/A                                    | ۳۲۵                                     | ۶۰۰/۵                                   | توان مصرفی (μW)                   |

در [۲۷] نیز با مصرف توان بیشتر از ساختار پیشنهادی، بهره ترانسانایی بسیار بالاتری در ولتاژ تغذیه کمتر حاصل شده است. اما در شرایط ورودی یکسان، مدار پیشنهادی شاخص‌های خطینگی بهتری را ارائه می‌دهد. مرجع [۱۴] و [۲۴] نیز ترانسانایی بیشتری را به ترتیب در ولتاژ تغذیه کمتر و توان مصرفی بیشتر نتیجه می‌دهد، با این حال گستره خطی ساختار پیشنهادی در این پایان‌نامه نسبت به این دو مرجع بیشتر است. نکته دیگر این است که مدار پیشنهادی نیازی به دو منبع تغذیه مثبت و منفی ندارد. بنابراین با توجه به تکنولوژی یکسان و ولتاژ تغذیه ۱/۸ ولتی، ساختار پیشنهاد شده در این پایان‌نامه در مقایسه با نتایج جدیدترین تحقیقات انجام شده از محدوده خطسانی بیشتری در ازای ترانسانایی و توان مصرفی قابل قبول برخوردار است.

## فصل پنجم

### نتیجه‌گیری و پیشنهادها

## ۵-۱ مقدمه

توسعه صنعت الکترونیک در فرستنده-گیرنده‌های مخابراتی، منجر به پیاده‌سازی دستگاه‌هایی در ابعاد کوچک‌تر و با قابلیت‌های بیشتر شده است. در این میان فیلترهای آنالوگ به‌عنوان جزء جدایی‌ناپذیر مدارهای مخابراتی، برای عملکرد مناسب در فرکانس بالا نیازمند سادگی ساخت، طراحی بهینه و بهبود مشخصه‌های پاسخ فرکانسی، توان مصرفی و خطینگی می‌باشند. فیلترهای  $G_m-C$  به‌علت قابلیت تنظیم-پذیری و عملکرد مناسب در فرکانس‌های بالا، انتخاب مناسبی نسبت به سایر فیلترهای زمان-پیوسته می‌باشند.

ترارسانا (یا سلول  $G_m$ )، اصلی‌ترین بلوک سازنده فیلترهای  $G_m-C$  است که مسأله افزایش خطینگی آن همراه با توان مصرفی کم‌تر، همواره از چالش‌های اساسی موجود در طراحی آن‌ها بوده است. روش‌های مختلفی برای خطی‌سازی سلول‌های  $G_m$  وجود دارد تا علاوه بر بهینه‌سازی کیفیت سیگنال خروجی و افزایش ترارسانایی سلول، کاهش توان مصرفی را نیز به‌همراه داشته باشد.

## ۵-۲ نتیجه‌گیری

هدف از این پژوهش، افزایش خطینگی سلول  $G_m$ ، همراه با کاهش توان مصرفی و ترارسانایی قابل قبول است. با توجه به این‌که جریان‌های درین مربوط به شاخه‌های یک مدار تمام‌تفاضلی در حالت عدم تقارن مدار، با یکدیگر متفاوت می‌باشند (به‌طور مثال عدم تقارن در ابعاد ترانزیستورها و یا ولتاژهای بدنه متفاوت) می‌توان با موازی‌نمودن و جمع مشخصه‌های چند سلول نامتقارن، به یک ترارسانای کلی با خطینگی بالاتر دست یافت. این عمل می‌تواند با در نظر گرفتن اثر بدنه در جابه‌جایی مشخصه جریان-ولتاژ سلول  $G_m$  محقق گردد. در این پایان‌نامه ابتدا دو سلول  $G_m$  که مشخصه‌های انتقالی آن‌ها با تنظیم ولتاژ بدنه مناسب به سمت راست یا چپ جابه‌جا شده‌اند، با یکدیگر موازی گردیدند و حاصل جمع مشخصه‌های آن‌ها با یکدیگر، یک سلول تمام‌تفاضلی متقارن با افزایش قابل توجه در بازه خطی سیگنال ورودی و بهبود شاخص‌های خطینگی را نتیجه داده است. همچنین جهت افزایش بیشتر خطینگی سلول، از ترانزیستورهای بایاس شده در ناحیه تریود با ولتاژ بایاس ثابت به عنوان مقاومت‌های دی‌جنتیو در



سورس استفاده شده است. در ادامه، دو سلول ذکر شده جهت افزایش بیشتر گستره خطی با یک سلول متقارن موازی شده‌اند. شبیه‌سازی مشخصه  $G_m$  در سلول پیشنهادی نهایی افزایش بازه خطی سیگنال تفاضلی ورودی را تا ولتاژ پیک  $0.4$  ولت نشان می‌دهد. نتیجه به دست آمده با مطالعات اخیر مقایسه شد که سلول  $G_m$  پیشنهادی با توان مصرفی  $260$  میکرووات، گستره خطی  $0.8V_{pp}$ ، ترانسانایی  $74\mu A/V$  و شاخص THD بهتر از  $-62dB$  (در دامنه ولتاژ  $0.8V_{pp}$  و در فرکانس  $10MHz$ ) عملکرد مطلوبی را از خود نشان می‌دهد.

### ۳-۵ پیشنهادها

کارایی سلول  $G_m$  پیشنهادی می‌تواند با افزودن قابلیت تنظیم‌پذیری به ترانسانا افزایش یابد. به‌عنوان پیشنهاد اول مطالعه بر روی ترکیب سلول  $G_m$  پیشنهادی با دیگر روش‌های افزایش خطینگی مانند استفاده از بایاس تطبیقی، جهت تنظیم پتانسیل پایه گیت ترانزیستورهای دیجنریتیو یا ولتاژ بالک ترانزیستورها توصیه می‌گردد. پیشنهاد دوم پیاده‌سازی روش پیشنهادی در ناحیه زیرآستانه برای رسیدن به  $G_m$  بالاتر در توان مصرفی کم‌تر است. همچنین پیشنهاد می‌شود با افزودن یک طبقه بهره (آینه جریان)، جریان خروجی سلول ترانسانا و بنابراین مقدار  $G_m$  را با ضریب آینه افزایش داد. موازی کردن بیش از سه سلول نیز برای به دست آوردن گستره خطسانی بیشتر پیشنهاد می‌شود.

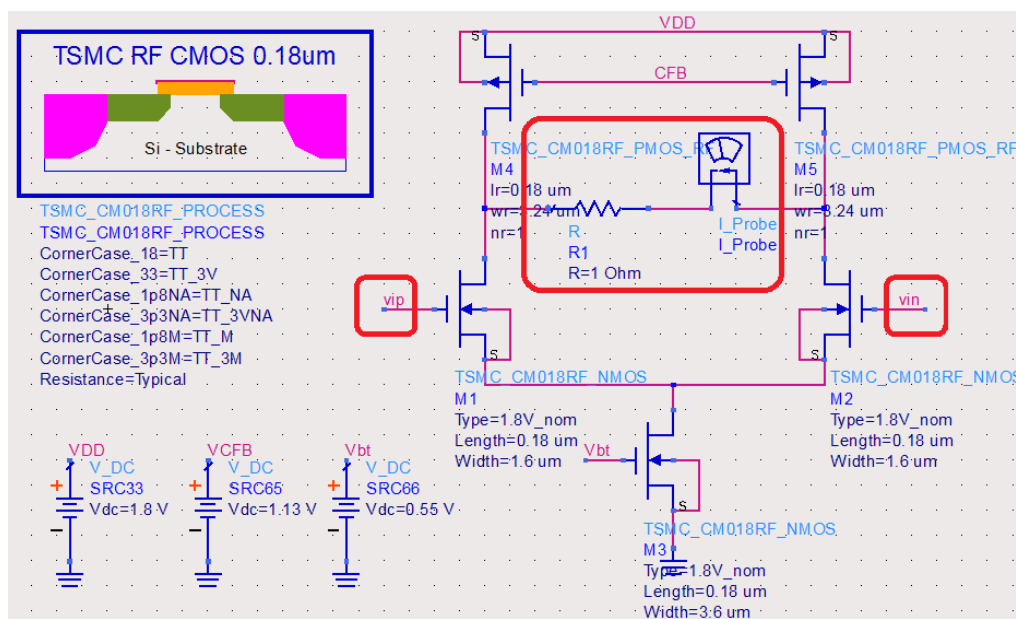
## پیوست

شاخص‌های خطینگی ابزاری بسیار مفید جهت سنجش میزان عملکرد خطی مدارهای طراحی شده می‌باشند. در این بخش نحوه شبیه‌سازی برخی از این شاخص‌ها با نرم افزار ADS و در تکنولوژی TSMC 0.18 $\mu$ m CMOS ارائه می‌گردد. شبیه‌سازی‌ها مطابق شکل پ-۱ بر روی یک مدار تمام تفاضلی ساده انجام می‌شود و محل اتصال منابع ولتاژ در گره‌های ورودی باید مطابق شکل نام‌گذاری شود. در جدول ۱-۲ بیان شد که خروجی یک ترانسانا به شکل جریان است، بنابراین جهت شبیه‌سازی شاخص‌های خطینگی مربوط به جریان خروجی ترانسانا می‌توان به یکی از سه روش زیر عمل نمود:

۱- مشابه با شکل پ-۱، یک مقاومت اهم و یک پراب جریان بین گره‌های خروجی آن قرار داده و شبیه‌سازی‌ها را برای جریان عبوری از مقاومت انجام داد.

۲- دو گره خروجی توسط یک پراب جریان اتصال کوتاه شده و شبیه‌سازی‌ها برای جریان اتصال کوتاه انجام شود.

۳- در هر یک از گره‌های خروجی یک منبع ولتاژ تا زمین و به اندازه ولتاژ DC گره قرار داده و شبیه‌سازی‌ها برای تفاضل جریان‌های عبوری از این دو منبع ولتاژ انجام شود.

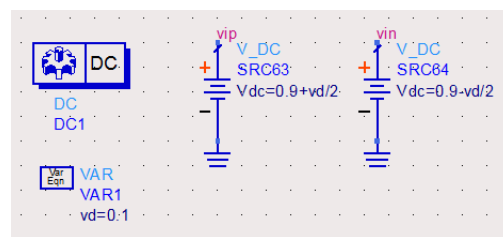


شکل پ-۱ یک مدار تمام تفاضلی و پیاده‌سازی اولیه در نرم افزار ADS جهت شبیه‌سازی شاخص‌های خطینگی

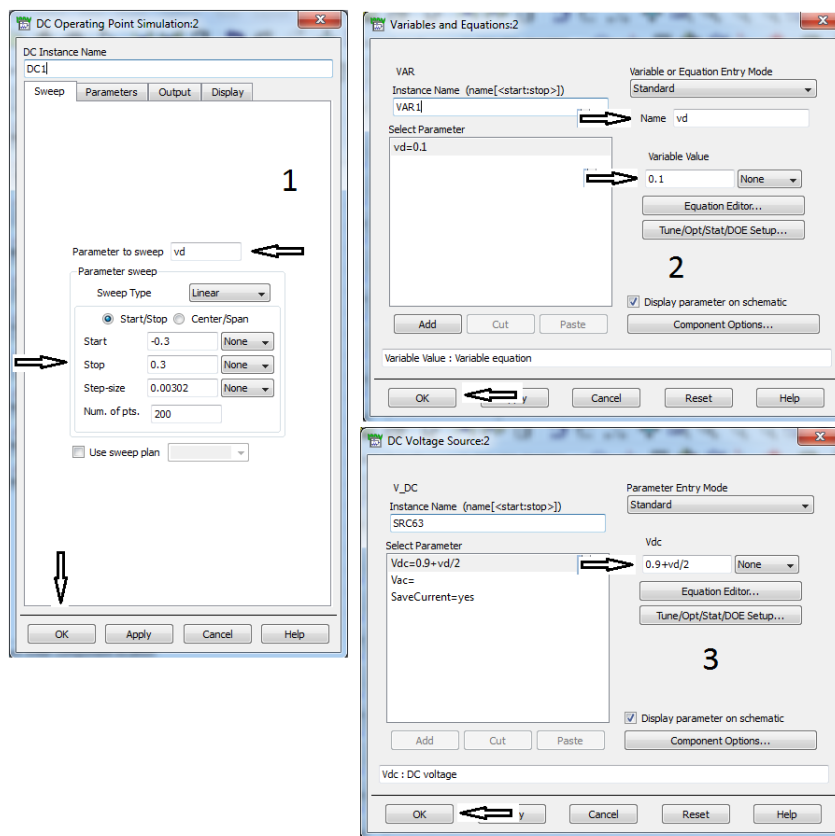
بررسی سه روش ذکر شده نشان داد در هر سه روش اندازه شاخص‌های خطینگی یکسان است. در این پایان‌نامه همانند [۱۳] از روش اول برای انجام شبیه‌سازی‌ها استفاده شده است.

### ۱- رسم مشخصه $G_m$ ( $\mu A/V$ ) بر حسب $V_{id}$ ( $V_p$ )

برای رسم مشخصه  $G_m$ ، در محیط شماتیک ADS، ۴ قطعه موجود در شکل پ-۲ را از کتابخانه قطعات آورده و مطابق مراحل ۱ و ۲ و ۳ از شکل پ-۳ تنظیم می‌نماییم. در واقع با استفاده از سویچ DC ولتاژ تفاضلی  $v_d$  ورودی را در بازه موردنظر سویچ می‌کنیم. توجه شود ولتاژ ۰/۹ ولت به عنوان ولتاژ مد مشترک ورودی است:

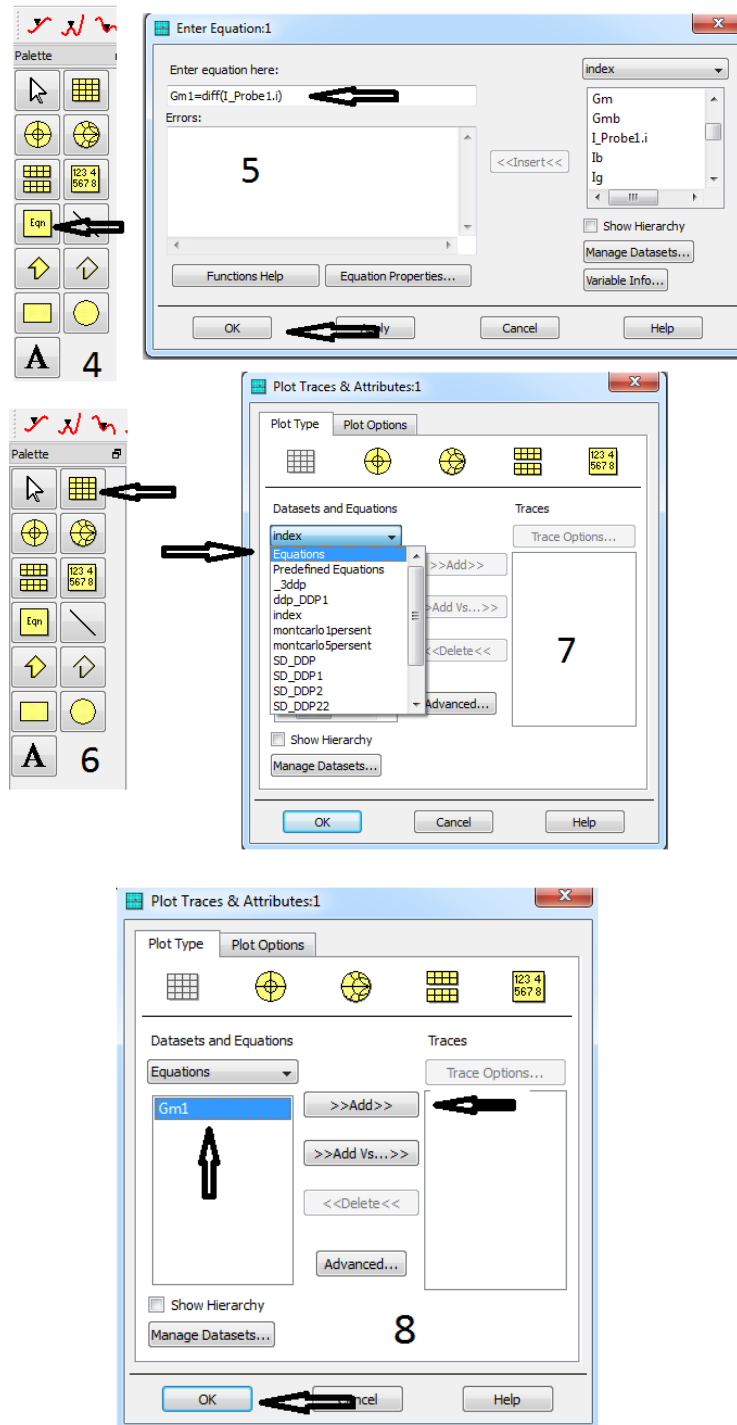


شکل پ-۲ قطعات مورد نیاز جهت رسم مشخصه  $G_m$



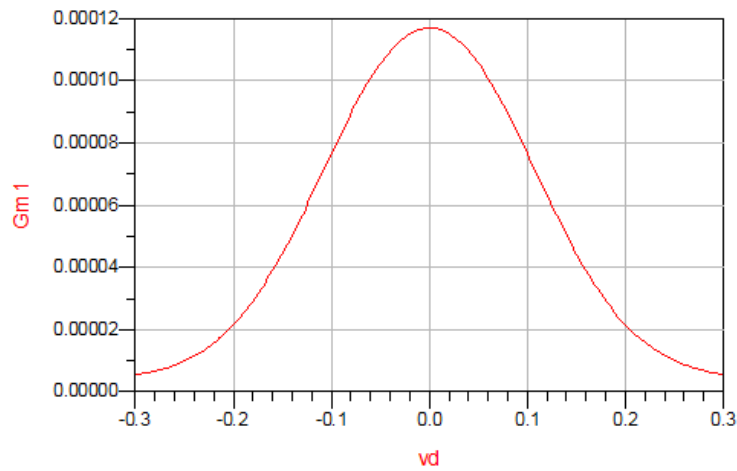
شکل پ-۳ تنظیم قطعات موجود در شکل پ-۲

اکنون شبیه‌سازی را اجرا نموده و در محیط شبیه‌سازی مطابق با مراحل ۴ تا ۸ از شکل پ-۴ عمل می‌نماییم. تابع diff در مرحله ۵، یک تابع مشتق‌گیر است که مشتق جریان خروجی را نسبت به متغیر مساله (در اینجا vd) جهت محاسبه  $G_m$  مدار می‌گیرد.



شکل پ-۴ مراحل رسم مشخصه  $G_m$  در محیط شبیه‌سازی

مشخصه  $G_m$  مطابق شکل پ-۵ زیر برحسب پیک ولتاژ ورودی رسم خواهد شد:

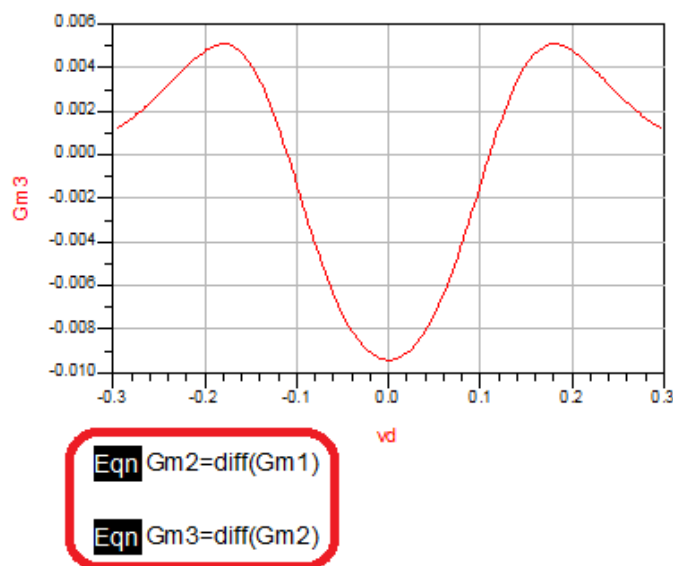


$$\text{Eqn } G_{m1} = \text{diff}(I_{\text{Probe1}.i})$$

شکل پ-۵ مشخصه  $G_m$

۲- رسم مشخصه  $G_{m3}$  ( $\mu A/V^2$ ) برحسب  $V_{id}$  ( $V_p$ )

برای رسم مشخصه  $G_{m3}$ ، کافیت ابتدا مطابق شکل پ-۶ با استفاده از مراحل ۴ و ۵ که در بخش قبل در رسم مشخصه  $G_m$  مورد استفاده قرار گرفته است، دو دفعه از تابع نوشته شده برای مشخصه  $G_{m1}$  مشتق گرفته شود. در مرحله بعد مراحل ۶ تا ۸ از بخش قبل را تکرار کرده و این بار تابع  $G_{m3}$  را رسم می‌نماییم.



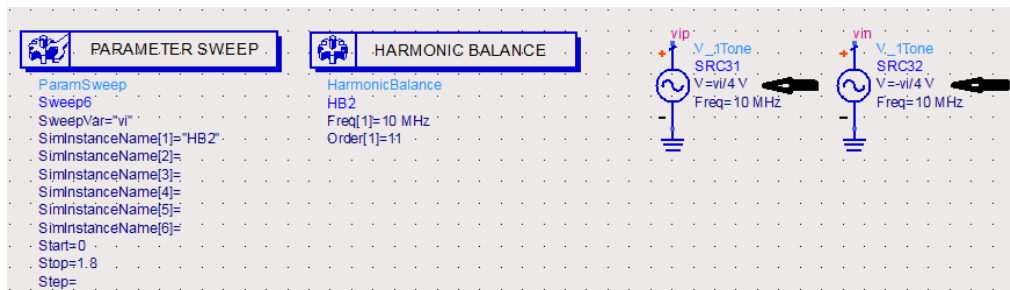
$$\text{Eqn } G_{m2} = \text{diff}(G_{m1})$$

$$\text{Eqn } G_{m3} = \text{diff}(G_{m2})$$

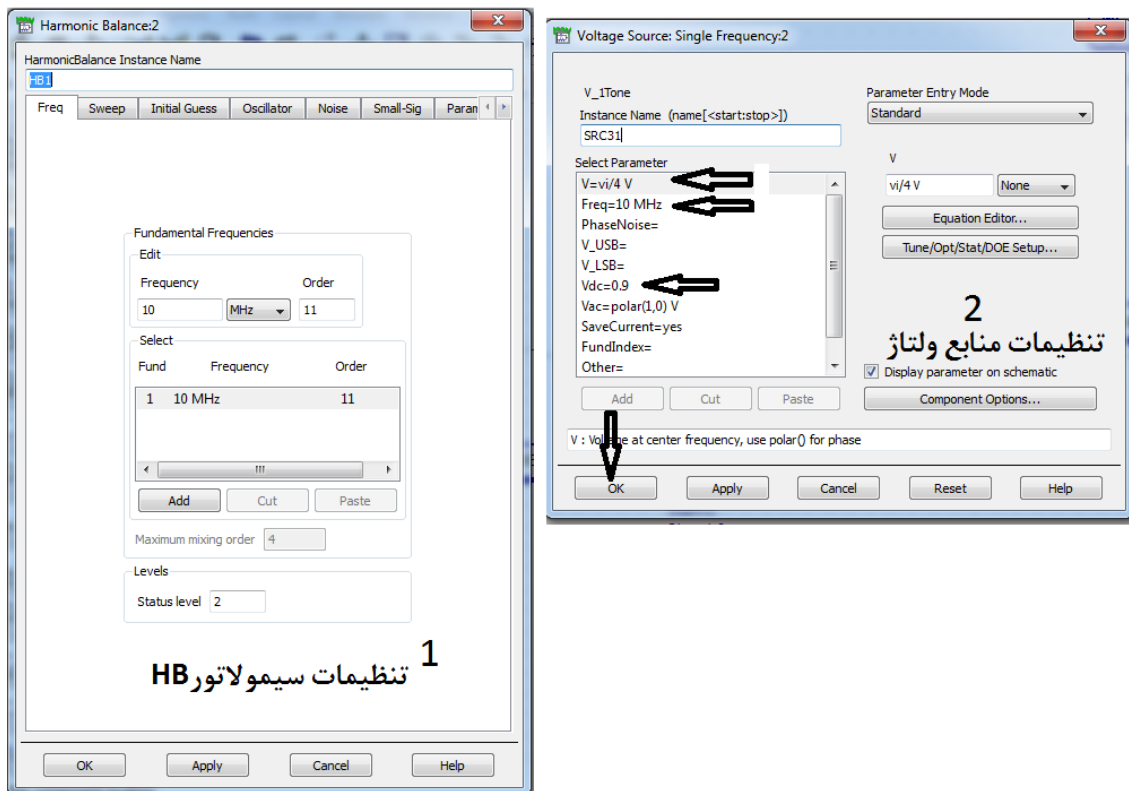
شکل پ-۶ مشخصه  $G_{m3}$

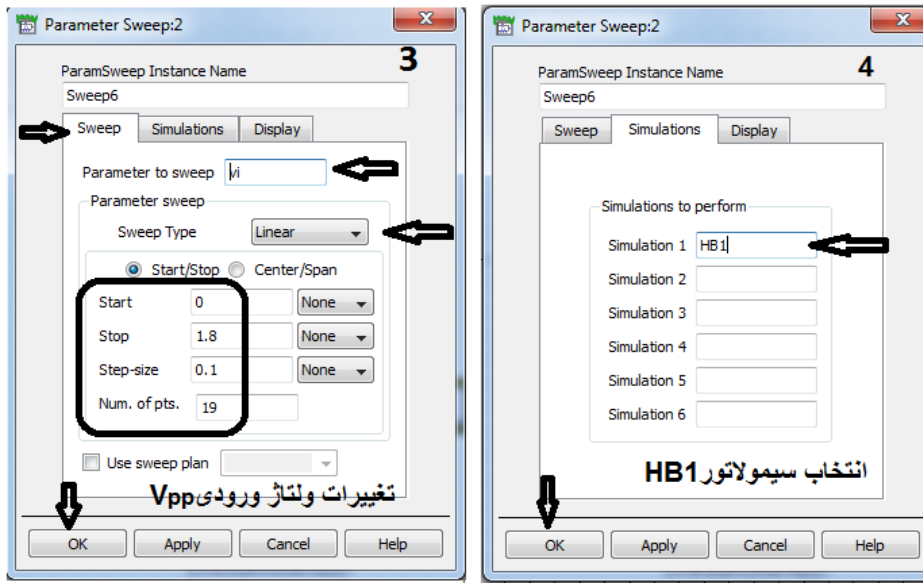
### ۳- رسم مشخصه THD (dB) بر حسب $V_{id}$ ( $V_{pp}$ )

برای رسم مشخصه THD ابتدا لازم است به کمک مرحله ۲ از رسم مشخصه  $G_m$ ، یک متغیر به نام  $v_i$  با مقدار اولیه دلخواه مثلاً ۰/۱ ولت تعریف شود. سپس قطعات موجود در شکل پ-۷ را از کتابخانه آورده و مطابق مراحل ۱ تا ۴ در شکل پ-۸ تنظیم می‌نماییم. در این پایان‌نامه مشخصه THD در برابر ولتاژ ورودی قله تا قله رسم شده است. بنابراین همان‌طور که در شکل پ-۷ دیده می‌شود در تنظیم منابع ولتاژ  $(v_i/4)$  قرار داده شده است تا منظور از  $v_i$  به‌عنوان محور افقی مشخصه، قله تا قله سیگنال ورودی باشد.



شکل پ-۷ قطعات مورد نیاز جهت رسم مشخصه THD





شکل پ-۸ تنظیمات قطعات موجود در شکل پ-۷

اکنون شبیه‌سازی را اجرا نموده و در محیط شبیه‌سازی نخست توابع (پ-۱) و (پ-۲) را می-

نویسیم:

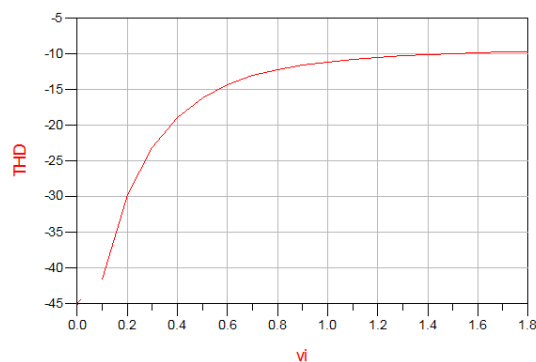
$$\text{thd} = \text{thd\_func}(I\_Probe1.i) \quad (\text{پ-۱})$$

$$\text{THD} = 20 * \log(\text{thd}/100) \quad (\text{پ-۲})$$

مقدار THD مدار، توسط تابع thd به مقیاس درصد و توسط تابع THD به واحد dB محاسبه می‌گردد.

اکنون مشابه مراحل رسم تابع  $G_m$ ، تابع THD را رسم می‌کنیم. به این ترتیب همانطور که در شکل پ-

۹ دیده می‌شود مقدار THD در تمام دامنه‌های قله تا قله ورودی رسم می‌گردد.



$$\text{Eqn thd} = \text{thd\_func}(I\_Probe1.i)$$

$$\text{Eqn THD} = 20 * \log(\text{thd}/100)$$

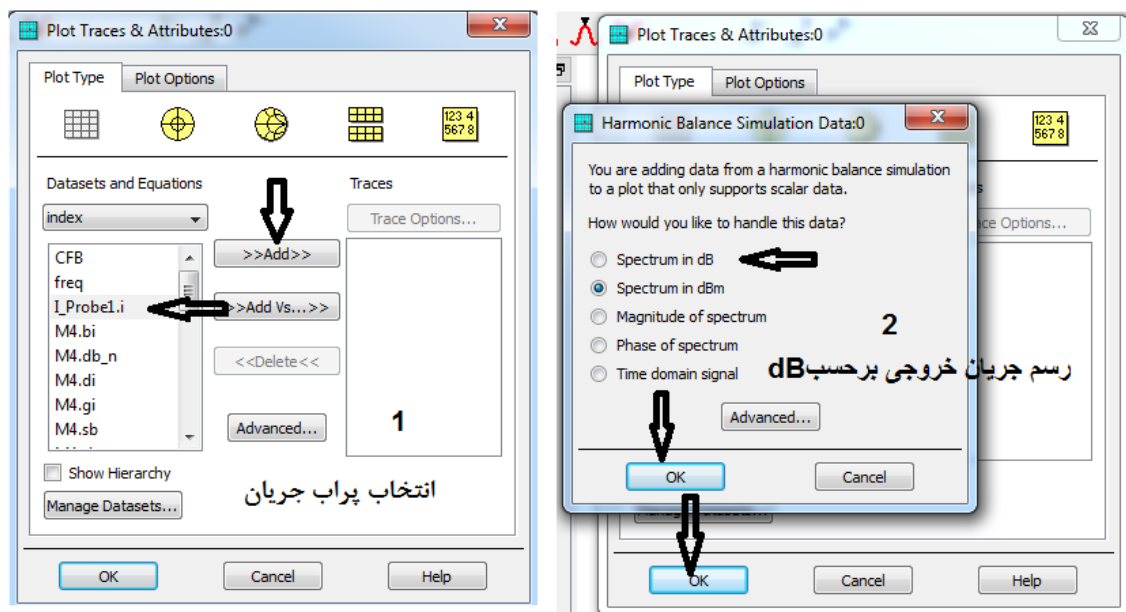
شکل پ-۹ مشخصه THD

#### ۴- محاسبه شاخص HD3 در یک دامنه خاص

با انجام تنظیمات مربوط به رسم THD می‌توان مقدار شاخص HD3 را نیز به ازای یک دامنه خاص به دست آورد.

تنها تفاوت در این است که در این بخش بلوک مربوط به جاروب ولتاژ ورودی مورد استفاده قرار نمی‌گیرد. مقدار متغیر vi در حقیقت مقدار دامنه قله تا قله ورودی است که می‌خواهیم HD3 مدار را به ازای آن به دست آوریم.

اگر برای مثال این مقدار را برابر با  $0/3$  قرار دهیم و مطابق مراحل ۱ و ۲ از شکل پ-۱۰ جریان خروجی را برحسب dB رسم کنیم مقدار HD3 در شکل پ-۱۱ به دست می‌آید.



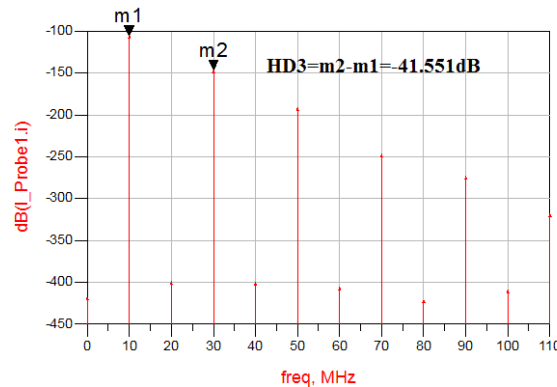
شکل پ-۱۰ مراحل رسم جریان خروجی برحسب dB

اکنون طیف فرکانسی جریان خروجی که شامل هارمونی اصلی و هارمونی‌های مرتبه بالاتر است رسم می‌گردد.

مطابق شکل پ-۱۱ تفاوت ارتفاع دامنه هارمونی سوم از هارمونی اصلی برابر با HD3 است.



|  |  |
|--|--|
| m1<br>freq=10.00MHz<br>dB(L_Probe1.i)=-104.879 | m2<br>freq=30.00MHz<br>dB(L_Probe1.i)=-146.430 |
|--|--|

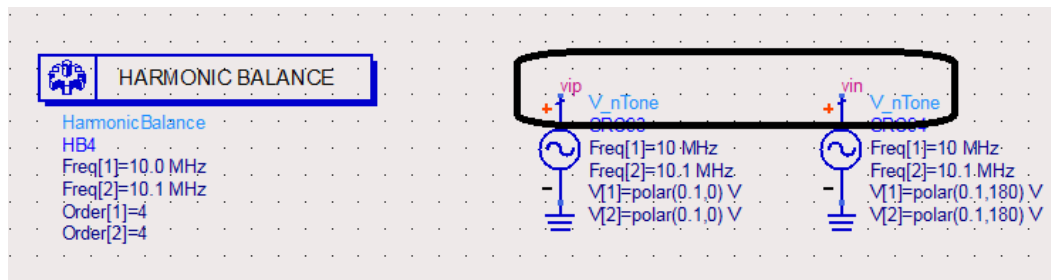


شکل پ-۱۱ شاخص HD3

## ۵- محاسبه شاخص IM3 در یک دامنه خاص

تنظیمات شبیه‌ساز HB برای محاسبه شاخص IM3 نسبت به THD متفاوت است. برای این

منظور نخست مطابق شکل پ-۱۲ قطعات زیر را از کتابخانه قطعات می‌آوریم:



شکل پ-۱۲ قطعات مورد نیاز جهت رسم شاخص IM3

دقت شود که منابع مورد استفاده در این بخش می‌توانند چند فرکانس ورودی به‌طور همزمان

داشته باشند. سپس با توجه به شکل پ-۱۳ مطابق مراحل ۱ و ۲ در محیط رسم شماتیک تنظیمات

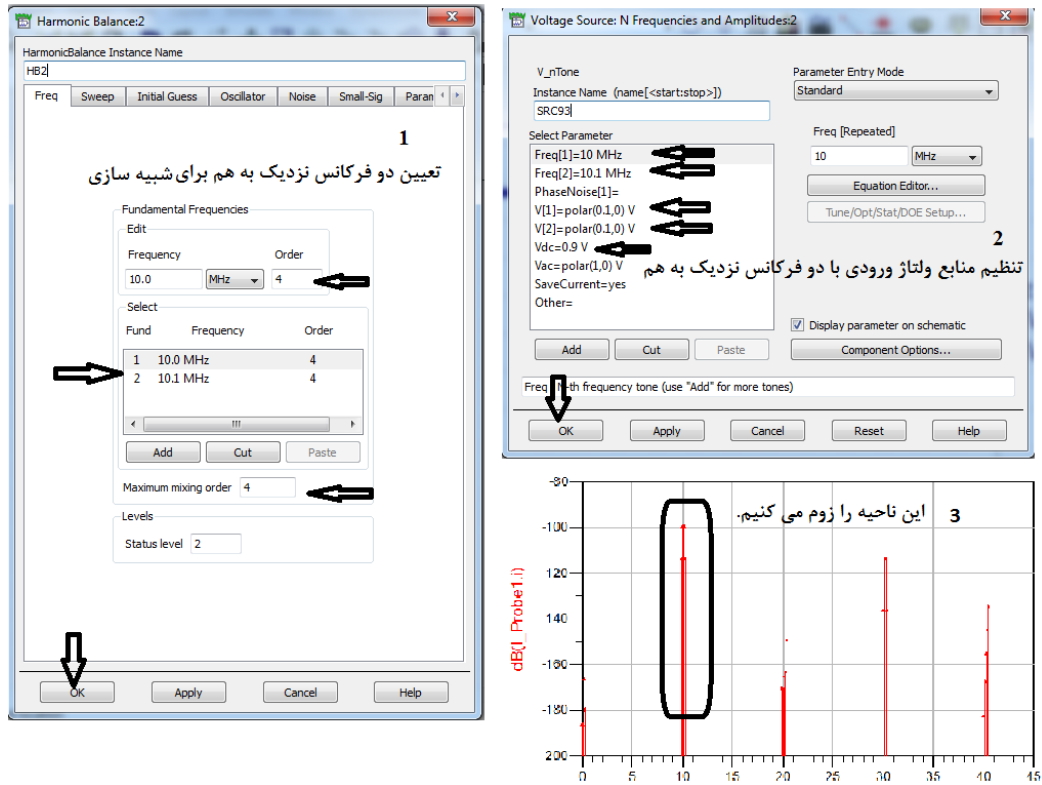
قطعات فوق را انجام می‌دهیم. تنظیمات انجام شده برای دامنه  $0/4$  تا قله  $(0/2V_p)$  و دو فرکانس

ورودی نزدیک به هم به فاصله ۱۰۰ کیلو هرتز (۱۰ و  $10/1$  مگاهرتز) است. سپس در شکل به‌دست

آمده در مرحله ۳ با استفاده از ابزار بزرگ‌نمایی بر روی مؤلفه‌های ۱۰ مگاهرتز عمل بزرگ‌نمایی را انجام

می‌دهیم با این کار فرکانس‌های تولید شده به‌علت پدیده اینترمدولاسیون ( $9/9$  و  $10/2$  مگاهرتز) مشاهده

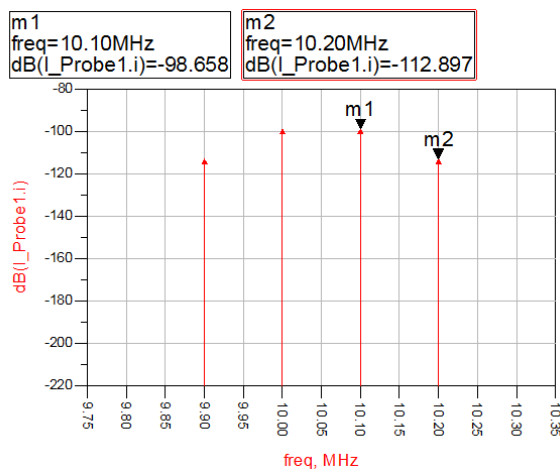
می‌گردند.



شکل پ-۱۳ تنظیمات قطعات موجود در شکل پ-۱۲

نحوه اندازه گیری این شاخص دقیقاً مشابه با HD3 است. بنابراین در شکل پ-۱۴، مقدار

$$IM3 = 14/239 - \text{دسی بل به دست می آید.}$$



شکل پ-۱۴ شاخص HD3

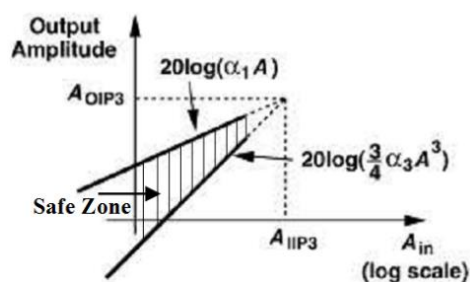
واضح است که هرچه مقدار شاخص های THD، HD3 و IM3 در واحد دسی بل عددی کوچک تر

باشند مناسب تر است.

## ۶- رسم مشخصه IP3 و محاسبه شاخص IIP3

برای ارزیابی میزان خطینگی فیلترهای ساخته شده با سلول  $G_m$  در اغلب مطالعات از شاخص IIP3 استفاده می‌گردد. همان‌طور که در فصل دوم و در تعریف پدیده اینترمدولاسیون بیان شد در صورتی که دو سیگنال تداخلی با دامنه بزرگ ( $A$ ) و فرکانس نزدیک به هم ( $\omega_2, \omega_1$ ) وارد یک سیستم غیرخطی گردند، فرکانس‌های اصلی با دامنه‌ای مطابق با رابطه (۲-۲۰) در خروجی ظاهر می‌گردند. به‌علاوه به‌علت پدیده اینترمدولاسیون، دو سیگنال ناخواسته (با فرکانس‌های  $2\omega_1 - \omega_2$  و  $2\omega_2 - \omega_1$ ) با دامنه‌ای مطابق با رابطه (۲-۲۱) نیز در خروجی مشاهده می‌گردند (شکل ۲-۶).

شکل پ-۱۵ مشخصه IP3 را نشان می‌دهد که در آن دامنه سیگنال خروجی (مؤلفه اصلی و مؤلفه مرتبه سوم) نسبت به دامنه سیگنال ورودی در مقیاس دسی بل رسم شده است. منظور از IIP3، بزرگی دامنه‌ای از سیگنال تداخلی ( $A$ ) است که به ازای آن مؤلفه مرتبه سوم اینترمدولاسیون بر مؤلفه مرتبه اول آن غالب شده و در حقیقت مؤلفه خطی سیستم در اثر بزرگی مؤلفه غیرخطی ناپدید می‌گردد. بنابراین ناحیه هاشور خورده در شکل پ-۱۵ عملکرد مناسب سیستم را نشان می‌دهد. در حالیکه اگر دامنه  $A$  بزرگتر از مقدار  $A_{IIP3}$  گردد، سیستم دچار عملکرد نامناسب خواهد گردید.



شکل پ-۱۵ رسم مؤلفه‌های اصلی و مرتبه سوم سیگنال خروجی نسبت به دامنه تداخلی ورودی [۳]

برای محاسبه نقطه تلاقی<sup>۱</sup> دو مؤلفه فوق در شکل پ-۱۵ رابطه (پ-۳) صادق است:

$$\alpha_1 A_{IIP3} = \frac{3}{4} \alpha_3 A_{IIP3}^3 \quad (\text{پ-۳})$$

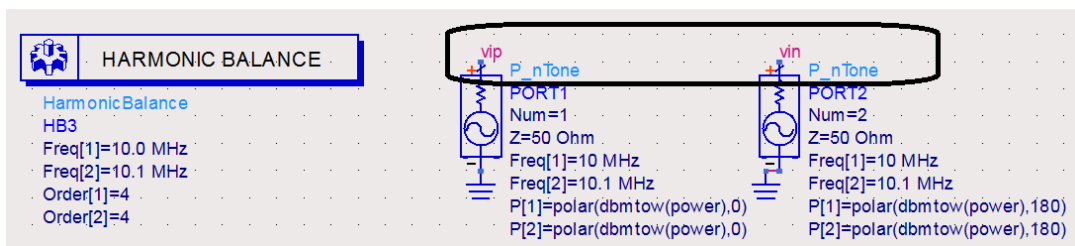
بنابراین  $A_{IIP3}$  مطابق با رابطه (پ-۴) به دست می‌آید:

<sup>۱</sup> Intercept Point

$$A_{IIP3} = \sqrt{\frac{4}{3} \left| \frac{\alpha_1}{\alpha_3} \right|} \quad (\text{پ-۴})$$

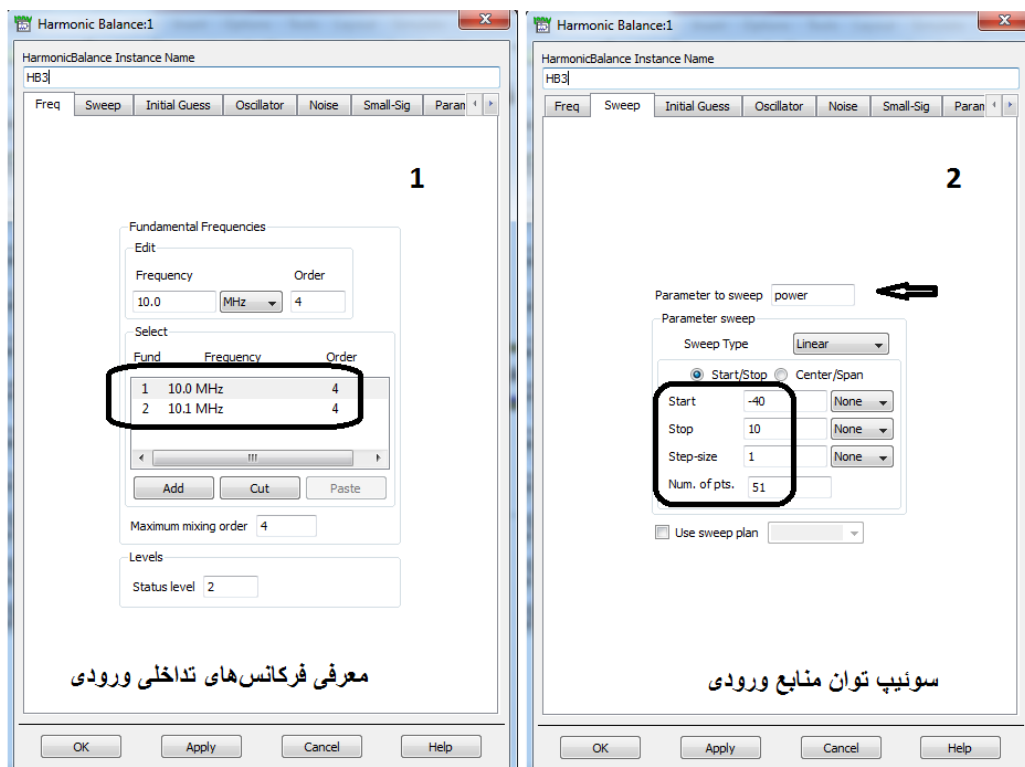
واضح است که هرچه مقدار شاخص IIP3 عددی بزرگتر باشد مناسبتر است. از آنجا که در اکثر مقالات غالباً شاخص IIP3 به صورت توان سیگنال ورودی در مقیاس dBm گزارش می‌گردد، در این بخش مطابق شکل پ-۱۶ از منابع توان به عنوان ورودی که هر یک دارای دو فرکانس نزدیک به هم و به فاصله ۱۰۰ کیلو هرتز (۱۰ و ۱۰/۱ مگاهرتز) می‌باشند استفاده شده است.

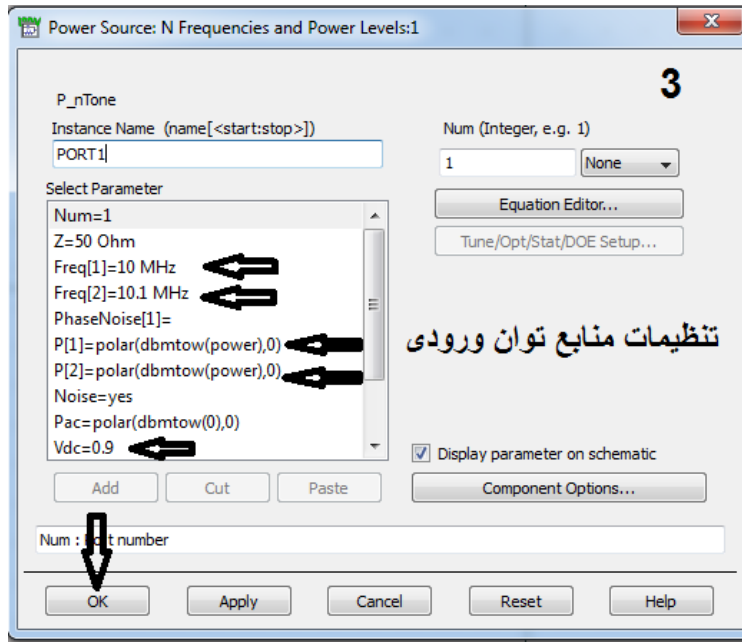
بنابراین ابتدا لازم است یک متغیر به نام power با مقدار اولیه مثلاً -۴۰dBm تعریف شود. سپس قطعات موجود در شکل پ-۱۶ به محیط شبیه سازی وارد گردد.



شکل پ-۱۶ قطعات مورد نیاز جهت رسم مشخصه IP3

نحوه تنظیمات هر قطعه مطابق با مراحل ۱ تا ۳ در شکل پ-۱۷ است:





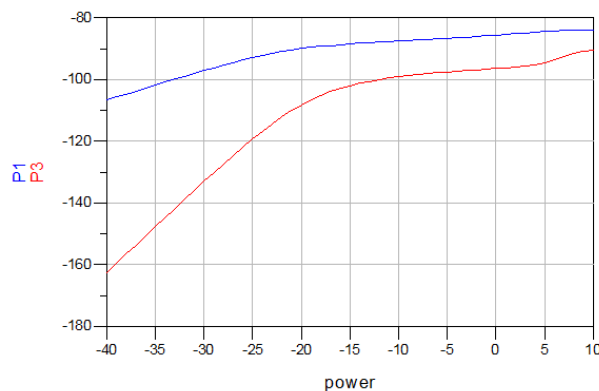
شکل پ-۱۷ تنظیمات قطعات موجود در شکل پ-۱۶

سپس شبیه‌سازی را اجرا می‌نماییم. در محیط شبیه‌سازی توابع (پ-۵) و (پ-۶) را می‌نویسیم:

$$P1 = \text{dBm}(\text{mix}(I\_Probe1.i, \{0, 1\})) \quad (\text{پ-۵})$$

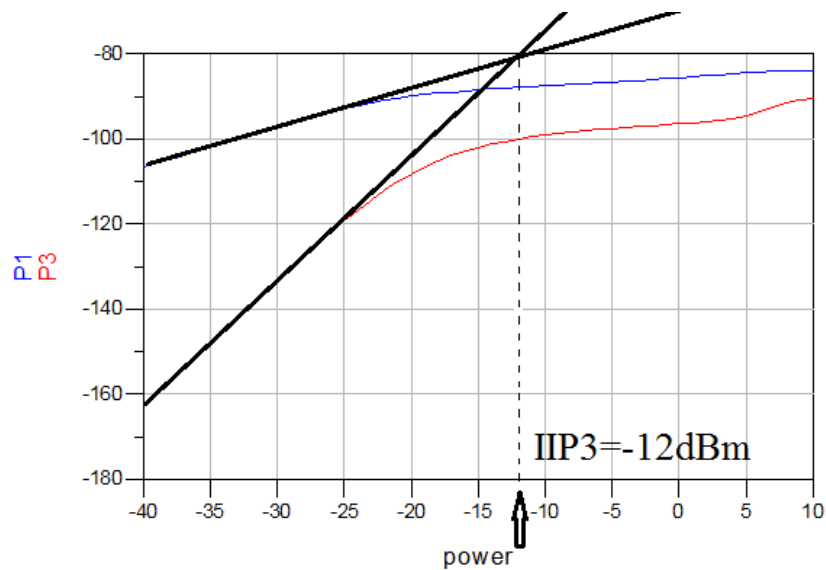
$$P3 = \text{dBm}(\text{mix}(I\_Probe1.i, \{2, -1\})) \quad (\text{پ-۶})$$

تابع mix در روابط فوق جهت رسم مؤلفه‌های فرکانسی متفاوت بکار می‌رود، به این صورت که همان‌طور که در شکل پ-۱۸ دیده می‌شود با رسم P1 از رابطه (پ-۵) مؤلفه توان اصلی در جریان خروجی در واحد dBm و با رسم P3 از رابطه (پ-۶) مؤلفه مربوط به فرکانس اینترمدولاسیون  $(2\omega_1 - \omega_2)$  نسبت به تغییرات توان سیگنال تداخلی ( $P_{in}$ ) رسم می‌گردد.



شکل پ-۱۸ رسم مشخصه IP3

به این ترتیب نقطه تلاقی دو منحنی فوق مطابق شکل پ-۱۹ در  $IIP3 = -12\text{dBm}$  است.



شکل پ-۱۹ محاسبه شاخص  $IIP3$

هرچند که رسم مشخصه  $IP3$  (برای محاسبه شاخص  $IIP3$ ) در بسیاری از مقالات مرتبط با فیلترهای  $G_m-C$  متداول است، اما راه دقیق تر و البته ساده تر دیگری نیز از طریق رسم مشخصه  $IM3$  مربوط به توان سیگنال خروجی وجود دارد. برای این منظور بعد از تعریف یک متغیر به نام  $power$  و با مقدار  $-40\text{dBm}$  قطعات شکل پ-۱۶ را به محیط شبیه سازی آورده و تنظیمات ذکر شده در مراحل ۱ و ۳ از شکل پ-۱۷ را تکرار می نماییم. (مرحله ۲ که مربوط به جاروب توان منابع ورودی است لازم نیست).

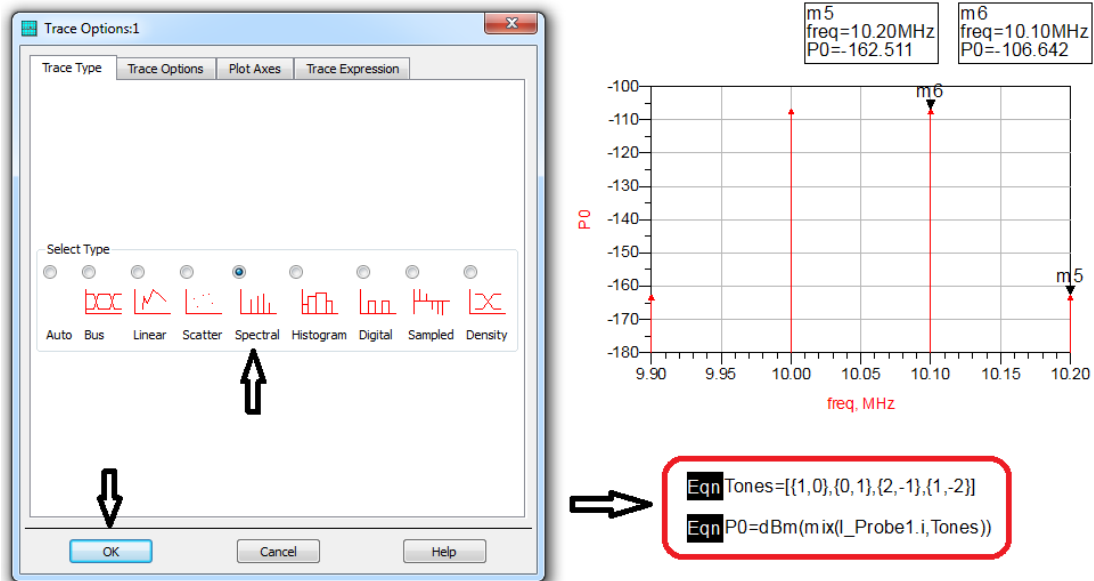
اکنون شبیه سازی را اجرا کرده و در محیط رسم شماتیک نخست توابع (پ-۷) و (پ-۸) را می نویسیم:

$$\text{Tones} = [\{1,0\}, \{0,1\}, \{2,-1\}, \{1,-2\}] \quad (\text{پ-۷})$$

$$P0 = \text{dBm}(\text{mix}(I\_Probe1.i, \text{Tones})) \quad (\text{پ-۸})$$

سپس مطابق شکل پ-۲۰ تابع  $P0$  را در حالت Spectral رسم می نماییم. از مشخصه  $IM3$  در این شکل بدست می آید:

$$\Delta P = m6 - m5 = 55.869\text{dBm} \quad (\text{پ-۹})$$



شکل پ-۲۰ رسم تابع P0 در حالت Spectral

به این ترتیب اندازه شاخص IIP3 از رابطه (پ-۱۰) برابر با  $IIP3 = -12/0.6555 \text{ dBm}$  بدست می آید:

$$IIP3 = P_{in} + \Delta P / 2 = -40 + 55.869 / 2 = -12.0655 \text{ dBm} \quad (\text{پ-۱۰})$$

## مراجع:

- [1] ج. فهندژ سعدي، "ساختارها و کاربردهای تقویت‌کننده عملیاتی ترانسانا و طراحی یک فیلتر ترانسانا-خازن با قابلیت تنظیم فرکانس قطع"، پایان‌نامه کارشناسی ارشد مهندسی برق و الکترونیک، دانشگاه صنعتی اصفهان، دانشکده برق و کامپیوتر، ۱۳۸۷.
- [2] T. Kulej and F. Khateb, "A 40-MHz Double Differential-Pair CMOS OTA With 60-dB IM3", *IEEE Transactions on Circuits and Systems-I: Regular Papers*, Vol. 55, No. 1, pp. 258-265, 2008.
- [3] B. Razavi, *RF microelectronics (2nd Edition)*, New Jersey: Prentice Hall, 2011.
- [4] F. Rezaei, "Adaptive  $g_{m3}$  cancellation linearisation and its application to wide-tunable  $G_m$ -C filter design", *IET Circuits, Devices & Systems*, Vol. 11, Iss. 5, pp. 478-486, 2017.
- [5] X. Jin, F. F. Dai, "A 100MHz Fifth-Order Low-Pass  $G_m$ -C Filter Using Folded Stages", *IEEE 38th Annual Conference on Industrial Electronics Society (IECON)*, 2012.
- [6] T. Ch. Carusone, D. A. Johns, K. W. Martin, *Analog Integrated Circuit Design (2nd Edition)*, Chapter 10 & 12, 2012.
- [7] B. Razavi, *Design of Analog CMOS Integrated Circuits*, Boston: McGraw-Hill, 2001.
- [8] K. Garradhi, N. Hassen, K. Besbes, "Low-Voltage and Low-Power OTA Using SourceDegeneration Technique and Its Application in  $G_m$ -C Filter", *IEEE 11th International Design & Test Symposium (IDT)*, 2016.
- [9] A. Li and et.al., "A Low Power Wide Linear Range OTA and Its Application in OTA-C Filter", *Electronics and Signal Processing*, LNEE 97, pp. 85–90, 2011.
- [10] Sh. Narayan, V. Bhadauria, "Linearity Improvement of Double Differential Pair CMOS OTA Using Quasi-Floating-Gate Technique", *IEEE 2<sup>nd</sup> International Conference on Power, Control and Embedded Syastems*, 2012.
- [11] S. Abbasalizadeh, S. Sheikhaei, B. Forouzandeh, "A 0.9 V Supply OTA in 0.18  $\mu$ m CMOS Technology and Its Application in Realizing a Tunable Low-Pass  $G_m$ -C Filter for Wireless Sensor Networks", *Journal of Circuits and Systems*, Vol. 4, No. 1, 2013, pp. 34-43, 2013.
- [12] J. S. Martinez, M. S. J. Steyaert, W. M. C. Sansen, "A large-signal very low-distortion transconductor for high-frequency continuous-time filters", *IEEE Journal of Solid-State Circuits*, Vol. 26, Iss. 7, pp. 946–955, 1991.
- [13] F. Rezaei, S. J. Azhari, "Transconductor Linearization Based On Adaptive Biasing of Source-Degenerative MOS Transistors", *journal of Circuits Systems and Signal Processing*, Vol. 34, Iss. 4, pp. 1149–1165, 2014.
- [14] M. B. Elamien and S. A. Mahmoud, "A Linear CMOS Balanced Output Transconductor Using Double Differential Pair with Source Degeneration and



- Adaptive Biasing", *IEEE 59th International Midwest Symposium on Circuits and Systems (MWSCAS)*, Abu Dhabi, 2016.
- [15] F. Krummenacher AND N. Joehl, "A 4-MHz CMOS Continuous-Time Filter with On-Chip Automatic Tuning", *IEEE Journal of Solid-State Circuits*, Vol. 23, No. 3, 1988.
- [16] I. S. Han, "A Novel Tunable Transconductance Amplifier Based on Voltage-Controlled Resistance by MOS Transistors", *IEEE Transactions on Circuits and Systems-II: Express Briefs*, Vol. 53, No. 8, 2006.
- [17] W. Sansen, "Distortion in Elementary Transistor Circuits", *Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 46, No. 3, 1999.
- [18] A. L. Coban and P. E. Allen, "Low-voltage CMOS transconductance cell based on parallel operation of triode and saturation transconductors", *IEEE Electronics Letters*, Vol. 30, No. 14, 1994.
- [19] K. Kwon, "A 50–300 MHz CMOS  $G_m$ -C Tracking Filter Based on Parallel Operation of Saturation and Triode Transconductors for Digital TV Tuner ICs", *IEEE Transactions on Circuits and Systems–II: Express Briefs*, Vol. 62, Iss. 6, pp. 522-526, 2015.
- [20] M. Hosnan and et.al., "A Highly-Linear Transconductor for  $G_m$ -C Tracking Filters Employed in Digital TV Tuners", *IEEE 25th Iranian Conference on Electrical Engineering (ICEE)*, 2017.
- [21] F. Rezaei, S. J. Azhari, "A new controllable adaptive biasing linearization technique for a CMOS OTA and its application to tunable  $G_m$ -C filter design", *ELSEVIER Micro Electronic Journal 461*, pp. 810-816, 2015.
- [22] S. Sengupta, "Adaptively Biased Linear Transconductor", *IEEE Transactions on Circuits and Systems-I: Regular Papers*, Vol. 52, No. 11, 2005.
- [23] K. Ch. Kuo, A. Leuciuc, "A Linear MOS Transconductor Using Source Degeneration and Adaptive Biasing", *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 48, No. 10, 2001.
- [24] S. K. Kar, S. Sen, "Linearity improvement of source degenerated transconductance amplifiers", *Analog Integrated Circuit and Signal Processing*, Vol. 74, Iss. 2, pp. 339-407, 2013.
- [25] S. K. Kar, S. Sen, "A highly linear CMOS transconductance amplifier in 180 nm process technology", *Analog Integrated Circuit and Signal Processing*, Vol. 72, Iss. 1, pp. 163-171, 2012.
- [26] K. Garradhi, N. Hassen, K. Besbes, "Low Voltage Low Power Analog Circuit Design OTA Using signal attenuation Technique in Universal Filter Application", *IEEE 12th International Multi-Conference on Systems, Signals & Devices*, 2015.
- [27] H. B. Gabbouj, N. Hassen and K. Besbes, "Low Voltage High Gain Linear Class AB CMOS OTA with DC Level Input Stage", *World Academy of Science, Engineering and Technology*, 2011.
- [28] K. Garradhi, N. Hassen, K. Besbes, "Low-Voltage and Low-Power OTA Using

- Source Degeneration Technique and Its Application in  $G_m$ -C Filter ", *IEEE 11th International Design & Test Symposium (IDT)*, 2016.
- [29] C. Popa, O. Mitrea, "Constant  $g$ , Rail - to - Rail CMOS Input Stage with Improved Linearity", *IEEE Proceedings of the 2nd International Symposium on Image and Signal Processing and Analysis*, 2001.
- [30] L. Yang and et.al., "A low Supply Voltage High Linearity Baseband  $G_m$ -C Filter", *IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, 2010.
- [31] D. Kim and et.al., "A Transconductor and Tunable  $G_m$ -C High-pass Filter Linearization Technique Using Feed Forward  $G_{m3}$  Cancelling", *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2015.
- [32] F. Rezaei, "Linearity enhancement in the entire tuning range of CMOS OTA using a new tune compensated source degeneration technique", *ELSEVIER Microelectronics Journal*, Vol. 66, Iss. C, pp. 127-135, 2017.
- [33] M. Abdulaziz and et.al., "A 4th Order  $G_m$ -C Filter with 10MHz Bandwidth and 39dBm IIP3 in 65nm CMOS", *IEEE 40th European Solid State Circuits Conference (ESSCIRC)*, 2014.
- [34] J. C. Schmoock, "An Input Stage Transconductance Reduction Technique for High-Slew Rate Operational Amplifiers", *IEEE Journal of Solid-State Circuits*, Vol. 10, No. 6, 1975.
- [35] H. Tanimoto and et.al., "Realization of a 1-V Active Filter Using a Linearization Technique Employing Plurality of Emitter-Coupled Pairs", *IEEE Journal of Solid-State Circuits*, Vol. 26, No. 7, 1991.
- [36] H. Tanimoto and et.al. , "A Linearization Technique for Variable Transconductors Using Emitter Coupled Pairs and Its Application to a 1-Volt Active Filter", *IEEE Sixteenth European Solid-State Circuits Conference*, Grenoble, France, 1990.
- [37] P. Wu, R. Schaumann, "Design Considerations for CMOS and GaAs OTAs: Frequency Response, Linearity, Tuning, and Common-Mode Feedback", *IEEE Analog Integrated Circuits and Signal Processing*, 1991.
- [38] P. Wu and et.al., "A CMOS OTA with Improved Linearity Based on Current Addition", *IEEE International Symposium on Circuits and Systems*, 1990.
- [39] P. Wu, "The Design of High-Frequency Continuous-Time Integrated Analog Signal Processing Circuits", *Dissertations and Theses for the Degree of Doctor of Philosophy in Electrical and Computer Engineering*, Portland State University, 1993.
- [40] T. Ohbuchi and F. MATSUMOTO, "A Linear Transconductor Utilizing Body Transconductance for Low-Power and Low Frequency Applications", *IEEE International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS)*, 2016.

## Abstract

Operational transconductance amplifiers ( $G_m$  Cells) are one of the main building blocks in analog integrated circuits, such as  $G_m$ -C filters, VCOs and analog multipliers. They have different advantages such as good performance in high frequency applications, low power consumption, simple tuning and implementation. However they suffer from nonlinearity. Therefore, in this thesis, a new method for increasing the input linearity range of  $G_m$ -Cells is presented. The main purpose of the proposed circuit is reduction of harmonic frequency components.

The proposed circuit consists of combination of two parallel fully differential pairs which their input-output Characteristics are shifted and added together. Since the current of a MOS transistor depends on the threshold voltage which is affected by the transistor bulk voltage, in this thesis first the required shift is created by applying a certain voltage to the substrate.

The proposed circuit is simulated in ADS using TSMC 0.18 $\mu$ m CMOS technology. Source degeneration method is also used to achieve more linearity improvement. Finally the two mentioned cells are paralleled to a symmetric cell for further increase in the linearity range. The transconductance gain in the proposed structure is 74 $\mu$ A/V and the linearity range of the input voltage is 0.8V<sub>pp</sub>. THD and HD3 parameters (for 0.8V<sub>pp</sub> differential input at 10MHz frequency) are -62dB and -69dB respectively. It is necessary to mention that the total power consumption at 1.8v supply voltage and 0.9V output common mode voltage, is 260 $\mu$ W.

**Keywords:**  $G_m$ -Cell, nonlinearity, third order component, transconductance, body effect.



**Shahrood University of Technology**

**Faculty of Electrical and Robotics Engineering**

**M.Sc. Thesis in Electronic Integrated Circuits Engineering**

**Linearity Improvement of a  $G_m$ -Cell**

**for Low THD  $G_m$ -C Filters**

By: Shima Heydari

Supervisor:

Dr Emad Ebrahimi

January 2018