بسم الله الرحمن الرحيم

دانشکده مهندسی برق و رباتیک

گروه الکترونیک

پایان نامه کارشناسی ارشد

طراحی یک نوسانساز RC مبتنی بر مرجع ولتاژ با هدف کاهش حساسیت فرکانس نسبت به دما

الهام صادقی

استاد راهنما

دکترعماد ابراهیمی

شهریور ۱۳۹۶

شماره: ۱/۱۵۰۴/ت/۰۰
تاریخ: ۹۴/۶/۱۴

باسمه‌تعالی

دانشگاه صنعتی شاهرود

مدیریت تحصیلات تکمیلی

فرم شماره (۳) صورتجلسه نهایی دفاع از پایان نامه دوره کارشناسی ارشد

با نام و یاد خداوند متعال، ارزیابی جلسه دفاع از پایان نامه کارشناسی ارشد خانم / آقای **الهام صادقی** با شماره دانشجویی ۹۳۱۰۸۲۴ رشته **مهندسی الکترونیک** گرایش **مدارهای مجتمع** تحت عنوان: **طراحی یک نوسانساز RC مبتنی بر مرجع ولتاژ با هدف کاهش حساسیت فرکانس نسبت به دما** که در تاریخ ۱۳۹۶/۰۶/۱۴ با حضور هیأت محترم داوران در دانشگاه صنعتی شاهرود برگزار گردید به شرح ذیل اعلام می گردد:

قبول (با امتیاز ۱۷٫۸۲ **درجه** خوب **)** ☑ **مردود** ☐

نوع تحقیق: **نظری** ☑ **عملی** ☐

عضو هیأت داوران	نام ونام خانوادگی	مرتبهٔ علمی	امضاء
۱ـ استادراهنمای اول	عمار ابراهیمی	استادیار	
۲- استادراهنمای دوم	—	—	—
۳- استاد مشاور	—	—	—
۴- نماینده تحصیلات تکمیلی	حسین خسروی	استادیار	
۵- استاد ممتحن اول	هادی سرایی	استادیار	
۶ـ استاد ممتحن دوم	علی فتاح	استادیار	

نام و نام خانوادگی رئیس دانشکده: عارف احمدی فر

تاریخ و امضاء و مهر دانشکده:

تبصره: در صورتی که کسی مردود شود حداکثر یکبار دیگر (در مدت مجاز تحصیل) می تواند از پایان نامه خود دفاع نماید (دفاع مجدد نباید زودتر از ۴ ماه برگزار شود).

تقدیم به پدر و مادرم که از نگاهشان صلابت

از رفتارشان محبت

و از صبرشان ایستادگی را آموختم

تقدیم به همسرم، منشا انگیزه و قدرتم

تقدیم به پسر نازنینم، شادی‌بخش همه‌ی لحظه‌های زندگی‌ام

تقدیر و تشکر:

در اینجا برخود لازم می‌دانم از تلاش‌ها و زحمات بی‌دریغ و راهنمایی‌های ارزنده استاد گرانقدر جناب آقای دکتر عماد ابراهیمی، صمیمانه تقدیر و تشکر نمایم.

تعهــد نامه

اینجانب **الهام صادقی** دانشجوی دوره کارشناسی ارشد رشته مهندسی برق/الکترونیک دانشکده مهندسی برق و رباتیک دانشگاه شاهرود نویسنده پایان‌نامه **"طراحی یک نوسانساز RC مبتنی بر مرجع ولتاژ با هدف کاهش حساسیت فرکانس نسبت به دما"** تحت راهنمایی آقای دکتر عماد ابراهیمی متعهد می‌شوم:

- تحقیقات در این پایان نامه توسط اینجانب انجام شده است و از صحت و اصالت برخوردار است.
- در استفاده از نتایج پژوهشهای محققان دیگر به مرجع مورد استفاده استناد شده است.
- مطالب مندرج در پایان نامه تاکنون توسط خود یا فرد دیگری برای دریافت هیچ نوع مدرک یا امتیازی در هیچ جا ارائه نشده است.
- کلیه حقوق معنوی این اثر متعلق به دانشگاه شاهرود می باشد و مقالات مستخرج با نام « **دانشگاه صنعتی شاهرود** » و یا «**Shahrood University of Technology**»به چاپ خواهد رسید.
- حقوق معنوی تمام افرادی که در به دست آمدن نتایج اصلی پایان نامه تأثیرگذار بوده اند در مقالات مستخرج از پایان نامه رعایت می گردد.
- در کلیه مراحل انجام این پایان نامه ، در مواردی که از موجود زنده (یا بافتهای آنها) استفاده شده است ضوابط و اصول اخلاقی رعایت شده است.
- در کلیه مراحل انجام این پایان نامه، در مواردی که به حوزه اطلاعات شخصی افراد دسترسی یافته یا استفاده شده است اصل رازداری ، ضوابط و اصول اخلاق انسانی رعایت شده است

تاریخ:

امضای دانشجو :

مالکیت نتایج و حق نشر

- کلیه حقوق معنوی این اثر و محصولات آن (مقالات مستخرج، کتاب، برنامه های رایانه ای، نرم افزار ها و تجهیزات ساخته شده است) متعلق به دانشگاه صنعتی شاهرود می باشد. این مطلب باید به نحو مقتضی در تولیدات علمی مربوطه ذکر شود.
- استفاده از اطلاعات و نتایج موجود در پایان نامه بدون ذکر مرجع مجاز نمی باشد.

چکیده :

برای دستیابی به هدف‌هایی چون کاهش مصرف توان، امکان مجتمع سازی در ابعاد پایین و امکان استفاده جهت حسگرهای کاشتنی درون بدن، استفاده از نوسان‌سازهای LC و کریستالی به دلیل مصرف توان بالا و عدم امکان مجتمع سازی گزینه‌های مناسبی به شمار نمی‌آیند. به همین جهت در این پایان‌نامه یک نوسان‌ساز حلقوی شامل پنج طبقه وارون‌کننده با ترانزیستورهایی در ناحیه کاری زیرآستانه مورد بررسی قرار گرفته است.

از آنجا که فرکانس خروجی این نوسان‌ساز در ناحیه زیرآستانه، با افزایش دما افزایش می‌یابد و دارای ضریب حرارتی به اندازه‌ی ۲۴۳۰ppm/°C است، نیاز به جبران‌سازی دمایی دارد. در این تحقیق دو مرجع جریان CTAT برای جبران‌سازی دمایی نوسان‌ساز حلقوی نسبت به دما در تکنولوژی ۰/۱۸ میکرومترCMOS شبیه‌سازی شده است. یک روش تولید ضریب حرارتی منفی استفاده از ولتاژ بیس-امیتر یک ترانزیستور دوقطبی در دو سر یک مقاومت است. روش دیگر تولید ضریب دمایی منفی استفاده از ضریب منفی ولتاژ آستانه ترانزیستورPMOS است. در مدار پیشنهادی، جریان CTAT حاصل شده در هر دو روش با مقدار جریان ثابتی از یک مرجع جریان مستقل از دما جمع شده و به سمت نوسان‌ساز هدایت می‌گردد. ضریب حرارتی فرکانس خروجی نوسان‌ساز پیشنهادی، در ساختاری که از ولتاژ بیس-امیتر بهره‌گرفته شده است، در محدوده‌ی دمایی ۰ °C تا ۱۰۰ °C برابر با ۱۱۷ ppm/°C می‌باشد. توان کل مصرف شده در این روش۱۳/۳ میکروووات می‌باشد. در روشی که از ضریب حرارتی منفی ولتاژ آستانه استفاده شده است، ضریب دمایی فرکانس خروجی نوسان‌ساز در بازه دمایی۰ °C تا ۱۰۰ °C به اندازه ۱۳۱/۷ ppm/°C بوده و توان کل مصرفی نیز به مقدار ۳۳ میکروووات است.

کلمات کلیدی: نوسان ساز حلقوی، جبران سازی حرارتی، مرجع ولتاژ بندگپ، مرجع جریانCTAT

فهرست مطالب صفحه

فهرست جداول..... ک
فهرست اشکال..... ل
فصل ۱- پیش‌گفتار..... ۱
۱-۱ مقدمه..... ۲
۱-۲ انگیزه پژوهش..... ۵
۱-۳ تقسیم‌بندی پایان‌نامه..... ۸
فصل ۲- معرفی نوسان‌سازهای حلقوی و مراجع جریان مستقل و وابسته به دما..... ۹
۲-۱ مقدمه..... ۱۰
۲-۲ معرفی اجمالی نوسان‌سازها..... ۱۰
۲-۳ نوسان‌ساز حلقوی..... ۱۵
۲-۴ مراجع ولتاژ بندگپ..... ۲۰
۲-۵ وابستگی‌های دمایی مولفه‌های مهم ترانزیستور..... ۲۲
۲-۵-۱ ضریب دمایی یک کمیت مرجع..... ۲۲
۲-۵-۲ وابستگی دمایی ولتاژ بیس-امیتر..... ۲۳
۲-۵-۳ وابستگی دمایی اختلاف دو ولتاژ بیس-امیتر..... ۲۴
۲-۵-۴ وابستگی دمایی ولتاژ آستانه‌ی ترانزیستور MOS ۲۵
۲-۶ مراجع جریان..... ۲۸
۲-۶-۱ مرجع جریان PTAT ۲۸
۲-۶-۲ مرجع جریان CTAT ۳۲
۲-۶-۳ مرجع جریان مستقل از دما..... ۳۴
فصل ۳- مروری بر تحقیقات انجام شده..... ۳۷

۳-۱مقدمه ۳۸
۳-۲ مروری بر روشهای جبران‌سازی دمایی نوسان‌سازهایRC ۳۸
۳-۲-۱ جبران‌سازی دمایی نوسان‌ساز CMOS Relaxation ۳۸
۳-۲-۲ جبران‌سازی دمایی نوسان‌ساز حلقوی..... ۴۴
۳-۳ نتیجه‌گیری..... ۵۰
فصل۴-نوسان‌ساز حلقوی جبران‌سازی شده‌ی پیشنهادی در ناحیه‌ی زیرآستانه..... ۵۱
۴-۱ مقدمه..... ۵۲
۴-۲ بررسی رفتاردمایی نوسان‌ساز حلقوی..... ۵۳
۴-۲-۱ بررسی تغییرات فرکانس نوسان‌ساز حلقوی در ناحیه‌ی زیر آستانه..... ۵۳
۴-۲-۲ بررسی تغییرات فرکانس نوسان‌ساز حلقوی در ناحیه‌ی بالای آستانه..... ۵۵
۴-۳ معرفی ساختارهای پیشنهادی جهت جبران‌سازی دمایی نوسان‌ساز حلقوی زیرآستانه..... ۵۷
۴-۳-۱ مدل مفهومی جبران‌سازی دمایی نوسان‌ساز حلقوی زیرآستانه..... ۵۸
۴-۳-۲تولید جریان CTAT ۵۹
۴-۳-۳ تولید جریان مستقل از دما..... ۶۱
۴-۴ شبیه‌سازی منابع جریان پیشنهادی و نتایج..... ۶۲
۴-۴-۱ ساختار پیشنهادی نخست : طراحی منبع جریان CTAT با استفاده از V_{THp} ومنبع جریان مستقل از دما و نتایج شبیه‌سازی ۶۳
۴-۴-۱-۱ ضریب دمایی جریان جبران‌سازی شده برای نوسان‌ساز ساختار نخست..... ۶۳
۴-۴-۱-۲ منبع جریان مستقل از دما..... ۶۶
۴-۴-۱-۳ منبع جریان CTAT با استفاده از V_{THp}..... ۶۷
۴-۴-۱-۴ آپ آمپ مدار منبع جریان..... ۶۸
۴-۴-۱-۵ نتیجه شبیه سازی ۶۹

۴-۴-۲ ساختار پیشنهادی دوم : نوسان‌ساز حلقوی پیشنهادی جبران‌سازی شده توسط منبع جریان CTAT مبتنی بر V_{BE} ۷۱
۴-۴-۲-۱ ضریب دمایی جریان جبران‌سازی شده برای نوسان‌ساز ساختار دوم ۷۲
۴-۴-۲-۲ منبع جریان مستقل از دما ۷۳
۴-۴-۲-۳ منبع جریان CTAT با استفاده از V_{BE} ۷۴
۴-۴-۲-۴ آپ آمپ مدار منبع جریان ۷۴
۴-۴-۲-۵ نتیجه شبیه سازی ۷۶
۴-۵ مقایسه‌ی نتایج با پژوهش‌های انجام شده ۷۹
فصل ۵- نتیجه‌گیری و پیشنهادها ۸۱
۵-۱ مقدمه ۸۲
۵-۲ نتیجه‌گیری ۸۲
۵-۳ پیشنهادها ۸۳
مراجع ۸۴

جدول۲-۱ ضرایب رابطه انرژی بندگپ برای ژرمانیوم، سیلیکون، گالیوم ارسناید[۲۵] ۲۰
جدول۴-۱ فرکانس نوسان‌ساز حلقوی زیرآستانه جبران‌سازی نشده از $0^{\circ}C$ تا $100^{\circ}C$ ۵۵
جدول۴-۲ فرکانس نوسان‌ساز حلقوی زیرآستانه جبران‌سازی نشده از $0^{\circ}C$ تا $100^{\circ}C$ ۵۷
جدول۴-۳ مقادیر بدست آمده برای منبع جریان مستقل از دما ۶۶
جدول۴-۴ مقادیر بدست آمده برای منبع جریان CTAT با استفاده از V_{THp} ۶۷
جدول۴-۵ مقادیر مدار آپ‌امپ منبع جریان CTAT با استفاده از V_{THp} ۶۸
جدول۴-۶ مقادیربدست آمده برای منبع جریان مستقل از دما ۷۴
جدول۴-۷ مقادیر منبع جریان CTAT با استفاده از V_{BE} ۷۴
جدول۴-۸ مقادیر مدارآپ‌امپ برای منبع جریان CTAT با استفاده از V_{BE} ۷۵
جدول۴-۹ مقایسه نتایج با پژوهش‌های قبلی ۸۰

فهرست اشکال صفحه

شکل۱-۱ محل و نحوه قرارگیری ضربان‌ساز و اندازه واقعی ضربان‌ساز کاشتنی[۱]..... ۳

شکل۱-۲ بلوک دیاگرام مفهومی ضربان‌ساز[۱]..... ۴

شکل۱-۳ معماری بخش پردازنده‌ی سیگنال آنالوگ (ASP) یک ضربان‌ساز[۳]..... ۵

شکل۱-۴ شکل موج صحیح یک ضربان و نواحی تحریک در قلب[۶]..... ۶

شکل ۲-۱ بلوک دیاگرام یک سیستم حلقه بسته..... ۱۰

شکل۲-۲ نوسان‌ساز تانکLC متداول..... ۱۱

شکل۲-۳ نوسان‌ساز هارتلی..... ۱۲

شکل۲-۴ نوسان‌ساز کولپیتس..... ۱۲

شکل۲-۵ نوسان‌ساز LC با استفاده ازNMOS و PMOS ۱۳

شکل۲-۶ نوسان ساز RC Relaxation ۱۴

شکل۲-۷ بلوک دیاگرام مفهومی یک نوسان‌ساز Relaxation [۱۲]..... ۱۵

شکل۲-۸ مدار یک وارون‌کننده..... ۱۶

شکل۲-۹ منحنی VTC یک وارون‌کننده‌ی استاتیک[۲۱]..... ۱۷

شکل۲-۱۰ نوسان‌ساز حلقوی با گیت NOT و جزییات یک وارون‌کننده..... ۱۸

شـکل۲-۱۱ نوسان‌ساز حلقوی دیفرانسیلی[۲۲]..... ۱۸

شـکل۲-۱۲طبقه‌ی تاخیر دیفرانسیلی..... ۱۹

شـکل۲-۱۳ وارون‌کننده‌ی Current Starved ۱۹

شکل۲-۱۴ نمودار ولتاژ بندگپ نیمه‌هادی‌ها نسبت به دما[۲۵]..... ۲۰

شـکل۲-۱۵ تولید ولتاژ PTAT ۲۵

شـکل۲-۱۶ مرجع جریان PTAT ۲۹

شکل۲-۱۷ مرجع جریان PTAT با استفاده از ترانزیستورهای MOS ۳۰

شکل۲-۱۸ مرجع جریان CTAT با استفاده از V_{BE} [۳۵]..... ۳۲

شکل۲-۱۹ مرجع جریان CTAT با استفاده ای $|V_{THp}|$ [۴۱]..... ۳۳

شکل۲-۲۰ مدار تولیدکننده جریان مستقل از دما[۳۵]..... ۳۵

شکل۳-۱ بلوک دیاگرام نوسان‌ساز Relaxation [۱۱]..... ۴۰
شکل۳-۲ بلوک دیاگرام نوسان‌ساز، مدار زمان‌بندی، مدار مرجع ولتاژ و جریان[۴۹]..... ۴۱
شکل۳-۳ بلوک دیاگرام نوسان‌ساز مود جریان و مدار داخلی بخش‌های نوسان‌ساز[۵۰]..... ۴۳
شکل۳-۴ منبع جریان PTAT و منبع جریان ثابت[۴۶]..... ۴۵
شکل۳-۵ دیاگرام مفهومی نوسان‌ساز حلقوی و جزییات مدار جبران‌ساز نوسان‌ساز حلقوی[۵۲]..... ۴۷
شکل۳-۶ مدار تولیدکننده‌ی جریان‌های PTAT، ZTC، PTC و مدار جریان با منحنی مشخصه‌ی معکوس[۱۶]..... ۴۹
شکل۴-۱ نوسان‌ساز حلقوی شامل پنج طبقه وارون‌کننده تک‌سر..... ۵۴
شکل۴-۲ مشخصه فرکانس خروجی نوسان‌ساز حلقوی جبران‌سازی نشده زیرآستانه..... ۵۵
شکل۴-۳ مشخصه فرکانس خروجی نوسان‌ساز حلقوی جبران‌سازی نشده بالای آستانه..... ۵۶
شکل۴-۴ مدل مفهومی روش پیشنهادی برای جبران‌سازی نوسان‌ساز حلقوی زیرآستانه..... ۵۹
شکل۴-۵ منبع جریانCTAT با استفاده از ولتاژ آستانه ترانزیستورPMOS [۴۱]..... ۶۰
شکل۴-۶ منبع جریانCTAT با استفاده از ولتاژ بیس-امیتر ترانزیستورBJT [۳۵]..... ۶۱
شکل۴-۷ منبع جریان مستقل از دما[۳۵]..... ۶۲
شکل۴-۸ شیب به دست آمده برای جریان I_{ROT}..... ۶۶
شکل۴-۹ منبع جریان CTAT پیاده‌سازی شده..... ۶۷
شکل۴-۱۰مدار آپ‌امپ استفاده شده در ساختار نخست..... ۶۸
شکل۴-۱۱ بهره آپ‌امپ در دمای $۲۷^{\circ}C$ و به ازای بازه دمایی $۰^{\circ}C$ تا $۱۰۰^{\circ}C$ برای ساختار نخست..... ۶۹
شکل۴-۱۲ منحنی مشخصه فرکانس نوسان‌ساز حلقوی جبران‌سازی شده در ساختار پیشنهادی نخست..... ۷۰
شکل۴-۱۳ شکل موج سیگنال خروجی نوسان‌ساز حلقوی جبران‌سازی شده در دمای $۲۷^{\circ}C$..... ۷۰
شکل۴-۱۴ مدار کلی شبیه‌سازی شده برای جبران‌سازی نوسان‌ساز حلقوی در ساختار پیشنهادی نخست..... ۷۱
شکل۴-۱۵ شیب به دست آمده برای جریان جبران‌سازI_{ROB}..... ۷۳
شکل۴-۱۶ مدار آپ‌امپ استفاده شده در ساختار دوم ۷۵
شکل۴-۱۷ بهره آپ‌امپ در دمای $۲۷^{\circ}C$ و به ازای بازه دمایی $۰^{\circ}C$ تا $۱۰۰^{\circ}C$ برای ساختار دوم..... ۷۵
شکل۴-۱۸ مدار کلی شبیه‌سازی شده برای جبران‌سازی نوسان‌ساز حلقوی در ساختار پیشنهادی دوم..... ۷۶

شکل۴-۱۹ سیگنال خروجی نوسان‌ساز حلقوی در دمای $27^{\circ}C$..... ۷۷
شکل۴-۲۰منحنی مشخصه فرکانس نوسان‌ساز حلقوی جبران‌سازی شده در ساختار پیشنهادی دوم..... ۷۷
شکل۴-۲۱ مقایسه تغییرات فرکانس خروجی نوسان‌ساز در سه حالت جبران‌سازی نشده، جبران‌سازی ساختار نخست و ساختار دوم در بازه‌ی $0^{\circ}C$ تا $100^{\circ}C$..... ۷۸
شکل۴-۲۲ مقایسه تغییرات فرکانس خروجی نوسان‌ساز در سه حالت جبران‌سازی نشده، جبران‌سازی ساختار نخست و ساختار دوم در بازه‌ی $-40^{\circ}C$ تا $85^{\circ}C$ ۷۹

فصل اول

پیش‌گفتار

۱-۱ مقدمه

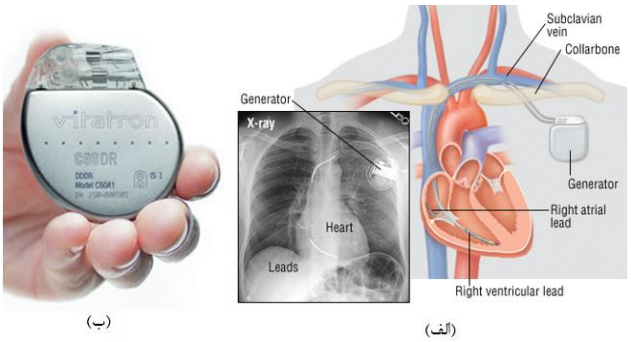
کاهش ابعاد ترانزیستورها به مقیاس های زیر میکرون در تکنولوژی CMOS با گذر زمان توسعه بیشتری می یابد، به گونه‌ای که هر سال درجه‌ی بیشتری از مجتمع سازی افزاره‌ها و کاهش مصرف توان امکان‌پذیر می‌گردد. بهره‌گیری از این تکنولوژی در حوزه پردازش سیگنال‌های حیاتی بدن تحول بسیار بزرگی در توسعه انواع دستگاه‌هایی ایجاد نموده که پزشکی امروز را بدون آن ناممکن می‌سازد. پیشرفت‌های اخیر در توسعه حسگرهای مهندسی پزشکی و تکنولوژی CMOS منجر به غیرتهاجمی‌تر شدن افزاره‌های نظارت‌کننده بر سیگنالهای حیاتی نسبت به گذشته شده‌است. در نتیجه نرخ آسیبهای ناشی از استفاده از این حسگرها بر بیمار به خوبی کاهش یافته و موجب اثربخش‌تر شدن فرایند درمان شده است. به طور کلی قطعات کاشتنی، حسگرها و عملگرهایی[۱] هستند که سیگنالهای حیاتی بدن را از بافتهای مورد نظر جهت مشاهده و پردازش به پردازشگر اصلی انتقال می دهند و یا سیگنالهای اصلاحی را جهت عملکرد صحیح بافت معیوب به آن ارسال می کنند.

در بیشتر فعالیتهای درمانی میدانی، حسگرهای مشاهده‌گر(نظارت‌کننده)[۲] در خارج از بدن قرار گرفته و از روی پوست سیگنالهای مغز، دما، فشارخون IBP[۳] و NIBP[۴]، مقدار اکسیژن اشباع خون(SpO_2)، ضربان و شکل موج سیگنال قلب را دریافت می‌کنند. یکی از افزاره‌های پرکاربرد در این حوزه دستگاه ضربان‌ساز قلب است. این دستگاه در دو شکل خارجی و داخلی مورد استفاده قرار می‌گیرد. نوع خارجی ضربان‌ساز به صورت یک ماژول در دستگاه دفیبریلاتور[۵] یا الکتروشوک تعبیه شده است که با استفاده از قرار دادن پدهای مخصوص روی سینه و پشت بیمار سیگنال‌های تحریک را برای ماهیچه‌های قلب تولید کرده و به آن انتقال می‌دهد. اختلال درمقادیر پتانسیل سلول‌های

---

۱ Actuator
۲ Monitoring
۳ Invasive Blood Pressure
۴ Non Invasive Blood Pressure
۵ Defibrillator

ماهیچه‌ای گره‌های تحریک قلب منجر به ایجاد مشـکل در نوسـان صحیح قلب شده و تعداد ضربان و شـکل موج آن را تغییر می‌دهد. این اختلال منجر به انقباضـات پردامنه و ناصـحیح شـده و موجب از کارایسـتادن قلب می‌شود. پدهای الکتروشوک نیز با تخلیه نمودن ولتاژهای زیاد سلول‌های ماهیچه‌ای در گره‌های اصلی مولد نوسان قلب را وادار به نوسان مجدد می‌کند. در نمونه کاشتنی ضربان‌ساز[۱] برای اصلاح آریتمی برادیکاردیا در قلب استفاده شده و برای مدت طولانی ۱۰تا ۱۲ سال زیر پوست قفسه‌ی سـینه قرار می‌گیرد. در این نوع آریتمی تعداد ضربان قلب به ۲۰-۴۰ ضربان در دقیقه یا کمتر کاهش می‌یابد. در شـکل ۱-۱(الف) ، محل و نحوه قرارگیری ضـربان‌ساز داخل بدن نشان داده شده است. در تصـویر اشـعه‌ی X نیز به صورت واضح یک نمونه‌ی واقعی کاشته شده دیده می‌شود. در قسمت (ب)، یک ضربان‌ساز کاشتنی در اندازه‌ی واقعی نشان داده شده است.

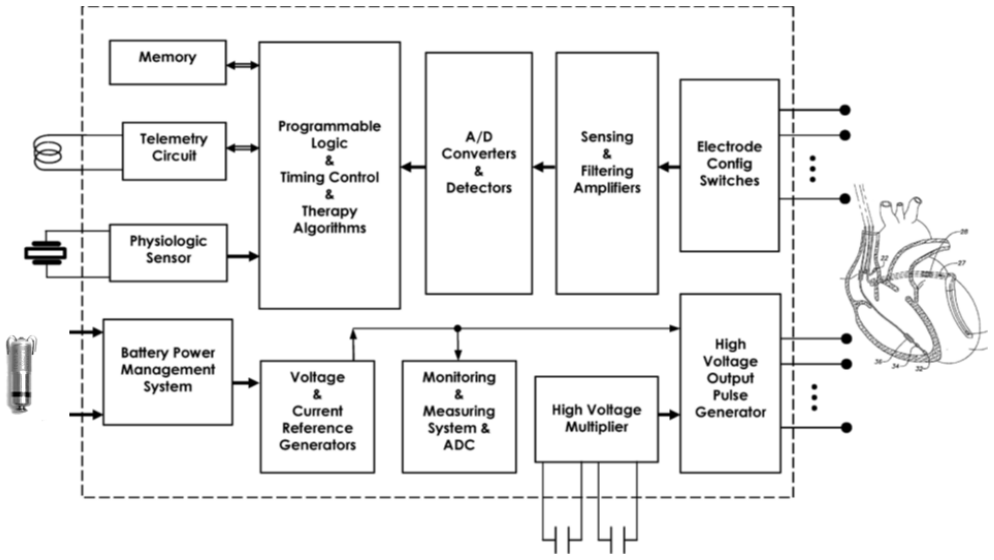


شکل۱-۱ (الف) محل و نحوه قرارگیری ضربان‌ساز کاشتنی ، (ب) اندازه واقعی ضربان‌ساز کاشتنی[۱]

با توجه به مدت زمان طولانی که ضربان‌ساز درون بدن قرار می‌گیرد، ملاحظات بسیاری در خصوص صحت عملکرد این دستگاه در نظرگرفته می‌شود. تحقیقات زیادی در زمینه بهبود روش‌های تشخیص و استخراج ویژگی سیگنال قلب، حذف سیگنال‌های ناشی از حرکت[۲]، حذف آثار ناشی از تغییر مقاومت بافتی[۳] در محل اتصال الکترود به بافت به اضافه‌ی کاهش مصرف توان و کاهش انواع نویز صورت

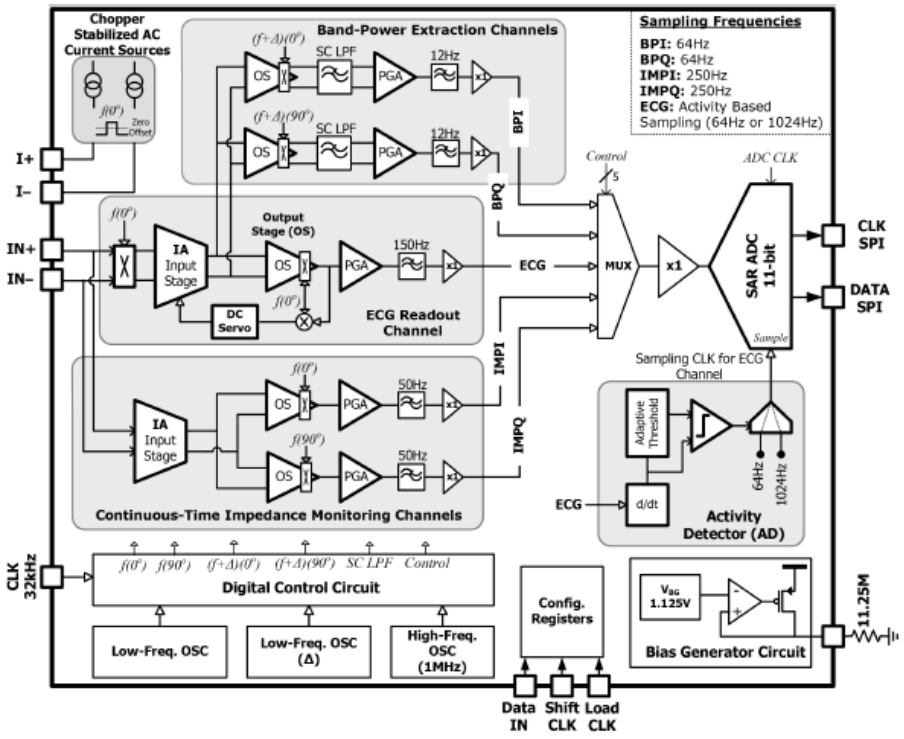
[۱] Pacemaker
[۲] Motion Artifact
[۳] Bio Resistance

گرفته‌است[۲-۵] یک ضربان‌ساز از بخش‌های زیادی تشکیل شده است. این بخش‌ها شامل تقویت-کننده‌ها، فیلترها، مبدل‌های آنالوگ به دیجیتال و دیجیتال به آنالوگ، بخش مدیریت توان مصرفی باتری، تولیدکننده‌های کلاک در فرکانس‌های مختلف، پردازنده قابل برنامه‌ریزی، کنترل‌های زمانی و تولیدکننده پالس تحریک با ولتاژ بالا هستند. در شکل ۱-۲ بلوک دیاگرام مفهومی یک ضربان‌ساز نشان داده شده است[۱].



شکل۱-۲ بلوک دیاگرام مفهومی ضربان‌ساز [۱]

بلوک دیاگرام شکل ۱-۲ را می‌توان به طور خلاصه به چهار دسته عملکرد اصلی تقسیم کرد: بخش ورودی؛ سیستم دریافت‌کننده که شامل تقویت‌کننده‌ها و فیلترها و مبدل آنالوگ به دیجیتال است. بخش خروجی؛ که شامل ضرب‌کننده‌ی ولتاژ و تولیدکننده‌ی ولتاژ بالا برای تحریک است. بخش مدیریت توان؛ که شامل مدیریت باتری، مدارهای بایاس و تولیدکننده‌های مراجع ولتاژ و جریان و بخش منطق؛ که شامل نوسان‌سازهایی برای تولید کلاک با فرکانس‌های مختلف، الگوریتم‌های درمانی برای بیمار و کنترل سیکل‌های زمانی است. هرکدام از این بخش‌ها دارای جزییات فراوانی است. یکی از بخش‌هایی که در ضربان‌سازها معماری مشابهی دارد بخش پردازنده‌ی سیگنال آنالوگ است. در شکل۱-۳ معماری یک پردازنده‌ی سیگنال آنالوگ در ضربان‌ساز نشان داده شده است[۳].



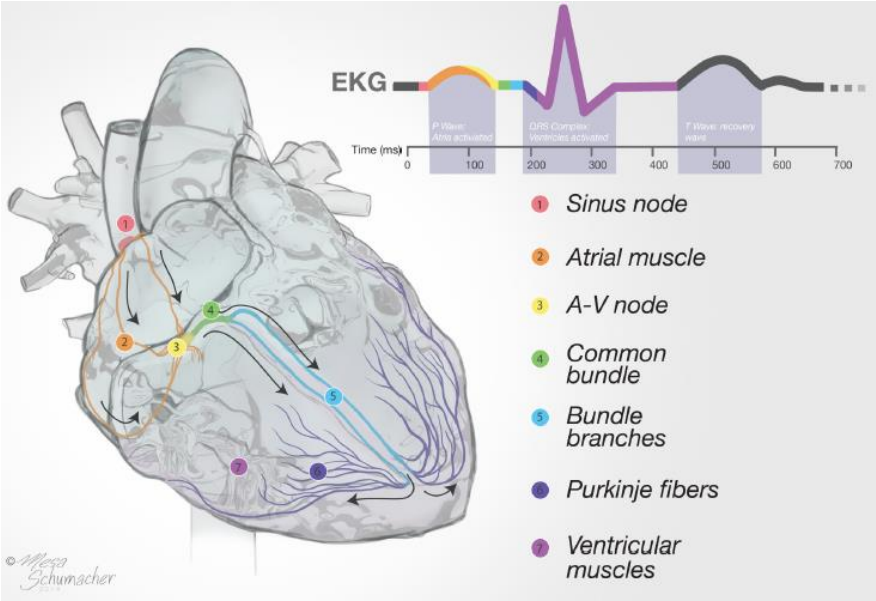
شکل۱-۳ معماری بخش پردازنده سیگنال آنالوگ(ASP) یک ضربان‌ساز[۳]

همانطور که در ساختار پردازنده سیگنال آنالوگ قابل مشاهده است، از چند نوسان‌ساز برای تولید فرکانس‌های مورد نیاز استفاده شده است و مدار کنترل دیجیتال نیز ضرایب دقیق فرکانس‌های تولید شده با فاز مورد نیاز را برای قسمت‌های دیگر تولید می‌کند. همچنین از سنتزکننده‌های فرکانسی برای کاهش تعداد نوسان‌سازها نیز استفاده شده است[۴] .

۱-۲ انگیزه‌ی پژوهش

یکی از کاربردهایی که در آن توان مصرفی و ابعاد مجتمع‌سازی از اهمیت ویژه‌ای برخوردار است، قطعات و حسگرهای کاشتنی در داخل بدن هستند. از آنجایی که در هر طراحی دقت پارامتر خروجی در گرو ملاحظاتی از قبیل توان مصرفی، نویز، دما، جریان های نشتی، ابعاد تراشه، تغییرات خروجی ناشی از تغییرات منبع تغذیه و... قرار می‌گیرد، حسگرها و عملگرهای کاشتنی نیز از این قاعده مستثنی نیستند. بلکه دقت و صحت عملکرد این قطعات باید در طول مدت زمانی بالا تضمین گردد.

همانطور که در دسته‌بندی کلی یک ضربان‌ساز اشاره شد، از نوسان‌سازها برای تولید کلاک و کنترل سیکل‌های زمانی مربوط به پردازش سیگنالهای ورودی، استخراج ویژگی و اعمال الگوریتم تشخیصی-درمانی استفاده می‌شود. دقت زمان‌بندی مراحل پردازش از آنجایی اهمیت دارد که مطابق الگوریتم تشخیصی (این الگوریتم برای هر بیمار متفاوت بوده و دارای برنامه‌ی مخصوص به خود است) سیگنال تحریک خروجی باید در زمان مناسب ترکیب QRS یک موج دریافتی از قلب، به ماهیچه‌های قلب اعمال شود. به طوریکه اعمال تحریک در نقاط حساس سیگنال قلب به ویژه هنگام شروع پولاریزه شدن سلول‌های ماهیچه‌ای در گره‌های تحریک، باعث دپولاریزه شدن آن سلول‌ها شده و به انقباضات نامنظم و گسترده و نهایتاً ایست قلبی می‌انجامد. بنابراین دقیق بودن فرکانس کلاک و عدم تاثیرپذیری از شرایط محیط در بازه زمانی وسیع یکی از الزامات طراحی نوسان‌سازهای کلاک است. در شکل ۱-۴ یک نمونه شکل موج سیگنال صحیح قلب و محل پولاریزه شدن گره‌های مربوط نشان داده شده است[۶].



شکل ۱-۴ شکل موج صحیح یک ضربان و نواحی تحریک در قلب[۶]

در بسیاری از مدارهای دیجیتال و آنالوگ با عملکردهای پزشکی، مخابراتی، نظامی و... همواره به نوسان‌سازهایی با دقت بالا نیاز است. مولفه‌هایی که امکان تغییر فرکانس خروجی یک نوسان‌ساز را

ایجاد می‌کنند متغیرهایی مانند دما، نویز، فرایند ساخت و تغییر منبع تغذیه هستند. به طور معمول برای دستیابی به فرکانس‌های دقیق از حلقه‌های قفل فاز یا سنتزکننده‌های فرکانسی به همراه یک نوسان‌ساز کریستالی به عنوان فرکانس مرجع استفاده می شود. اگرچه نوسان‌ساز کریستالی دارای دقت و پایداری خوبی نسبت به دما، فرایند و تغییر منبع تغذیه است و در بسیاری از کاربردهای مخابراتی مورد توجه قرار گرفته‌است، به دلیل عدم امکان مجتمع‌سازی آن و همچنین توان مصرفی نسبتا بالای آن در کاربردهایی که ابعاد تراشه و توان مصرفی از اهمیت بیشتری برخوردارند، کمتر مورد استقبال واقع می‌شود. بررسی پژوهش‌ها در خصوص امکان پیاده‌سازی نوسان‌سازهای کریستالی که دارای توان مصرفی پایین بوده و در ابعاد کوچک قابل پیاده‌سازی باشند، نشان‌دهنده اهمیت این زمینه است[۷]. به‌هرحال بین استفاده یا عدم استفاده از این نوسان‌ساز و ابعاد زیاد آن، گران بودن و مصرف توان و دقت مورد نیاز در محصول نهایی مصالحه‌ای صورت می‌گیرد.

در مقایسه با کاربردهای مخابراتی مدرن فرکانس‌بالا، کاربردهای حوزه حسگرهای زیستی و پزشکی فرکانس‌های بسیار پایینی دارند. در عوض، کاربردهای زیستی به ابعاد کوچک و باتری‌هایی با طول عمر زیاد و عملکرد باثبات نیازمند هستند. نوسان‌سازهایRC، حلقوی[۱] یا Relaxation گزینه‌هایی هستند که می‌توان در چنین کاربردهایی مورد استفاده قرار داد. از ویژگی‌های این دسته از نوسان‌سازها می‌توان به سطح تراشه کوچک و توان مصرفی کم اشاره نمود. با توجه به ساختار این نوسان‌سازها، معمولا این دسته از نوسان‌سازها دچار عدم ثبات کافی فرکانس نسبت به تغییرات دما هستند. از این رو تحقیقات متعددی معطوف به جبران‌سازی دمایی این دسته از نوسان‌سازها وکاهش حساسیت فرکانس آن‌ها نسبت به تغییر دما شده است. راه‌حل کاهش تغییرات فرکانس خروجی نوسان‌ساز نسبت به دما، استفاده از مراجع ولتاژ و جریانی است که نسبت به دما ثبات بهتری دارند. مدارهای مرجع می‌توانند شرایط قابل اطمینانی را برای نوسان‌ساز ایجاد کنند تا نتایج مورد انتظار، قابل پیش‌بینی و تکرارپذیر

[۱] Ring Oscillator

حاصل شود. در این تحقیق هدف طراحی نوسان‌ساز حلقوی است که دارای حساسیت دمایی کم و توان مصرفی پایین باشد. ایده‌ای که در این پایان‌نامه برای کاهش توان مصرفی از آن بهره گرفته شده است، طراحی نوسان‌ساز در ناحیه‌ی زیرآستانه است. همچنین برای کاستن حساسیت دمایی فرکانس خروجی نوسان‌ساز، مراجع جریان CTAT[1] و مستقل از دما استفاده شده‌اند تا با جبران‌سازی جریان این نوسان-ساز حلقوی، تا حد امکان از وابستگی دمایی فرکانس نوسان‌ساز به دما بکاهند.

۱-۳ سازماندهی پایان‌نامه

در فصل دوم در خصوص نوسان‌سازهای RC یا Relaxation و حلقوی توضیحاتی ارائه خواهد شد. ساختار نوسان‌سازها معرفی شده و میزان تغییرات آنها با دما با یکدیگر مورد مقایسه قرار خواهدگرفت. همچنین ساختار مراجع ولتاژ بندگپ و مراجع جریان PTAT[2] و CTAT و مستقل از دما که به منظور جبران‌سازی دمایی نوسان‌ساز استفاده خواهند شد، معرفی شده و مزایا و معایب هرکدام مورد بررسی قرار خواهدگرفت. در فصل سوم به تحقیق‌ها و مقاله‌های مرتبط در زمینه‌ی جبران‌سازی دمایی در نوسان‌سازهای مختلف پرداخته شده و تکنیک‌های ارائه شده در آن‌ها بررسی خواهند شد. در فصل چهارم یک نوسان‌ساز حلقوی پیشنهادی به همراه نتایج شبیه‌سازی آن در زیرآستانه ارائه خواهد شد. رفتار فرکانس خروجی این نوسان‌ساز حلقوی نسبت به دما در هر دو وضعیت زیرآستانه و بالای آستانه مورد بررسی و مقایسه قرار خواهدگرفت. در جبران‌سازی دمایی نوسان‌ساز از مراجع جریانCTAT و مستقل از دما استفاده شده است که نتایج بدست آمده و نمودارهای مربوط به جریان خروجی مراجع جریان نیز ارائه خواهد شد. نتایج وضعیت بهبود یافته در دو مدل با روش‌های مورد استفاده در کارهای گذشته نیز مورد مقایسه قرار خواهندگرفت. فصل پنجم نیز به نتیجه‌گیری و ارائه پیشنهادهایی برای ادامه‌ی کار اختصاص یافته است.

---

[1] Complementary to Absolute Temperature

[2] Proportional to Absolute Temperature

فصل دوم

معرفی نوسان‌سازهای حلقوی و مراجع جریان

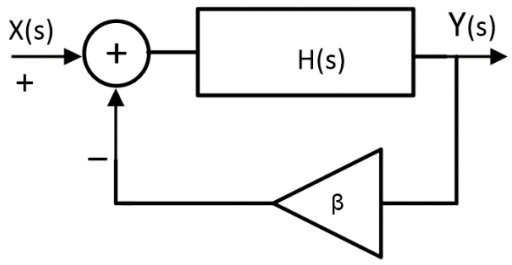
مستقل و وابسته به دما

۲-۱ مقدمه

دراین بخش به معرفی مختصری از انواع نوسان‌سازهای حلقوی و Relaxation پرداخته می‌شود. به علاوه مرجع ولتاژ بندگپ و مراجع جریانCTAT، PTAT و مستقل از دما و روابط حاکم بر آنها بررسی خواهند شد. در ادامه تکنیک‌های ارائه شده در چندین مقاله، در زمینه جبران‌سازی دمایی نوسان‌سازهایRC، Relaxation و حلقوی مورد مطالعه قرار خواهند گرفت. با توجه به گستره‌ی وسیع پارامترها و مشخصه‌های مورد بررسی در نوسان‌سازها، هدف اصلی بررسی نحوه‌ی رفتار آن‌ها در برابر دما است.

۲-۲ معرفی اجمالی نوسان‌سازها

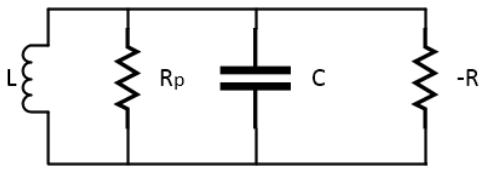
امروزه می‌توان گفت نوسان‌سازها بخش جدایی ناپذیر سیستم‌های الکترونیکی هستند و تقریباً در تمامی دستگاه‌ها و کاربردها وجود دارند. یک نوسان‌ساز مداری است که قادر است یک نوسان الکتریکی ایستا ایجاد کند و مشخصه ریاضی‌اش تابعی متناوب است. با توجه به تابع تبدیل حلقه بسته در بلوک دیاگرام یک سیستم فیدبک‌دار در شکل ۲-۱، نوسان زمانی شروع می‌شود که بهره حلقه‌باز سیستم بی‌نهایت شود یا به عبارتی$|\beta H(j\omega)| = 1$ باشد. شرط دیگر نوسان این است که شیفت فاز حلقه $^{\circ}$۳۶۰ باشد، یعنی همان مقداری که باعث ایجاد فیدبک مثبت می‌شود. این دو شرط همان شرایط بارک‌هاوزن هستند[۸].



شکل ۲-۱ بلوک دیاگرام یک سیستم حلقه بسته

در یک تقسیم‌بندی ساده می توان نوسان‌سازها را به دو دسته‌ی تنظیم شده[۱] و تنظیم نشده[۲] تقسیم نمود. در مسیر فیدبک نوسان‌ساز تنظیم شده، مدار تنظیم کننده‌ای وجود دارد که فرکانس خروجی را تعیین می‌کند و سیگنال خروجی عموماً سینوسی است. در نوع تنظیم نشده از یک فیدبک غیرخطی استفاده شده و سیگنال خروجی معمولاً غیر سینوسی است. نوسان سازهایLC و کریستالی در گروه تنظیم شده و نوسان‌سازهای حلقوی و Relaxation در گروه تنظیم نشده قرار می‌گیرند. نوسان-سازهای LC ترکیب‌های متنوع و متعددی دارند که معماری و مشخصه‌های آن‌ها بنا به نوع کاربرد مورد تقاضا بهینه می‌شود.

تانک LC ساده‌ترین نوع یک نوسان‌ساز تک دهانه‌ای است که از تشدید خازن و القاگر نوسان تولید می‌کند. اگر خازن و القاگر ایده‌ال باشند نوسان تولید شده نامیرا است، اما از آنجایی که در عمل هر دو قطعه دارای یک مقاومت نیز هستند، انرژی نوسان روی این مقاومت تلف شده و نوسان را میرا می‌کند. حال اگر یک مقاومت با مقدار منفی با مدار موازی شود نوسان نامیرا خواهد شد. رابطه فرکانس در تانک LC برابر با $\omega_0 = 1/\sqrt{LC}$ است. شکل ۲-۲ مدار یک نوسان‌ساز تانک LC را نشان می‌دهد.



شکل ۲-۲ نوسان‌ساز تانک LC متداول

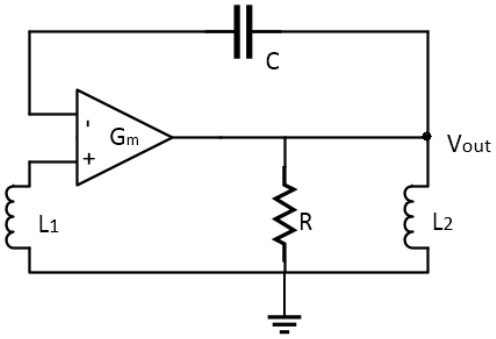
اگر مقاومت منفی تانک LC با استفاده از عناصر فعال طراحی شود، ساختارهای مختلفی از

[۱] Tuned

[۲] Un-tuned

نوسان‌سازها خواهیم داشت. شکل ۲-۳ یک نوسان ساز هارتلی را نشان می‌دهد. در این نوسان‌ساز یک خازن در فیدبک منفی استفاده شده است[۹]. رابطه فرکانس نوسان عبارت است از :

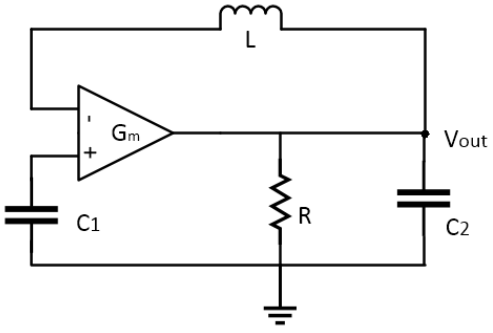
$$\omega_0 = \frac{1}{\sqrt{(L_1+L_2)C}} \quad , \quad L_2/L_1 = g_m R \qquad (۱-۲)$$



شکل۲-۳ نوسان‌ساز هارتلی

نوسان‌ساز کولپیتس ساختار دیگری برای تولید مقاومت فعال منفی است. برخلاف هارتلی یک القاگر در فیدبک منفی قرار دارد[۹]. شکل۲-۴ یک نوسان‌ساز کولپیتس را نشان می‌دهد. رابطه فرکانس خروجی نوسان‌ساز عبارت است از :

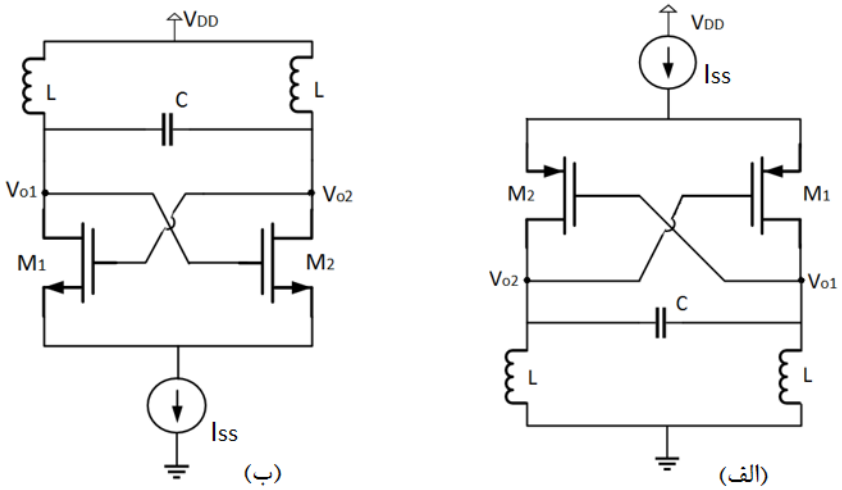
$$\omega_0 = \frac{1}{\sqrt{L(C_1C_2/C_1+C_2)}} \quad , C_2/C_1 = g_m R \qquad (۲-۲)$$



شکل۲-۴ نوسان‌ساز کولپیتس

یکی از ساختارهای متداول برای پیاده‌سازی نوسان‌سازهایLC استفاده از اتصال ضربدری

ترانزیستورهای PMOS و NMOS است که به ترتیب در شکل ۲-۵ (الف) و (ب) نشان داده شده است. اگر اتصال ضربدری ترانزیستورها را از نگاه تک دهانه‌ای بررسی کنیم، با فرض برابر بودن ترارسانایی و جریان ترانزیستورها، مقاومت دیده شده در این اتصال، منفی و برابر با $-2/g_m$ است. رابطه‌ی فرکانس نوسان در این نوسان‌سازها نیز $\omega_0 = 1/\sqrt{LC}$ است.



شکل ۲-۵ (الف) نوسان‌ساز اتصال ضربدری LC با PMOS ،(ب) نوسان‌ساز اتصال ضربدری LC با NMOS

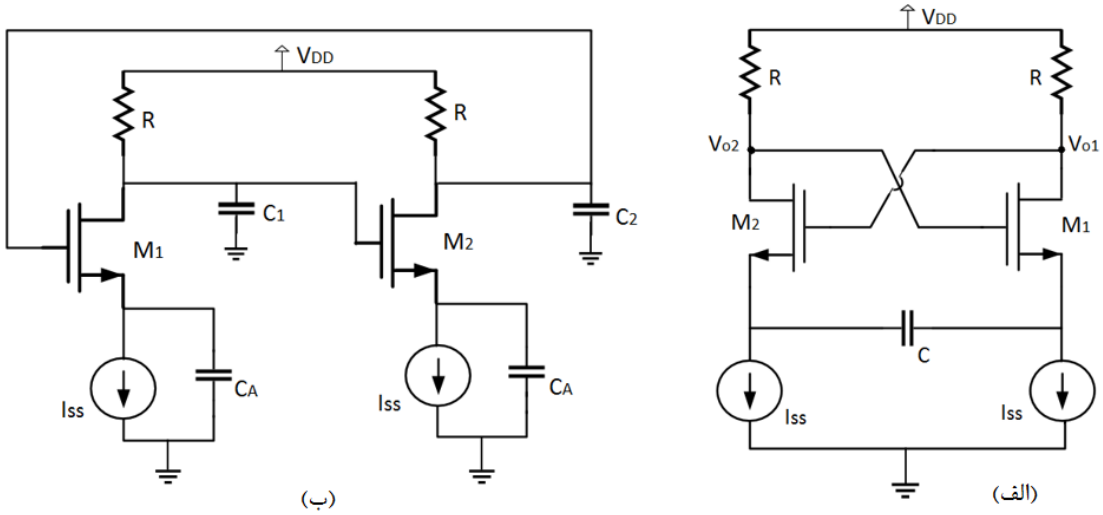
همانطور که از ساختار نوسان‌سازهای تانک LC قابل دریافت است، برای بدست آوردن فرکانس-های پایین در کاربردهای حسگرهای پزشکی، مقادیر بزرگی از القاگر و خازن مورد نیاز است و در نتیجه سطح زیادی هنگام پیاده‌سازی در تراشه اشغال خواهندکرد. بنابراین این دسته از نوسان‌سازها در کاربردهای مهندسی پزشکی مورد استفاده قرار نمی‌گیرند.

گروه دیگر، نوسان‌سازهای Relaxation هستند. یک نمونه از ساختارهای مورد استفاده در شکل ۲-۶ (الف) نشان داده شده است. تابع تبدیل حلقه‌باز این نوسان‌ساز بعد از تبدیل مدار قسمت (الف) به فرم گسترده در دو طبقه با خازن‌های تبهگن در قسمت (ب) عبارت است از:

$$H(s) = \left[\frac{-g_m R C_A s}{(g_m + C_A s)(RC_D s + 1)}\right]^2 \qquad (۳-۲)$$

که $C_A = 2C$ و $C_1 = C_2 = C_D$ خازن‌های درین(C_D) و g_m ترارسانایی ترانزیستورها می‌باشد[۱۰]. برای اینکه مدار در ω_0 نوسان کند، باید $H(j\omega_0) = 1$ و اختلاف فاز در تمام حلقه به 360° برسد. با برآورده نمودن شروط نوسان، می‌توان گفت:

$$\omega_0{}^2 = \frac{g_m}{RC_AC_D} \qquad (۴-۲)$$

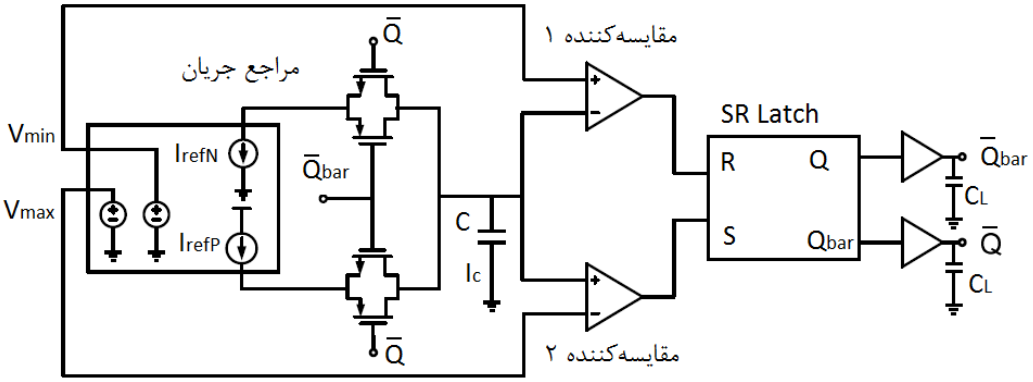


شکل ۲-۶ (الف) نوسان‌ساز RC Relaxation، (ب) نوسان‌ساز RC به صورت دو طبقه با خازن‌های تبهگن.

یک نوسان‌ساز Relaxation از طریق شارژ و دشارژ یک خازن توسط منبع جریان ثابت نوسان می‌کند. با توجه به کاربردی که نوسان‌ساز در آن استفاده شده است می‌توان اجزا و ساختارهای متفاوتی برای آن در نظر گرفت[۱۱] که مفهوم کلی عملیات تقریباً در تمام آن‌ها یکسان است. در شکل ۲-۷ بلوک دیاگرام مفهومی یک نوسان‌ساز Relaxation نشان داده شده است[۱۲]. در این نوسان‌ساز منابع جریان، جریان‌های $I_{refP} = I_{refN} = I_c$ را برای شارژ و دشارژ خازن تولید می‌کند. دو مقایسه‌کننده مقدار ولتاژ خازن را با V_{Max} و V_{Min} مقایسه کرده و بسته به میزان ولتاژ خازن، ولتاژ خروجی یکی از مقایسه‌کننده‌ها یک شده و به لچ SR اعمال می شود. به این ترتیب خازن شارژ و دشارژ می‌شود. در نتیجه فرکانس نوسان را می‌توان با عبارت (۲-۵) نشان داد.

$$\omega_0 = \frac{I_C}{2C(V_{max}-V_{min})} \qquad (۵-۲)$$

که I_C جریان خازن C، V_{max} ولتاژ حد بالا و V_{min} ولتاژ حد پایین است و با توجه به مشخصه‌های مورد نظر مدار، طراحی و مقداردهی می‌شوند. از این رابطه می‌توان دریافت که با انتخاب جریانی از مرتبه چندصد نانوآمپر و خازنی با ظرفیت چند پیکوفاراد می‌توان به فرکانس‌هایی از مرتبه کیلوهرتز دست پیداکرد. علاوه برآن نکته مهم جهت پایداری نوسان با دما تامین جریان و ولتاژهایی است که نسبت به دما، فرایند و سایر ملاحظات طراحی جبران‌سازی شده باشد.



شکل ۲-۷ بلوک دیاگرام مفهومی یک نوسان‌ساز Relaxation [۱۲]

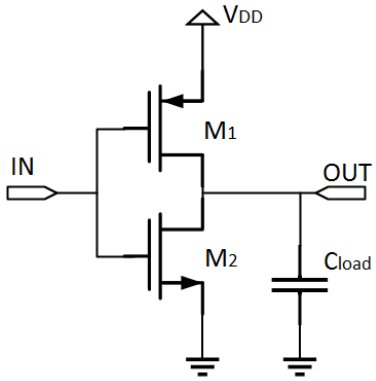
۲-۳ نوسان‌ساز حلقوی

به تعداد فردی طبقه‌ی تاخیر[۱] که به صورت متوالی در یک حلقه‌ی بسته به هم متصل شده‌اند، نوسان‌ساز حلقوی گفته می‌شود. به دلیل امکان مجتمع‌سازی خوبی که در این نوع نوسان‌ساز وجود دارد در ترکیب ساخت بسیاری از سیستم‌های دیجیتال و مخابرات به کار برده می‌شود. مانند سایر نوسان-سازها، نوسان‌سازهای حلقوی نیز در طراحی نوسان‌سازهای کنترل شونده با ولتاژ[۱۳, ۱۴] و کنترل شونده با جریان [۱۵, ۱۶] مورد استفاده قرار می‌گیرند. کاربردهایی مانند بازیابی کلاک در ارتباط

[۱] Delay Stage

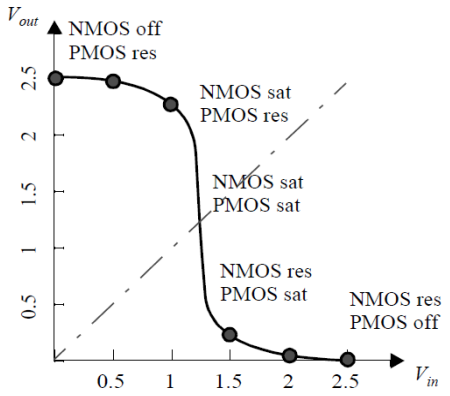
سریال[۱۷, ۱۸] ، توزیع کلاک روی تراشه[۱۹] و سنتزکننده‌های فرکانسی[۱۳, ۱۴] از نوسان‌سازهای حلقوی در ساختار خود استفاده نموده‌اند.

هر طبقه‌ی تاخیر در زنجیره‌ی نوسان‌ساز حلقوی شامل یک وارون‌کننده می‌باشد. اساسی‌ترین عنصر مدارهای دیجیتال استاتیک CMOS، یک وارون‌کننده‌ی CMOS است[۲۰]. یک وارون‌کننده متشکل از دو ترانزیستورNMOS وPMOS، در شکل ۲-۸ نشان داده شده است.



شکل ۲-۸ مدار یک وارون‌کننده

منحنی مشخصه‌ی این وارون‌کننده در شکل ۲-۹ آمده است که در آن ترتیب وضعیت روشن و خاموش بودن ترانزیستورهای NMOS و PMOS نشان داده شده است. برای داشتن بهترین حاشیه نویز، طراحی ابعاد ترانزیستورها باید به گونه‌ای باشد که منحنی مشخصه‌ی ورودی به خروجی متقارن بوده و یا ولتاژ نقطه کلیدزنی(آستانه‌ی کلیدزنی) V_M نصف ولتاژ تغذیه شود[۲۱]. جریان عبوری از ترانزیستورها مساوی و مقدار ولتاژ آستانه ترانزیستورهای NMOS و PMOS برابر فرض شده است. مولفه‌ی β نسبت ابعادترانزیستورPMOS به NMOS است ؛ $\beta = \left(\frac{W}{L}\right)_{pmos} / \left(\frac{W}{L}\right)_{nmos}$ و در نقطه بهینه‌ی حاشیه نویز مقداری حدود ۳/۵ داراست. از آنجایی که تحرک‌پذیری حفره کمتر از تحرک پذیری الکترون بوده و در نتیجه چگالی جریان PMOS از NMOS کمتر است، برای برقراری شرط تقارن پهنای ترانزیستور PMOS حدود ۳/۵ برابر از NMOS انتخاب می‌شود[۲۰].



شکل ۲-۹ منحنیVTC وارون‌کننده استاتیک[۲۱]

برای اینکه حلقه‌ی شامل وارون‌کننده‌ها نوسان کند، به شیفت فازی به مقدار 2π و بهره‌ی ولتاژی به اندازه‌ی یک نیاز دارد. 180° به وسیله اختلاف فاز ناشی از فیدبک (درین ترانزیستور آخر با گیت ترانزیستور نخست) حاصل شده[۱۳] و باقیمانده‌ی شیفت فاز روی هر کدام از طبقه‌ها به اندازه π/N تقسیم می‌شود، به این معنا که برای ایجاد این اختلاف فاز به تعداد فردی از طبقه‌های تاخیر تک‌سر نیاز است. شکل۲-۱۰یک نوسان‌ساز حلقوی متشکل از پنج طبقه تاخیر تک سر را در دو وضعیت (الف) متشکل از گیت‌های NOT و (ب) مدار آنالوگ آن نشان می‌دهد. زمان تاخیر صعود و نزول و فرکانس نوسان یک نوسان‌ساز حلقوی تک‌سر در رابطه‌های زیر نشان داده شده است[۲۱].

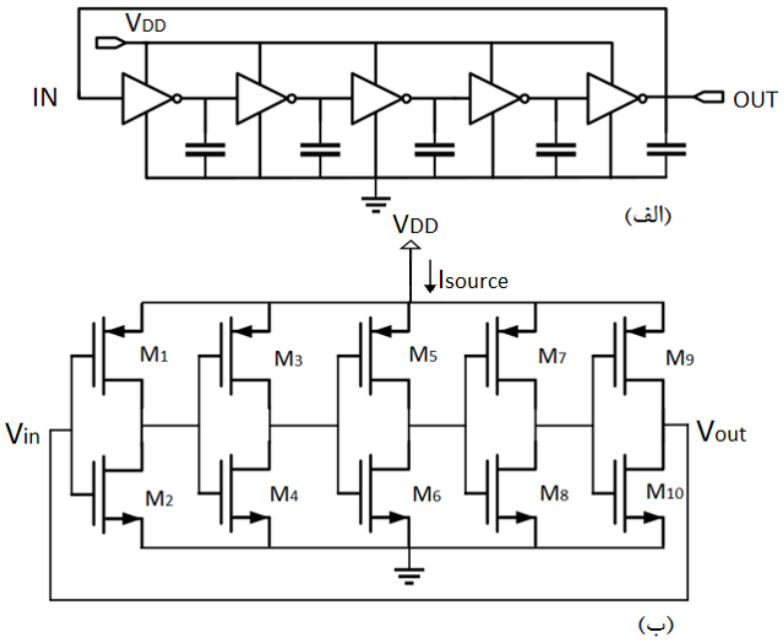
$$t_{PD_rise} = \frac{C_{load} \cdot V_M}{I_{source}} \qquad (۶-۲)$$

$$t_{PD_fall} = \frac{C_{load} \cdot (V_{DD} - V_M)}{I_{source}} \qquad (۷-۲)$$

$$f_{osc} = \frac{1}{N \cdot (t_{PD_rise} + t_{PD_fall})} = \frac{I_{source}}{N \cdot C_{load} \cdot V_{DD}} \qquad (۸-۲)$$

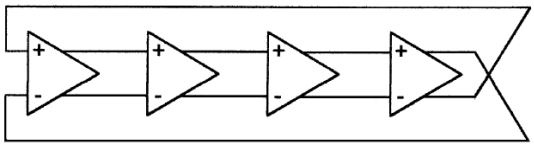
که I_{source} جریان تغذیه زنجیره وارون‌کننده، V_M ولتاژ نقطه‌ی کلیدزنی، C_{load} خازن دیده شده از گره خروجی و N تعداد طبقه‌ها در نوسان‌ساز می‌باشند. از رابطه (۲-۵) می‌توان دریافت که فرکانس یک نوسان‌ساز حلقوی با تعداد طبقه‌های وارون‌کننده ارتباط معکوس و رابطه‌ی مستقیم با جریانI_{source}

دارد. در نتیجه پایداری I_{source} با دما در پایداری فرکانس خروجی تاثیر بسیاری خواهد داشت.

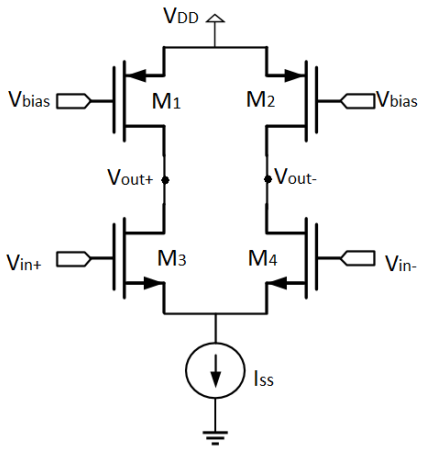


شکل ۲-۱۰ نوسان‌ساز حلقوی متشکل از (الف) پنج طبقه گیتNOT ، (ب) مدار آنالوگ وارون‌کننده

نوع دیگری از طبقه‌های تاخیر به نام وارون‌کننده‌های دیفرانسیلی نیز برای ساخت نوسان‌ساز حلقوی مورد استفاده قرار می‌گیرند که در صورت به کار بردن این نوع، می‌توان تعدادی زوج از وارون-کننده‌ها را برای طراحی نوسان‌ساز حلقوی در کنار هم قرار داد[۲۲]. شکل ۲-۱۱ یک نوسان‌ساز حلقوی دیفرانسیلی و شکل ۲-۱۲ نیز مدار داخلی یک طبقه تاخیر دیفرانسیلی را نشان می‌دهد.

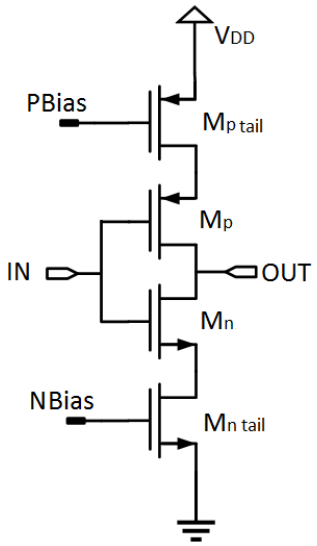


شکل ۲-۱۱ نوسان‌ساز حلقوی دیفرانسیلی[۲۲]



شکل۲-۱۲ طبقه تاخیر دیفرانسیلی

ساختار دیگری از طبقه‌ی تاخیر به نام وارون‌کننده‌ی Current Starved نیز در طراحی نوسان سازهای حلقوی مورد استفاده قرار می‌گیرد[۲۳]. با توجه به بررسی‌های انجام شده[۲۴]، می‌توان گفت به طور کلی نویز فاز در نوسان‌ساز دیفرانسیلی دارای کمترین مقدار و در وارون‌کننده‌ی ساده بیشترین مقدار را داشته است. نویز فاز نوسان‌ساز حلقوی شامل وارون‌کننده‌هایCurrent Starved در مقایسه با مقدار نویز فاز در وارون‌کننده‌ی ساده کمتر و بیشتر از نویز فاز نوسان‌ساز متشکل از طبقه‌های تاخیر دیفرانسیلی است. در شکل۲-۱۳ یک وارون‌کننده Current Starved نشان داده شده است.



شکل۲-۱۳ وارون‌کننده‌ی Current Starved

با توجه به اینکه رفتار فرکانس خروجی این نوسان‌سازها نسبت به دما، وابسته به رفتار پارامترهای ترانزیستور و جریان نوسان‌ساز به دما است، پس جهت جبران‌سازی دمایی نوسان‌سازهای حلقوی نیازمند جریانی هستیم که رفتار دمایی آن‌ها از پیش تعیین شده باشد. بنابراین در ادامه به معرفی انواع جریان و ولتاژ مستقل و وابسته به دما خواهیم پرداخت.

۲-۴ مراجع ولتاژ بندگپ

انرژی شکاف باند یا بندگپ مقدار انرژی است که یک الکترون به آن نیاز دارد تا از باند ظرفیت به باند هدایت انتقال پیدا کند. انرژی بندگپ نیمه‌هادی‌ها با افزایش دما کاهش می یابد. این اثر با ضریب انبساط[۱] خطی یک ماده سنجیده می‌شود. افزایش فضای درون‌اتمی پتانسیل الکترون‌ها در ماده را کاهش داده که موجب کاهش اندازه انرژی بندگپ می‌شود. رابطه‌ی انرژی بندگپ با دما که در شرایط آزمایشگاه اندازه‌گیری شده است، در عبارت (۲-۹) آمده است. مقادیر E_{g0} ، α و β نیز برای نیمه‌هادی‌های ژرمانیوم، سیلیکون و گالیوم ارسناید در جدول ۱-۲ آورده شده است.

$$E_g(T) = E_{g0} - \frac{\alpha T^2}{T+\beta} \qquad (۲-۹)$$

جدول ۱-۲ ضرایب رابطه انرژی بندگپ برای ژرمانیوم، سیلیکون، گالیوم ارسناید[۲۵]

	Germanium	Silicon	GaAs
$E_g(0)[eV]$	۰/۷۴۳۷	۱/۱۶۶	۱/۵۱۹
$\alpha[eV/K]$	۰/۰۰۰۴۷۷	۰/۰۰۰۴۷۳	۰/۰۰۰۵۴۱
$\beta[K]$	۲۳۵	۶۳۶	۲۰۴

[۱] Expansion Coefficient

در بازه دمایی $-40\,^{\circ}C$ تا $200\,^{\circ}C$ با درصد خطایی در حد $\pm 1/5$ meV ، رابطه‌ی (۲-۹) را می‌توان به صورت خطی هم بیان نمود. در عبارت (۲-۱۰) رابطه‌ی انرژی بندگپ نسبت به دما نشان داده شده است.

$$E_g = E_{g0} - mT = 1.20585 - 2.745 \times 10^{-4}T \qquad (۲-۱۰)$$

در نتیجه به طور تقریبی می‌توان گفت در دمای صفر کلوین مقدار انرژی مورد نیاز الکترون برای پرش از باند انرژی ظرفیت به باند هدایت به مقدار ۱/۲۰۵۸۵ الکترون ولت است. به دلیل اینکه مقدار ولتاژ مرجع در مراجع ولتاژ بندگپ ضریبی از انرژی شکاف باند سیلیکون است، به آن‌ها مرجع ولتاژ بندگپ گفته می‌شود.

ارائه مدار مرجع بندگپ در سال ۱۹۷۱توسط ویدلر نقطه عطفی در طراحی و ساخت مراجع ولتاژ بوجود آورد[۲۶]. این طرح نخستین مدار مرجع تجاری بود که عدد نویز و عملکرد بهتری از دیود زنر داشت. ایده‌ی ویدلر مبتنی بر ترانزیستورهای BJT است که از ضریب حرارتی منفی ولتاژ بیس-امیتر یک ترانزیستور به اضافه‌ی ضریب حرارتی مثبت اختلاف ولتاژ بیس-امیتر دو ترانزیستور با چگالی جریان‌های متفاوت یک مرجع ولتاژ با ضریب حرارتی صفر تولید می‌کند. مقدار ولتاژ مرجع در این مدار به اندازه ۱/۲۰۵ الکترون ولت یعنی مقدار انرژی شکاف باند سیلیکون است. کارل کویجک دو سال بعد مداری شامل یک تقویت کننده عملیاتی، یک ورق نازک متشکل از شبکه مقاومتی، هشت جفت دیودی، یک طبقه مدار قبل از تقویت کننده و یک امیتر فالوئر ارائه نمود[۲۷]. مرجع دقیقی که مقدار ولتاژ مرجع ۹/۸۸ ولت را تولید می‌کرد و مستقل از دما بود. در[۲۸] مرجع ولتاژ بندگپCMOS با مقدار توان مصرفی در حد میکروووات ارائه گردید که در آن از ترانزیستورهایMOS در ناحیه زیرآستانه به همراه ترانزیستورهای BJT به کار گرفته شده است. همچنین مقدار ولتاژ مرجع بدست آمده به خوبی مستقل از مشخصه‌های هندسی ترانزیستورها، نسبت مقاومت‌ها و مقدار شیب n در ناحیه وارونگی ضعیف ترانزیستور است. درسال ۱۹۹۹ بانبا و همکاران نخستین مدار مرجع ولتاژ CMOS را که با منبع تغذیه

زیر یک ولت عملکرد خوبی داشت ارائه نمودند[۲۹]. ایده این طرح ایجاد مرجع ولتاژ با استفاده از ترکیب دو جریان بود که یکی از آنها دارای نسبتی از ولتاژ دو سر دیود و دیگری دارای نسبتی از ولتاژ حرارتی V_T است. با کپی شدن مجموع این دو جریان روی یک مقاومت با استفاده از آینه‌ی جریان، ولتاژ مرجعی به مقدار ۵۱۵ میلی‌ولت بدست آمد که نسبت به تغییر ولتاژ تغذیه و دما رفتار خوبی نشان داد.

۲-۵ وابستگی‌های دمایی مولفه‌های مهم ترانزیستور

طراحی مدارهای مرجع نه تنها به تکنولوژی و فرایند ساخت مرتبط است بلکه به نوع کاربرد آن هم بستگی دارد. همانطورکه ملاحظات بیشتری جهت افزایش پایداری و دقت در کاربردهای مختلف در نظر گرفته می‌شود، پیچیدگی مدار در راستای جبران اثر انحراف دمایی در مرتبه‌های اول، دوم و حتی سوم زیاد می‌شود. فارغ از درصد پیچیدگی، همه‌ی مدارهای مرجع از ویژگی‌ها و عناصر بنیادی مشترکی برخوردارند. ولتاژ بیس-امیتر ترانزیستورBJT یکی از عناصر مشترک در بیشتر مدارهای جبران-ساز است. یکی دیگر از مولفه‌هایی که در طراحی مدارهای جبران‌ساز مورد استفاده قرار می‌گیرد، ولتاژ آستانه ترانزیستورهای MOS است.

در ادامه قبل از معرفی وابستگی‌های دمایی مولفه‌های مهم به تعریف رابطه ضریب حرارتی پرداخته خواهد شد. سپس ضرایب حرارتی ولتاژ بیس-امیتر ترانزیستور BJT که به وسیله‌ی جریان کلکتور بایاس شده است، بیان شده و در ادامه وابستگی دمایی اختلاف ولتاژ بیس-امیتر دو ترانزیستور BJT بررسی می‌شود. در آخر ولتاژ آستانه ترانزیستور MOS مورد بحث قرار خواهد گرفت.

۲-۵-۱ ضریب حرارتی یک کمیت مرجع

قبل از توضیح وابستگی کمیت‌های مختلف، توضیح مفهوم ضریب حرارتی یک متغیر یا به

اختصار TC[1] ضروری به نظر می‌رسد. مقدار این کمیت نشاندهنده‌ی میزان پایداری متغیر مورد نظر مانند ولتاژ یا جریان نسبت به دما است. کمتر بودن مقدار این ضریب، نشان از پایداری حرارتی بیشتر دارد. به طور کلی ضریب حرارتی یک کمیت مرجع را می‌توان به شکل رابطه (۲-۱۱) تعریف کرد:

$$\mathrm{TC(Reference)} = \frac{1}{\mathrm{Reference}} \cdot \frac{\partial \mathrm{Reference}}{\partial \mathrm{Temperature}} \qquad (۲-۱۱)$$

معمولاً این ضریب در 10^6 ضرب شده و با واحد ppm/°C [2] نشان داده می‌شود. همچنین با ضرب عدد به دست آمده از رابطه (۲-۱۱) در ۱۰۰، درصد تغییرات حاصل می‌گردد. از رابطه (۲-۱۲) برای بدست آوردن ضریب حرارتی فرکانس نوسان‌ساز استفاده می‌شود.

$$\mathrm{TC} = \frac{1}{\mathrm{f_{central}}}\left[\frac{\mathrm{f_{max}} - \mathrm{f_{min}}}{\mathrm{T_{max}} - \mathrm{T_{min}}}\right] \times 10^6 \qquad (۲-۱۲)$$

۲-۵-۲ وابستگی دمایی ولتاژ بیس-امیتر

جریان کلکتور یک ترانزیستور دوقطبی npn با ولتاژ بیس-امیتر آن رابطه‌ای نمایی دارد[۳۰] که عبارت است از:

$$\mathrm{I_C} = \mathrm{I_S} \exp\left(\frac{\mathrm{V_{BE}}}{\mathrm{nV_T}}\right) \qquad (۲-۱۳)$$

از رابطه (۲-۱۳) ولتاژ بیس-امیتر را به این صورت می‌توان بدست آورد :

$$\mathrm{V_{BE}} = \mathrm{V_T} \ln\left(\frac{\mathrm{I_C}}{\mathrm{I_S}}\right) = \frac{\mathrm{kT}}{\mathrm{q}} \ln\left(\frac{\mathrm{I_C}}{\mathrm{J_S A}}\right) \qquad (۲-۱۴)$$

که I_C جریان کلکتور، I_s جریان اشباع ترانزیستور، J_S چگالی جریان ترانزیستور، A سطح امیتر، k ثابت

[1] Temperature Coefficient

[2] Part Per Million Per Degree

بولتزمان، q بار یک الکترون، T متغیر دما و V_T ولتاژ حرارتی است که در دمای اتاق ۲۶ میلی‌ولت می‌باشد. با توجه به اینکه جریان اشباع ترانزیستور متشکل از پارامترهایی است که برخی از آن‌ها دارای وابستگی‌های مستقیم و یا معکوس با دما هستند، جهت بررسی ولتاژ بیس-امیتر از منظر دقیق‌تر، دررابطه‌ی (۲-۱۵) مولفه‌های دمایی آن نشان داده شده‌اند[۳۱] :

$$V_{BE} = V_{g0} - \frac{T}{T_r}\left[V_{g0} - V_{BE}(T_r)\right] - [(4-m)-x]V_T \ln\left(\frac{T}{T_r}\right) \qquad (۲-۱۵)$$

که در این رابطه T متغیر دما و T_r دمای مرجع است که معمولاً $۳۰۰^{\circ}K$ در نظر گرفته می‌شود، V_{g0} مقدار ولتاژ پیوند PN در دمای صفر کلوین است و برابر با E_{g0}/q می‌باشد. مقدار m وابسته به فرایند ساخت بوده و در انواع تکنولوژی‌های افزاره‌های نیمه‌هادی متفاوت است. همچنین x کمیتی حقیقی است که با توجه به هدف طراحی و نوع جبران‌سازی انتخاب می‌گردد. عبارت (۲-۱۵) نشان می‌دهد که وابستگی دمایی ولتاژ بیس-امیتر شامل سه جمله است، اگر $x = 4 - m$ انتخاب شود جمله‌ی سوم عبارت (۲-۱۵) حذف می‌شود و رابطه‌ی شامل دو بخش اول عبارت است از :

$$V_{BE} \approx V_{g0} - \frac{T}{T_r}\left[V_{g0} - V_{BE}(T_r)\right] \qquad (۲-۱۶)$$

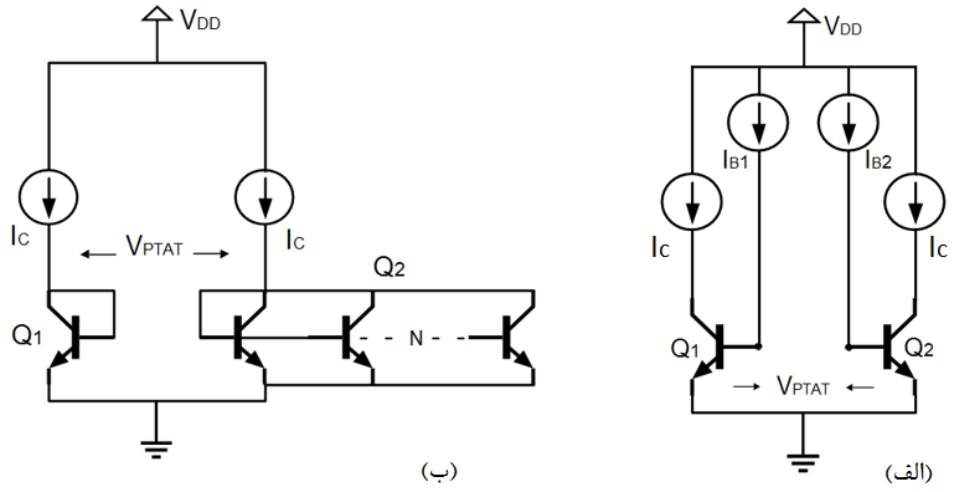
که از این رابطه برای تقریب مرتبه اول در طراحی استفاده می‌شود.

۲-۵-۳ وابستگی دمایی اختلاف دو ولتاژ بیس-امیتر

با توجه به قسمت (الف) شکل ۲-۱۵ [۳۱]، برای محاسبه‌ی ضریب دمایی اختلاف دو ولتاژ بیس-امیتر، فرض شده است که ترانزیستورهای Q_1 و Q_2 یکسان بوده و دارای جریان‌های بایاس برابر باشند، با توجه به رابطه‌ی (۲-۱۴) می‌توان گفت :

$$V_{PTAT} = V_{BE1} - V_{BE2} = V_T \ln\left(\frac{I_{C1}}{A_1 J_s}\frac{A_2 J_s}{I_{C2}}\right) = \frac{kT}{q}\ln\left(\frac{A_2}{A_1}\right) \qquad (۲-۱۷)$$

در بسیاری از طراحی‌ها ترانزیستور Q_2 را به صورت ترکیب موازی از N ترانزیستور مشابه Q_1 پیاده‌سازی



شکل ۲-۱۵ تولید ولتاژPTAT

نموده(شکل۲-۱۵(ب)) و از جریان بیس صرف‌نظر می‌شود. در این صورت مقدار عبارت $\ln(A_2/A_1) = \ln N$ و در نتیجه ولتاژ PTAT به این شکل قابل بازنویسی است :

$$V_{PTAT} = V_T \ln N = \left(\frac{kT}{q}\right) \ln N \qquad (۱۸-۲)$$

از این رو مدار قسمت (ب) شکل ۲-۱۵ ولتاژی تولید می‌کند که با تغییر دما رابطه مستقیم دارد. این ساختار رایج‌ترین ساختار برای تولید ولتاژ PTAT است.

۲-۵-۴ وابستگی دمایی ولتاژ آستانه‌ی ترانزیستورMOS

یکی از پارامترهای دیگر ترانزیستورها که وابسته به دما می‌باشد، ولتاژ آستانه ترانزیستورهای MOS است. ولتاژ آستانه‌ی ترانزیستور MOS به صورت زیر تعریف می‌شود[۳۰]:

$$V_{TH} = \emptyset_{ms} \pm \frac{Q_{ss}}{C_{ox}} + 2\emptyset_F + \Delta V_T(N_i, d_i) \pm \qquad (۱۹-۲)$$

$$\gamma(N_s, t_{ox}, L, W)\sqrt{2\emptyset_F + V_0 + |V_{SB}|}$$

که علامت مثبت مربوط به ترانزیستور NMOS و علامت منفی مربوط به ترانزیستور PMOS است. $\emptyset_{ms}$ اختلاف تابع کار فلز-نیمه‌هادی(گیت-نیمه‌هادی)، Q_{ss} چگالی بار حالت سطح نیمه‌هادی در واحد سطح، $\emptyset_F$ پتانسیل فرمی بستر، $\Delta V_T(N_i, d_i)$ تغییر ولتاژ آستانه به علت حامل‌های کاشته‌شده در کانال N_i و عمق آن d_i است. γ نیز ثابت اثر بدنه است که به میزان تزریق حامل‌ها در بستر N_s، ضخامت اکسید گیت t_{ox}، طول کانال L و عرض کانال W وابسته است. V_0 تابعی از N_s ، N_i و d_i بوده و ترم اصلاح‌کننده مرتبط با تغییر ولتاژ آستانه ناشی از تغییر حامل‌های کاشته شده در کانال می‌باشد. در افزاره‌های افزایشی با تغییر میزان یون‌های کاشته شده‌ی مشابه بستر به مقدار ΔV_T ، V_0 علامتی مخالف $\emptyset_F$ دارد. اصلی‌ترین عامل ایجاد تغییر ولتاژ آستانه با دما پتانسیل فرمی $\emptyset_F$ و اختلاف تابع کار گیت-نیمه‌هادی $\emptyset_{ms}$ است. پتانسیل فرمی نیز عبارت است از[۳۰] :

$$\emptyset_F(T) = \pm \frac{kT}{q} \ln\left(\frac{n_c}{n_i(T)}\right) \qquad (۲۰-۲)$$

که n_c غلظت حامل‌های اقلیت و n_i غلظت حامل‌های ذاتی است و چگالی حامل‌های اقلیت در نیمه‌هادی نوع n از جنس اتم‌های دهنده N_D و در نیمه‌هادی نوع p از جنس پذیرنده N_A می‌باشد. برای یک گیت سیلیکونی که با حامل‌هایی مخالف نیمه‌هادی بستر تزریق شده است، پتانسیل اتصال به وسیله‌ی رابطه‌ی یک نیمه‌هادی نوع p-n قابل تعریف است. پس برای یک گیت تزریق شده با حامل‌های نوع n، تابع کار گیت-نیمه‌هادی عبارت است از[۳۲] :

$$\emptyset_{ms}(T) = \begin{cases} -\frac{kT}{q}\ln\left(N_s N_p / n_i^2\right) & (NMOS) \\ -\frac{kT}{q}\ln\left(N_s / N_p\right) & (PMOS) \end{cases} \qquad (۲۱-۲)$$

که N_s غلظت حامل‌ها در نیمه‌هادی و N_p غلظت حامل‌ها در گیت پلی‌سیلیکونی است. اگر از رابطه‌ی (۲-۱۹) با در نظر داشتن این مسئله که مولفه‌های اصلی وابستگی دمایی ولتاژ آستانه ترانزیستور MOS پتانسیل فرمی $\emptyset_F$ و تابع کار گیت-نیمه‌هادی $\emptyset_{ms}$ است، نسبت به دما مشتق گرفته شود ضریب حرارتی

ولتاژ آستانه αV_T عبارت است از:

$$\left|\alpha V_T\right| = \left|\frac{\partial V_{TH}}{\partial T}\right| = \left|\frac{\partial \emptyset_{ms}}{\partial T} + 2\frac{\partial \emptyset_F}{\partial T} + \frac{\gamma}{\sqrt{2\emptyset_F + V_0 + |V_{SB}|}}\frac{\partial \emptyset_F}{\partial T}\right| \quad (۲۲-۲)$$

برای گیت تزریق شده با حامل‌های n، مشتق تابع کار گیت-نیمه‌هادی می‌توان گفت :

$$\frac{\partial \emptyset_{ms}}{\partial T} = \frac{1}{T}\left(\emptyset_{ms} + V_{g0} + \frac{3kT}{q}\right) \quad (۲۳-۲)$$

و مشتق پتانسیل فرمی نسبت به دما نیز عبارت است از :

$$\frac{\partial \emptyset_F}{\partial T} = \frac{1}{T}\left(\emptyset_F - \left(\frac{V_{g0}}{2} + \frac{3kT}{2q}\right)\right) \quad (۲۴-۲)$$

بنابراین می‌توان ضریب حرارتی ولتاژ آستانه را در رابطه (۲-۲۵) بدست آورد :

$$\left|\alpha V_T\right| = \left|\frac{\partial V_{TH}}{\partial T}\right| = \left|\frac{\emptyset_{ms}}{T} + 2\frac{\emptyset_F}{T} + \frac{\gamma}{\sqrt{2\emptyset_F + V_0 + |V_{SB}|}}\right| \quad (۲۵-۲)$$

با توجه به رابطه (۲-۲۳)، مشتق تابع کار گیت-نیمه‌هادی، در عمل و در محدوده‌ی دمایی ۲۰۰ تا ۴۰۰ درجه کلوین تغییرات ضعیفی نسبت به دما نشان می‌دهد. در این بازه‌ی دمایی ولتاژ آستانه کاهشی نسبتاً خطی با دما دارد [۳۲]. ولتاژ آستانه‌ی ترانزیستور MOS را به صورت تابعی از دما با استفاده از رابطه‌ی (۲-۲۶) نشان می‌دهند:

$$V_{TH}(T) = V_{TH}(T_0) + \alpha_{VT}(T - T_0) \quad (۲۶-۲)$$

که α_{VT} مقداری منفی و تقریباً ثابت است و مقدار دقیق آن به فرایند ساخت تکنولوژی بستگی داشته و نسبت به دما تغییراتی برابر $-1\ mV/^\circ C$ تا $-4\ mV/^\circ C$ دارد[۳۳] . در تکنولوژی CMOS مدرن این رقم نزدیک به $-0/8\ mV/^\circ C$ است. اگرچه α_{VT} ثابت فرض می‌شود اما مولفه‌هایی روی آن تاثیرگذار هستند[۳۴] . همانطور که رابطه‌ی (۲-۲۵) نشان می‌دهد مقدار $|\alpha_{VT}|$ به مقدار $|V_{SB}|$ وابسته است.

هرچه ولتاژ بایاس روی $|V_{SB}|$ بیشتر باشد مقدار $|\alpha_{VT}|$ کوچکتر خواهد بود و طول کانال ترانزیستور نیز روی $|\alpha_{VT}|$ موثر است. برای ترانزیستورهای طول کوتاه $|\alpha_{VT}|$ کمتر است. به این دلیل که بخشی از بارهای ناحیه‌ی تخلیه که در تشکیل کانال نقش دارند به جای گیت، از سورس و درین هم تخلیه می‌شوند. این اثر منجر به کاهش γ یا اثر بدنه شده که موجب کاهش $|\alpha_{VT}|$ نیز خواهد شد. پهنای ترانزیستور نیز روی رفتار دمایی آن موثر است، افزاره باریک‌تر دارای اثر بدنه‌ی بیشتری است و در نتیجه $|\alpha_{VT}|$ را افزایش خواهد داد[۳۴]. با توجه به نکاتی که در مورد وابستگی دمایی پارامترهای ترانزیستور بیان شد، اکنون به بررسی انواع مراجع جریان پرداخته می‌شود.

۲-۶ مراجع جریان

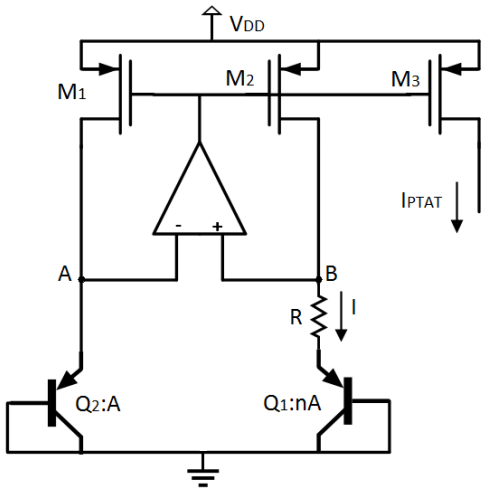
منابع جریان بخشی ضروری از اجزای مدارهای آنالوگ و دیجیتال است. تقویت‌کننده‌ها، حلقه-های قفل فاز، نوسان‌سازها تعدادی از کاربردهایی است که از منابع جریان استفاده می‌کنند. در رابطه‌ی فرکانس نوسان‌ساز حلقوی مشاهده شد که فرکانس نوسان رابطه‌ای مستقیم با جریان بایاس حلقه دارد، در نتیجه عملکرد منبع جریانی که جریان بایاس را تولید می‌کند روی عملکرد نوسان‌ساز موثر خواهد بود. یعنی نحوه‌ی تغییر آن با مولفه‌هایی مانند دما، نویز، فرایند ساخت و تغییرات منبع تغذیه روی فرکانس نوسان تاثیر خواهد داشت. از آنجایی که پایداری دمایی نوسان‌ساز حلقوی مورد بررسی است، در ادامه سه نوع متداول از منابع جریان PTAT، CTAT و مستقل از دما معرفی خواهد شد.

۲-۶-۱ مرجع جریان PTAT[۱]

مفهوم PTAT بودنِ یک کمیت به معنای داشتن رابطه‌ی مستقیم با دما برای آن کمیت است. پس در منبع جریان PTAT، جریان مرجع با دما دارای نسبت خطی و مستقیم است. به عبارتی با

[۱] Proportional to absolute temperature

افزایش دما، جریان هم افزایش می‌یابد. با اعمال یک ولتاژPTAT روی یک مقاومت امکان تولید این نوع جریان وجود دارد. در شکل (۲-۱۶) یک ساختار تولیدکننده‌ی مرجع جریان PTAT با استفاده از تقویت کننده‌ی عملیاتی نشان داده شده است[۳۵].



شکل ۲-۱۶ مرجع جریان PTAT

با توجه به رابطه‌های (۲-۱۴) و (۲-۱۷) اختلاف ولتاژ میان V_{EB1} و V_{EB2} در شکل ۲-۱۶ به صورت رابطه‌ی (۲-۲۷) قابل محاسبه است:

$$V_{EB1} - V_{EB2} = V_T \ln\left(\frac{I_{C1}}{J_S A_1}\frac{J_S A_2}{I_{C2}}\right) = \frac{kT}{q}\ln\left(\frac{I_{C1}}{A_1}\frac{A_2}{I_{C2}}\right) \qquad (۲-۲۷)$$

که I_{C1} و I_{C2} جریان‌های کلکتور ترانزیستورهای Q_1 و Q_2 هستند. از رابطه (۲-۲۷) می‌توان دریافت اختلاف ولتاژ بیس-امیتر دو ترانزیستور با دما (T) نسبت مستقیم دارد. مزیت استفاده از این ساختار تولیدکننده‌ی جریان PTAT این است که در تقریب درجه یک، مستقل از منبع تغذیه است. اگرچه استفاده از تقویت کننده عملیاتی موجب افزایش مصرف توان خواهد شد.

در این ساختار، آپ‌امپ ولتاژ هر دو گره‌ی A و B را در مقدار V_{EB2} یکسان نگه می‌دارد. با استفاده از رابطه‌ی (۲-۲۷) می‌توان نوشت :

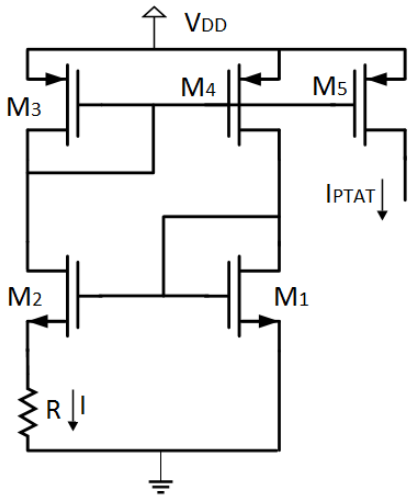
$$IR = V_{EB1} - V_{EB2} = \frac{kT}{q} \ln\left(\frac{I_{C1}}{A_1}\frac{A_2}{I_{C2}}\right) \qquad (۲۸-۲)$$

در نتیجه با توجه به یکسان بودن ابعاد M_1 و M_2 جریان آینه شده در ترانزیستور M_3 یک جریان PTAT با رابطه‌ی (۲-۲۹) خواهد بود :

$$I_{PTAT} = \frac{kT}{qR}\frac{(w/l)_3}{(w/l)_2} \ln n \quad , \quad \left(n = \frac{A_{E1}}{A_{E2}}\right) \qquad (۲۹-۲)$$

البته می‌توان از یک منبع جریان کسکود هم بجای تقویت کننده عملیاتی و ترانزیستورهای M_1 و M_2 استفاده نمود[۳۶] .

جریان PTAT را با استفاده از ترانزیستورهای ماسفت نیز می‌توان پیاده‌سازی کرد [۳۵]. شکل ۲-۱۷ یکی از مدارهایی که با استفاده از ترانزیستورهای ماسفت این جریان را تولید می‌کند، نشان می‌دهد.



شکل ۲-۱۷ مرجع جریان PTAT با استفاده از ترانزیستورهای MOS

آینه جریانی با ضریب یک در تمام شاخه‌ها جریانی مساوی را تولید می‌کند. اگر یک KVL در حلقه‌ی پایین مدار بنویسیم خواهیم داشت :

$$IR = V_{GS1} - V_{GS2} \quad (۳۰-۲)$$

در نتیجه جریان PTAT برابر است با :

$$I_{PTAT} = I = \frac{V_{GS1} - V_{GS2}}{R} \quad (۳۱-۲)$$

قابل ذکر است که M_1 و M_2 در ناحیه‌ی زیرآستانه می‌توانند جریانPTAT تولید کنند که در ادامه رابطه‌ی جریان تولید شده بررسی خواهد شد. در ناحیه زیرآستانه، ترانزیستور MOS مانند یک ترانزیستور دوقطبی عمل کرده و جریان درین به صورت نمایی با ولتاژ V_{GS} تغییر می‌کند. ولتاژ V_{GS} یک ترانزیستورMOS در ناحیه‌ی زیرآستانه را می‌توان به صورت زیر نوشت[۳۷]:

$$V_{GS} = \eta V_T \ln\left(\frac{I_D}{(\frac{W}{L})I_t}\right) + V_{TH} - \eta V_T \ln\left(1 - e^{-\frac{V_{DS}}{V_T}}\right) \quad (۳۲-۲)$$

که η و I_t مولفه‌هایی وابسته به فرایند ساخت هستند، $\frac{W}{L}$ نسبت پهنا به طول ترانزیستور وV_{DS} ولتاژ درین-سورس است. مادامی که V_{DS} سه تا چهار برابر ولتاژ حرارتی باشد، می‌توان از بخش دوم رابطه (۲-۳۲) صرف‌نظر کرد، در نتیجه :

$$V_{GS} = \eta V_T \ln\left(\frac{I_D}{(\frac{W}{L})I_t}\right) + V_{TH} \quad (۳۳-۲)$$

حال با جایگزین کردن رابطه (۲-۳۳) در (۲-۳۱) رابطه نهایی جریانPTAT بدست می‌آید :

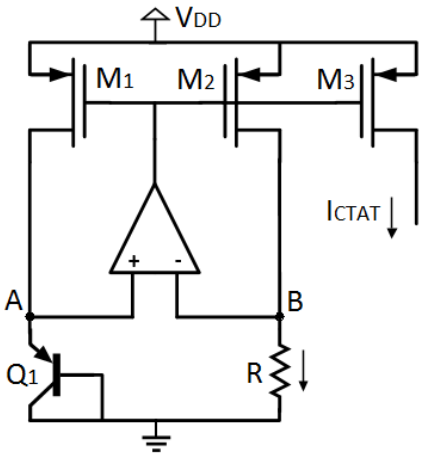
$$I_{PTAT} = \frac{\eta V_T}{R} \ln\left(\frac{(W/L)_2}{(W/L)_1}\right) \quad (۳۴-۲)$$

از رابطه (۲-۳۴) می‌توان دریافت که جریان با دما نسبت مستقیم دارد. یکی از معایب این مدار با ترانزیستورهای M_1 و M_2 در زیرآستانه، محدودیت بازه دمایی است. در دماهای بالا پدیده‌ی جریان‌های نشتی عملکرد مدار را دچار مشکل می‌کنند. جریان‌های نشتی به دلیل حرکت حامل‌های

بار از درین به سورس حتی در غیاب ولتاژ گیت، ایجاد می‌شوند و به آن جریان خاموشی هم گفته می‌شود. این جریان با دما رابطه مستقیم داشته و با افزایش دما افزایش پیدا می‌کنند[۳۸, ۳۹].

۲-۶-۲ مرجع جریان CTAT[۱]

مفهوم CTAT به معنای داشتن رابطه معکوس نسبت به دما است. یکی از روش‌های ساده‌ای که برای تولید این نوع جریان به ذهن می‌رسد، قراردادن ولتاژCTAT در دو سر یک مقاومت است. از[۳۰]، [۳۳]،[۳۶] می‌دانیم که ضرایب حرارتی ولتاژ بیس-امیتر ترانزیستورBJT و ولتاژ آستانه ترانزیستورMOS با دما نسبت عکس دارند و می‌توان از آنها برای تولید جریان CTAT استفاده نمود. مدار شکل (۲-۱۸) یکی از روش‌های پیاده‌سازی را نشان می‌دهد[۳۵].



شکل۲-۱۸ مرجع جریان CTAT با استفاده از V_{BE}

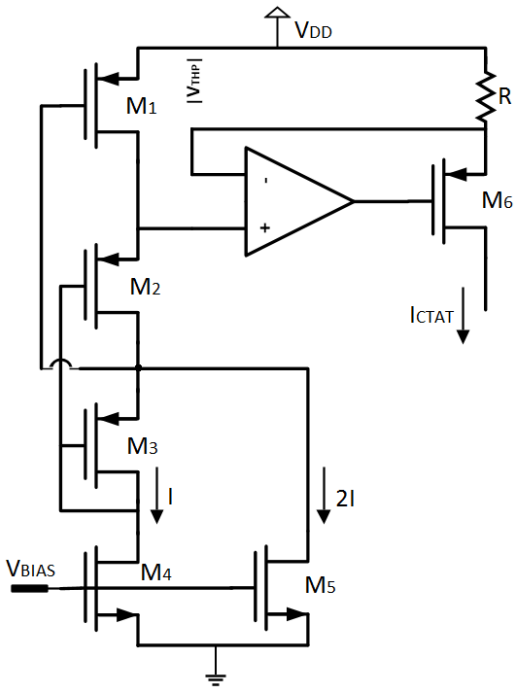
در این مدار آپ‌امپ ولتاژ گره‌های A و B را برابر با V_{EB1} نگه می‌دارد و ترانزیستور M_3 جریان شاخه مقاومت R (درین M_2) را کپی می‌کند. رابطه جریان در این مدار عبارت است از :

[۱] Complementary to absolute temperature

$$I_{CTAT} = \frac{V_{EB}}{R} \qquad (۳۵-۲)$$

از آنجایی که مقدار ضریب دمایی ولتاژ بیس-امیتر در دمای اتاق برابربا $-۲/۲\ mV/^{\circ}C$ است[۴۰]، تولیدجریان CTAT تضمین می‌شود.

ولتاژ آستانه ترانزیستور MOS نمونه‌ای دیگر از ولتاژهایی است که ضریب دمایی منفی دارد و می‌توان از آن در طراحی مدار مرجع جریان CTAT استفاده نمود. در شکل ۲-۱۹ مداری نشان داده شده‌است که در آن ولتاژ آستانه ترانزیستورPMOS، $|V_{THp}|$ برای این منظور استفاده شده‌است[۴۱] و استخراج ولتاژ $|V_{THp}|$ توسط ترانزیستورهای M_3 و M_2 انجام می‌شود[۴۲].



شکل۲-۱۹مرجع جریانCTAT با استفاده از $|V_{THp}|$ [۴۱]

با فرض برابر بودن ولتاژ $|V_{THp}|$ همه‌ی ترانزیستورهایPMOS، می‌توان برای ولتاژ درین-سورس M_1 نوشت:

$$V_{SD1} = V_{SG1} - V_{SD2} \qquad (۳۶-۲)$$

در این ساختار M_3 همواره در ناحیه اشباع و M_2 در ناحیه خطی است و V_{SD2} به شکل زیر بیان می‌شود[۴۳]:

$$V_{SD2} = \sqrt{2I}\left(\sqrt{\frac{1}{K_3}+\frac{3}{K_2}}-\sqrt{\frac{1}{K_3}}\right) \quad (۳۷-۲)$$

که در آن ۳و۱،۲=i و $K_i = \mu_P C_{ox}(W/L)_i$ می‌باشد. ابعاد ترانزیستور M_1 نیز می‌بایست سه برابر ترانزیستورهای M_2 و M_3 انتخاب شده و به عبارتی $K_2 = K_3 = K_1/3$ باشد. حال با جایگزین کردن (۳۷-۲) در (۳۶-۲) ولتاژ درین-سورس M_1 برابر است با :

$$V_{SD1} = |V_{THp}| + \sqrt{\frac{6I}{3K_3}} - \sqrt{\frac{2I}{K_3}+\frac{6I}{K_3}} + \sqrt{\frac{2I}{K_3}} = |V_{THp}| \quad (۳۸-۲)$$

و جریان CTAT از قراردادن ولتاژ آستانه‌ی ترانزیستور PMOS دوسر مقامت حاصل می‌شود و برابر است با :

$$I_{CTAT} = \frac{|V_{THp}|}{R} \quad (۳۹-۲)$$

یک ایراد این مدار این است که ضریب حرارتی ولتاژ آستانه ترانزیستور قدری وابسته به فرایند ساخت بوده و این امر I_{CTAT} را نیز به همان مقدار وابسته به فرایند خواهد کرد. در چهار ساختار مرجع جریان معرفی شده مقاومت یک بخش مهم در ایجاد جریان بوده است. لازم به ذکر است که ضریب حرارتی بیشتر مقاومت‌ها مقداری مثبت است، که در تکنولوژی CMOS، در ساخت مقاومت با استفاده از پلی‌سیلیکون ضرایب حرارتی آن بسیار کوچک در نظر گرفته می‌شود و یا آن‌ها را با استفاده از مقاومت‌های دقیق خارج از تراشه پیاده‌سازی می‌کنند[۱۵]، [۴۴-۴۶].

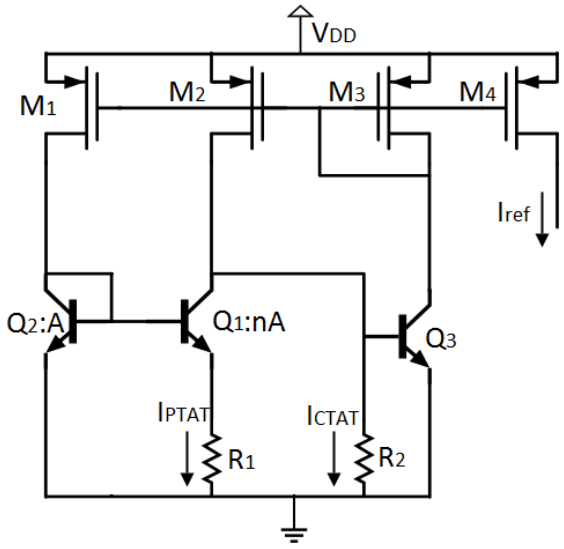
۲-۶-۳ مرجع جریان مستقل از دما

جریان مستقل از دما، از مجموع دو مولفه‌ای که دارای ضرایب حرارتی عکس هم هستند تولید

می‌شود. در این ساختار با استفاده از اختلاف ولتاژ بیس-امیتر ترانزیستورهای Q_1 و Q_2 روی مقاومت R_1 در یک حلقه، جریان PTAT و با استفاده از ولتاژ بیس-امیتر Q_3 روی مقاومت R_2 در حلقه‌ی دیگر، جریان CTAT ایجاد می‌گردد[۳۵]. در شکل ۲-۲۰ مدار تولید جریان مستقل از دما نشان داده شده-است. این مدار ترم‌های مرتبه اول دما را جبران‌سازی می‌کند. جریان PTAT و CTAT به ترتیب در رابطه‌های (۲-۴۰) و (۲-۴۱) نشان داده شده است.

$$I_{PTAT} = \frac{V_T}{R_1} \ln n \qquad (۲-۴۰)$$

$$I_{CTAT} = \frac{V_{BE3}}{R_2} \qquad (۲-۴۱)$$



شکل ۲-۲۰ مدار تولیدکننده جریان مستقل از دما[۳۵]

که جریان I_{ref} مجموع دو جریان I_{PTAT} و I_{CTAT} می‌باشد که با انتخاب مناسب n ، R_1 و R_2 می‌توان ضریب حرارتی آن را صفر نمود تا جریان خروجی حاصل مستقل از دما باشد، همچنین می‌توان از نسبت ابعاد ترانزیستور M_4 به M_3 مقدار جریان مورد نیاز برای I_{ref} را کنترل کرد.

فصل سوم

مروری بر تحقیقات انجام شده

۳-۱ مقدمه

با توجه به پیشرفت‌های صورت گرفته در خصوص ادغام انواع کاربردها با یکدیگر مانند افزاره‌های پوشیدنی و کاشتنی، شبکه‌های حسگر، تله مدیسین و غیره، بهینه نمودن عملکرد اجزای تشکیل دهنده‌ی کاربردهای مدرنی از این قبیل، از الزامات اساسی طراحان و سازندگان به شمار می‌آید. ویژگی‌هایی مانند عمر مفید بالا، مصرف توان پایین، عملکرد صحیح و پایدار در شرایط محیطی مختلف، ملاحظات طراحان را افزایش می‌دهد. نوسان‌سازها از بخش‌های بنیادی کاربردهای مختلف می‌باشند. ساختارهای متنوعی از انواع نوسان‌سازها وجود دارند که هر کدام از آن‌ها برای کاربرد نهایی که در آن مورد استفاده قرار گرفته‌اند بهینه شده و عملکرد آنها در آن شرایط ویژه تقویت شده است. در این فصل پژوهش‌های صورت گرفته در خصوص جبران‌سازی نوسان‌سازها در شرایط دمایی مورد مطالعه و بررسی قرار خواهد گرفت.

۳-۲ مروری بر روش‌های جبران‌سازی دمایی نوسان‌سازهای RC

از آنجایی که نوسان‌سازها نقش مهمی در طراحی مدارهای آنالوگ دارا هستند، دقت فرکانس خروجی و عدم تغییر پارامترهای آن‌ها نسبت به انواع متغیرها همواره محل بحث و تحقیق بوده است. نوسان‌سازهای RC به دلیل مصرف توان پایین و قابلیت مجتمع‌سازی بالا، نسبت به انواع کریستالی و تانک‌های LC ، از گزینه‌های مناسب جهت کاربردهای گوناگون به شمار می‌روند. یکی از مشکلات این نوسان‌سازها پایداری فرکانس آن‌ها نسبت به دما است. در ادامه به توضیح انواع روش‌های ارائه شده برای جبران‌سازی دمایی نوسان‌سازهای RC پرداخته خواهد شد.

۳-۲-۱ جبران‌سازی دمایی نوسان‌سازهای CMOS Relaxation

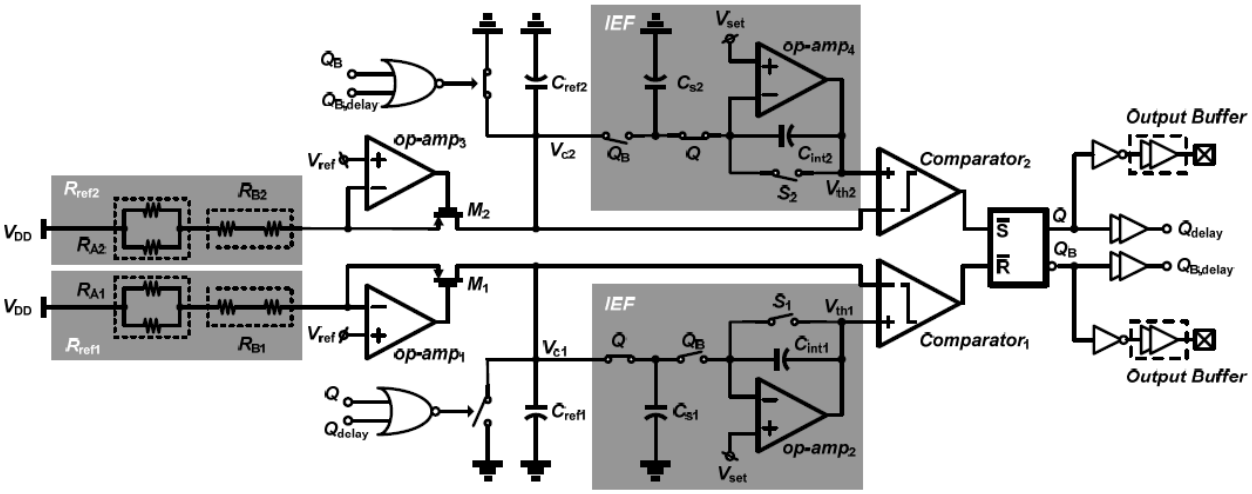
نوسان‌سازهای Relaxation برای کاربردهای مختلفی طراحی شده و مورد استفاده قرار

می‌گیرند. به عنوان نمونه، می‌توان به طراحی‌هایی که برای استفاده در یک حسگر بی‌سیم[۴۷] و یا جهت تولید سیگنال کلاک برای استفاده در ساختار یک ضربان‌ساز[۱]،[۴۸] انجام شده است اشاره نمود.

در[۱۱]، تکنیکی جهت جبران‌سازی دمایی یک نوسان‌ساز Relaxation ارائه شده که در آن با اضافه کردن بلوک فیدبک مجموع خطا[۱](IEF) به جبران‌سازی دمایی مولفه‌های حساس به دما پرداخته است. رابطه فرکانس این نوسان‌ساز عبارت است از $T_{osc} = 2\left[\frac{C_{ref}V_{th}}{(V_{DD}+V_{ref})/R_{ref}} + t_d\right]$، که در آن T_{osc} دوره‌ی تناوب نوسان، C_{ref} خازن مرجع، R_{ref} مقاومت مرجع، V_{ref} ولتاژ مرجع، t_d زمان تاخیر و V_{th} ولتاژ آستانه‌ی مقایسه‌کننده می‌باشد. دو مولفه‌ای که دوره تناوب نوسان را وابسته به تغییرات دما می کنند، R_{ref} و t_d هستند. t_d ناشی از تاخیر ذاتی موجود در مقایسه کننده‌ها و گیت‌های مدار بوده که مولفه‌ی غالب روی تاخیر، مربوط به مقایسه‌کننده‌ها می‌باشد که در محدوده‌ی دمایی $-۲۰^{\circ}C$ تا $۱۰۰^{\circ}C$ تغییر $\pm ۱۳٪$ دارند. داشتن نسبت t_d/T_{osc} کوچکتر از $۱/۴٪$ برای کاهش ضریب حرارتی فرکانس نوسان به زیر $۳۰\ ppm/^{\circ}C$ الزامی است. با توجه به بلوک دیاگرام نوسان‌ساز در شکل ۳-۱ مولفه‌هایی که t_d به آن‌ها ارتباط دارد در این رابطه آمده است ؛ $t_d \propto \sqrt{C_{in}T_{osc}/G_m}$ که در آن C_{in} خازن ورودی لچ SR و G_m ترارسانایی مقایسه‌کننده است. وجود تاخیر t_d باعث می‌شود که خازن C_{s1}، که با شیب $\frac{(V_{DD}-V_{ref})}{R_{ref1}}/C_{ref1}$ در نیم‌پریود سیکل مربوط به مقایسه‌کننده اول، شارژ می‌شود به مقداری بالاتر از مقدار آستانه‌ی معین شده برای مقایسه‌کننده اول یا V_{th1}، برسد. جهش ولتاژ V_{c_peak} بر دوره‌ی تناوب نوسان تاثیر گذاشته و رابطه‌ی دوره‌ی تناوب نوسان $T_{osc} = 2R_{ref}C_{ref}\frac{V_{c_peak}}{(V_{DD}-V_{ref})}$، نشاندهنده‌ی این است که حساسیت دمایی V_{c_peak}و R_{ref} بر پایداری فرکانسی موثر می‌باشند. به محض جهش V_c از V_{th} مقایسه‌کننده با تغییر خروجی در انتهای نیم‌سیکل خود مدار IEF را فعال می‌کند. C_s با نمونه-برداری از V_c، آن را به پایه‌ی منفی آپ‌امپ متصل می‌کند. در نتیجه مقدار V_cبه مقدار V_{set} کاهش

[۱] IEF : Integrated Error Feedback

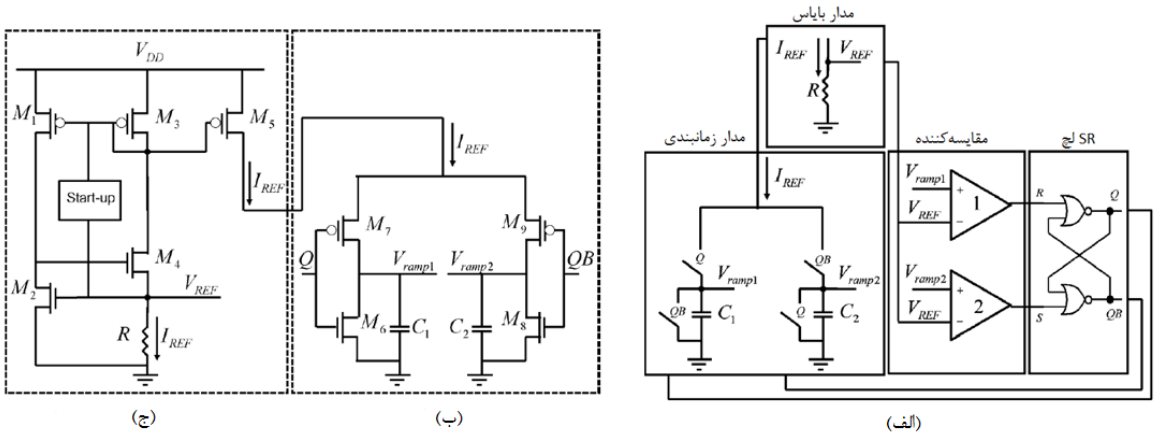
یافته و اختلاف ولتاژ روی خازن C_{int} قرار می‌گیرد که به صورت دینامیک ولتاژ V_{th} را تا برابر شدن V_c با V_{set}، تنظیم می‌کند. به این صورت وابستگی فرکانس خروجی به جهش ولتاژ خازن جبران می‌شود.



شکل۳-۱ بلوک دیاگرام نوسان‌ساز Relaxation [۱۱]

R_{ref} نیز با استفاده از ترکیب موازی و سری R_A و R_B دو مقاومت جبران‌سازی شده است. هر کدام از مقاومت‌ها شامل دو بخش با ضرایب دمایی معکوس هستند تا وابستگی دمایی R_{ref} نیز به این شکل جبران‌سازی شود. این پژوهش در تکنولوژی ۹۰ نانومتر CMOS و در فرکانس ۵۱/۳ مگاهرتز شبیه-سازی شده است. نوسان‌ساز در محدوده‌ی دمایی $-۲۰^{\circ}C$ تا $۱۰۰^{\circ}C$ تغییرات فرکانسی برابر ۲۱/۸ $ppm/^{\circ}C$ از خود نشان داده است.

در نوسان‌ساز Relaxation ارائه شده در[۴۹]، بازه‌ی دمایی بیشتری مد نظر قرار گرفته است. با توجه به افزایش جریان‌های نشتی در دماهای بالا، تکنیکی ارائه شده است تا با کاهش اثر جریان نشتی روی فرکانس خروجی نوسان‌ساز باعث افزایش پایداری آن شود. این نوسان‌ساز شامل مدار مرجع بایاس جریان و ولتاژ، مدار زمان‌بندی خازنی، مقایسه‌کننده و لچ SR می‌باشد و بلوک دیاگرام آن در شکل ۳-۲ (الف) نشان داده شده است.



شکل۳-۲ (الف) بلوک دیاگرام نوسان‌ساز، (ب) مدار زمانبندی، (ج) مدار مرجع جریان و ولتاژ[۴۹]

با توجه به رابطه‌ی دوره‌ی تناوب نوسان که عبارت است از $T_{osc}/2 = V_{ref}C/I_{ref} = RC$، که در آن C مقدار معادل خازن مدار زمانبندی، R مقاومت موجود در مدار بایاس و I_{ref} و V_{ref} به ترتیب جریان و ولتاژ مرجع می‌باشند، می‌توان دریافت فرکانس نوسان متاثر از حساسیت دمایی مقاومت و خازن است. اگرچه وابستگی دمایی خازن نسبت به دما ناچیز و قابل چشم‌پوشی است، اما با بالارفتن دما جریان نشتی مربوط نیمه‌هادی ترانزیستور که متشکل از دو مولفه‌ی جریان نفوذی و رانشی است، به صورت غیرخطی افزایش یافته و موجب کاهش جریان I_{ref} می‌شود. این کاهش، به زمان شارژ خازن افزوده و در نتیجه فرکانس خروجی هم کاهش می‌یابد. محدوده‌ی دمایی این تحقیق از $25^{\circ}C$ تا 180° در نظر گرفته شده است. بدیهی است که جبران‌سازی خازن برای کاهش اثرگذاری دما روی زمان شارژ آن الزامی است. راه‌حل پیشنهاد شده استفاده از خازن‌های متغیر ورکتورMOS (nCap) در ناحیه انباشتگی است که به صورت موازی با خازن‌های MIM مدار قرار می‌گیرد. ظرفیت کل خازن‌ها به وسیله‌ی نسبتی از ولتاژ V_{ref} کنترل می‌شود. به صورتی که با افزایش دما ظرفیت کل کاهش یافته و در نتیجه، فرکانس خروجی افزایش می‌یابد. نسبت دقیق خازن ثابت و متغیر با تکرار طراحی مشخص شده است. در شکل ۳-۲ (ج) مدار تولید کننده‌ی جریان و ولتاژ مرجع یک منبع جریان خود-بایاس است که جریان مرجع تولید شده در آن به دلیل تغییرات دمایی منفی ولتاژ گیت-سورس که روی مقاومت افت کرده است، با افزایش دما کاهش می‌یابد که این مقاومت دارای ضریب حرارتی کوچکی

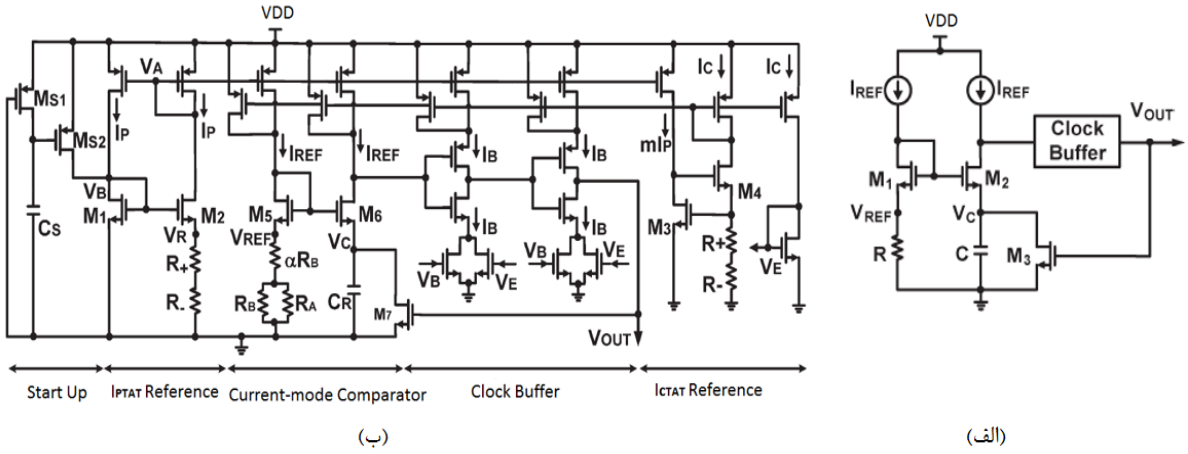
است. با این حال با توجه به رابطه‌ی مستقیم دوره‌ی تناوب نوسان با مقاومت، این مولفه نیز جبران‌سازی شده است.

ایده‌ی کاهش ضریب حرارتی مقاومت، بر پایه‌ی اختلاف ضریب دمایی متعلق به هسته‌ی مقاومت و ضریب حرارتی مربوط به اتصالات[1] در فرایند ساخت تکنولوژی ۰/۱۳ میکرومتر CMOS بنا شده است. در تکنولوژی مورد استفاده در این پژوهش ضریب حرارتی یک اتصال از مرتبه‌ی $-۱۰۰۰\ ppm/^{\circ}C$ و ضریب حرارتی هسته از مرتبه $۱۰۰\ ppm/^{\circ}C$ است. برای یک مقاومت $۵۰۰\ k\Omega$ که ضریب حرارتی حالت جبران‌سازی نشده‌ی آن $-۱۰۴ppm/^{\circ}C$ بوده است، با ترکیب تعداد مناسب اتصالات با هسته‌ی اصلی که به ترتیب دارای مقدار مقاومت $۴۵۴/۷\ k\Omega$ و $۴۵/۵\ k\Omega$ می‌باشند، ضریب حرارتی مقاومت در راستای رسیدن به ضریب حرارتی صفر، به مقدار $-۳۴\ ppm/^{\circ}C$ بهبود یافته است. تعداد اتصالات در وضعیت جبران‌سازی نشده ۱۳۲۰ و در وضعیت جبران‌سازی شده ۴۴۰ عدد گزارش شده است. مولفه-های دیگر مانند تاخیرهای ناشی از لچ SR به دلیل جریان نشتی و مقایسه‌کننده به علت کاهش گین ناشی از افت ولتاژ آستانه، نیز مورد بررسی قرار گرفته است. کاهش گین مقایسه‌کننده با اضافه کردن یک طبقه بهره بهبود یافته و جریان‌های نشتی لچ SR با طراحی گیت‌ها با جریان اتصال کوتاه نسبتاً بالا، کاهش یافته است. این تحقیق در تکنولوژی ۰/۱۳ میکرومتر CMOS و در فرکانس $۱\ MHz$ شبیه‌سازی شده است. تغییرات فرکانس خروجی نوسان‌ساز در بازه‌ی دمایی $۲۵^{\circ}C$ تا $۱۸۰^{\circ}C$ به میزان $۱۰۸ppm/^{\circ}C$ به دست آمده است. قبل از جبران‌سازی ضریب حرارتی فرکانس خروجی $۵۶۶\ ppm/^{\circ}C$ بوده است.

در [۵۰]، نوسان‌ساز Relaxation دیگری ارائه شده است که کاهش توان مصرفی به همراه جبران‌سازی دمایی در آن مدنظر قرار گرفته است. بلوک دیاگرام نوسان‌ساز در شکل ۳-۳ (الف) نشان

[1] Contacts

داده شده است. جهت کاهش مصرف توان ترانزیستورهای نوسان‌ساز کلاک و مقایسه کننده‌ی جریان در ناحیه زیرآستانه طراحی شده‌اند. جهت تولید کلاک، وارون‌کننده‌های Current Starved مورد استفاده قرار گرفته است. در این نوسان‌ساز همانند سایر نوسان‌سازهای Relaxation دوره‌ی تناوب نوسان به صورت عبارت $T_{osc} = \frac{V_{ref}C}{I_{ref}} + \tau \approx RC + \tau$ ، با مقاومت و خازن و تاخیر ناشی از غیرایده‌آلی‌های نوسان‌ساز کلاک در ارتباط می‌باشد. همچنین پارامترهایی که تاخیر را به خود وابسته می‌کنند عبارت اند از $\tau \propto \frac{V_{DD}C_{INV}}{I_B}$ که C_{INV} خازن‌های پارازیتیک در گره‌ی خروجی وارون‌کننده‌های نوسان‌ساز و I_B جریان بایاس وارون‌کننده‌ها است.



شکل ۳-۳ (الف) بلوک دیاگرام نوسان‌ساز Relaxation ، (ب) مدار داخلی بخش‌های نوسان‌ساز[۵۰]

وابستگی دمایی مقاومت در منابع جریان با استفاده از ترکیب سری دو مقاومت با ضرایب حرارتی مخالف و در مقایسه‌کننده‌ی جریان با استفاده از ترکیب سری/موازی دو مقاومت با ضرایب حرارتی مخالف جبران شده است. با توجه به اینکه وابستگی دمایی جریان مرجع و بایاس مدار روی ضریب دمایی فرکانس نوسان‌ساز موثر می‌باشد، دو منبع جریان PTAT و CTAT برای تولید یک جریان مستقل از دما در مدار طراحی شده و با ترکیب این دو جریان، ضریب حرارتی جریان‌های I_{ref} و I_B به مقداری حدود ۳۸ ppm/°C کاهش یافته است. همچنین در مورد جبران‌سازی مولفه‌ی تاخیر که به طور تقریبی حدود ٪ ۵/۵ دوره‌ی تناوب نوسان‌ساز است، مولفه‌ی غالب، تغییرات دمایی ناشی از I_B بوده و به دلیل

ناچیز بودن ضریب حرارتی خازن، از وابستگی دمایی خازن پارازیتیک چشم‌پوشی شده است.

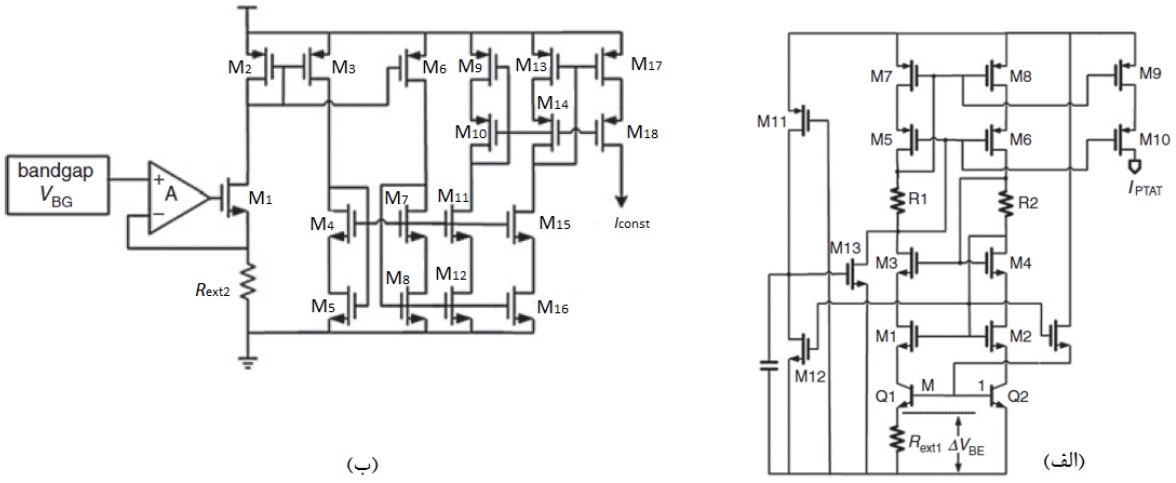
همانطور که گفته شد جریان بایاس با ترکیب جریان‌های PTAT و CTAT جبران‌سازی شده است. ساختار استفاد شده جهت تولید این جریان‌ها در شکل۳-۳ (ب) نشان داده شده است. در این طرح، برای تولید جریان PTAT از اختلاف ولتاژهای گیت-سورس دو ترانزیستور M_1 و M_2 که در ناحیه‌ی زیرآستانه هستند روی ترکیب مقاومتی سری با ضرایب حرارتی مخالف هم، بهره گیری شده است. جریان CTAT نیز با استفاده از یک منبع جریان سلف بایاس و افت ولتاژ گیت-سورس روی ترکیب مقاومتی حاصل شده است. همچنین از ضریب دمایی خازن MIM مقایسه‌کننده نیز صرف نظر شده است. این تحقیق در تکنولوژی ۰/۱۸ میکرومتر CMOS و در فرکانس ۱/۱ MHzشبیه‌سازی شده است. ضریب حرارتی فرکانس خروجی در بازه دمایی$^{\circ}$C ۲۰- تا $^{\circ}$C ۸۰ به طور متوسط ۶۴/۳ ppm/$^{\circ}$C می‌باشد.

۳-۲-۲ جبران‌سازی دمایی نوسان‌سازهای حلقوی

نوسان‌سازهای حلقوی نیز در طبقه‌بندی گروه نوسان‌سازهای RC Relaxation قرار می‌گیرند. این گروه از نظر فضای لازم برای پیاده‌سازی روی تراشه، ابعاد بسیار کمی را اشغال نموده و توان مصرفی پایینی دارند. اگرچه به دلیل نویز فاز زیاد در بسیاری از کاربردهای فرکانس بالایRF کارایی لازم را دارا نیستند، اما برای سیستم‌های RF فرکانس پایین‌تر مورد استفاده قرار می‌گیرند[۲۴]،[۵۱] و برای سایر کاربردها مانند حسگرهای پزشکی و انواع میکروسنسورها با اعمال جبران‌سازی‌های مورد نیاز یکی از گزینه‌ها در طراحی می‌باشند.

در[۴۶]، یک نوسان‌ساز حلقوی متشکل از پنج طبقه وارون‌کننده‌ی تک‌سر، نسبت به تغییرات دمایی در بازه‌ی $^{\circ}$C ۴۰- تا $^{\circ}$C ۸۵ جبران‌سازی شده است. به صورتی که منبع تامین‌کننده جریان نوسان‌ساز جبران‌سازی شده تا فرکانس خروجی نسبت به دما کمترین تغییرات ممکن را داشته باشد.

در رابطه‌ی۲-۶، که فرکانس خروجی یک نوسان‌ساز حلقوی نشان داده شده است، فرکانس نوسان‌ساز به طور مستقیم متاثر از مقدار و تغییرات منبع جریان است. پس جبران‌سازی منبع جریان می‌تواند تغییرات فرکانس را کاهش دهد. ترانزیستورهای تشکیل دهنده‌ی وارون‌کننده ها در این نوسان‌ساز، در ناحیه‌ی بالای آستانه طراحی شده‌اند که در وضعیت جبران‌سازی نشده فرکانس خروجی این نوسان‌ساز با افزایش دما کاهش می‌یابد. تغییر فرکانس نوسان‌ساز حلقوی با دما در وضعیت جبران‌سازی نشده در بازه‌ی دمایی $-40^{\circ}C$ تا $85^{\circ}C$ به دلیل تغییر ولتاژ آستانه‌ی ترانزیستورها و تحرک‌پذیری حامل‌ها، حدود ٪۲۰- می‌باشد. روش ارائه شده در این پژوهش استفاده از دو منبع جریان برای راه‌اندازی نوسان-ساز است. یک منبع جریان ثابت و یک منبع جریان PTAT که به صورت همزمان جریان بایاس نوسان-ساز را فراهم می‌کنند. بیشتر جریان مورد نیاز از طریق منبع جریان ثابت تامین شده و جریان PTAT نیز برای جبران‌سازی دمایی نوسان‌ساز مورد استفاده قرار می‌گیرد.

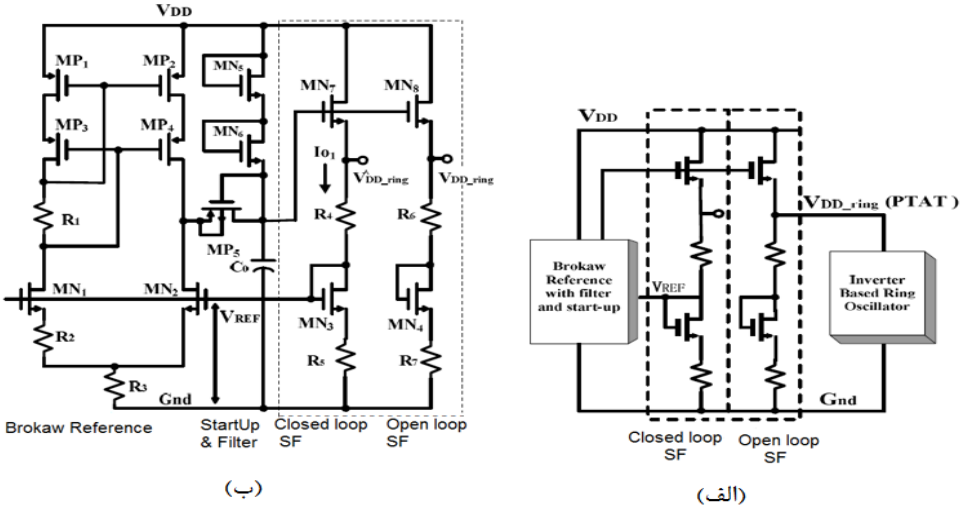


شکل۳-۴ (الف) منبع جریان PTAT ، (ب) منبع جریان ثابت [۴۶]

با توجه به شکل۳-۴ (الف) اندازه‌ی جریان PTAT برابر با $\Delta V_{BE}/R_{ext1}$ است ، که ΔV_{BE} اختلاف ولتاژ بیس-امیتر دو ترانزیستور Q_1 و Q_2 بوده و نسبت سطوح امیترهای آن‌ها M:1 می‌باشد. R_{ext1} نیز یک مقاومت خارج از تراشه‌ی دقیق با ضریب دمایی مشخص است. ΔV_{BE} و R_{ext1} مستقل از فرایند هستند، در نتیجه جریان نیز مستقل از فرایند خواهد بود. با استفاده از ساختار کسکود خود-بایاس

PSRR جریان PTAT نیز به خوبی بهبود می‌یابد. با توجه به شکل۳-۴ (ب) جریان ثابت I_{const} نیز عبارت است از V_{BG}/R_{ext2}، که V_{BG} ولتاژ بندگپ و R_{ext2} مقاومت خارجی دقیق با ضریب حرارتی مشخص می‌باشند. از آنجایی که تغییرات ولتاژ بندگپ در گوشه‌های مختلف فرایند بسیار ناچیز است، می‌توان گفت جریان ثابت مستقل از فرایند ساخت نیز می‌باشد. این مقاله در تکنولوژی ۰/۱۸ میکرومتر CMOS، در فرکانس ۱/۹ MHz و در بازه‌ی دمایی$^{\circ}$C ۴۰- تا $^{\circ}$C ۸۵ شبیه‌سازی شده است. تغییر فرکانس خروجی نوسان‌ساز نسبت به دما به مقدار ٪۱/۱۶کاهش یافته است، همچنین تغییر فرکانس خروجی نوسان‌ساز نسبت به فرایند، در بدترین وضعیت ٪۰/۹۵ گزارش شده است.

در[۵۲]، نوسان‌ساز حلقوی شامل سه طبقه وارون‌کننده‌ی تک‌سر به منظور استفاده در حسگرهای MEMS[۱] طراحی شده است. تکنیک مورد استفاده جهت تضعیف اثر دما روی فرکانس نوسان‌ساز خروجی مبتنی بر پیاده‌سازی یک مرجع ولتاژ متصل به ترکیب سورس-فالوئر حلقه بسته در کنار یک سورس-فالوئر مشابه حلقه باز می‌باشد که با استفاده از یک فیلتر پایین‌گذر بر پایه مقاومت، نویز نوسان‌ساز حلقوی را کاهش می‌دهد. در شکل ۳-۵ (الف) مدل مفهومی این ایده نشان داده شده است.



شکل۳-۵ (الف) دیاگرام مفهومی نوسان‌ساز حلقوی، (ب) جزییات مدار جبران‌ساز نوسان‌ساز حلقوی[۵۲]

[۱] Micro-Electro Mechanical System

با توجه شکل ۳-۵ (ب) مدار جبران‌ساز ارائه شده متشکل از یک مرجع ولتاژ، یک سورس-فالوئر حلقه بسته و یک سورس فالوئر مشابه حلقه باز است که برای نوسان‌ساز حلقوی یک ولتاژ تغذیه‌ی PTAT تامین می‌نماید. هسته‌ی مرجع ولتاژ متشکل از یک مرجع ولتاژ بروکا[۵۳]، یک فیلتر پایین‌گذر و مدار استارت‌آپ است که وظیفه‌ی تولید ولتاژ مرجع V_{ref} برای شاخه‌ی سورس-فالوئر را به عهده دارد. ترانزیستورهای M_{N1} و M_{N2} در ناحیه‌ی زیرآستانه قرار دارند و اختلاف ولتاژ گیت-سورس این دو ترانزیستور با نسبت ابعاد متفاوت روی مقاومت R_2، جریان PTAT ایجاد می‌کند.

با توجه به شکل ۳-۵ (ب)، ولتاژ مرجع در این مدار برابر است با $V_{ref} = 2I_{PTAT}R_3 + V_{GS2}$.
ولتاژ $V\hat{}_{DD_ring}$ تولید شده از طریق حلقه‌ی متشکل از V_{ref}، V_{GS3} و V_{R5} در شاخه‌ی سورس-فالوئر حلقه بسته، عبارت است $V\hat{}_{DD_ring} = \frac{R_4}{R_5}(V_{ref} - V_{GS3}) + V_{ref}$، که با توجه به نوع وابستگی مولفه‌های V_{ref} و V_{GS3} بخش‌های CTAT آن در این رابطه حذف شده و بخشPTAT باقی می‌ماند. ولتاژ گیت-سورس یک ترانزیستور در ناحیه‌ی زیر آستانه وابستگی منفی با دما دارد و ترانزیستور M_{N3} نیز در ناحیه زیرآستانه است. در رابطه‌ی (۳-۱) اختلاف ولتاژ گیت-سورس ترانزیستورهای M_{N1} و M_{N2} نشان داده شده است.

$$\Delta V_{GS} = \eta V_T \ln\left(\frac{W_1/L_1}{W_2/L_2}\right) \qquad (۳-۱)$$

شاخه‌ی سورس-فالوئر حلقه باز شامل ترانزیستورهای M_{N7} و M_{N8} و مقاومت‌هایR_6 و R_7 است که مقادیر عناصر این شاخه دقیقاً مشابه نمونه‌ی حلقه بسته‌ی آن هستند تا مقدار V_{DD_ring} مساوی با $V\hat{}_{DD_ring}$ باشد. به دلیل پاسخ گذرای سریع‌تر ساختار سورس-فالوئر حلقه باز به مدار نوسان‌ساز، نویز فاز در سیگنال کلاک بهبود می‌یابد. این پژوهش در تکنولوژی ۰/۳۵ میکرومتر CMOS و در فرکانس ۱MHz شبیه‌سازی شده است. محدوده‌ی دمایی که جبران‌سازی در آن صورت گرفته است از $-۴۰^{\circ}C$ تا $۹۰^{\circ}C$ بوده و ضریب حرارتی فرکانس خروجی نوسان‌ساز در وضعیت جبران‌سازی شده $ppm/^{\circ}C$

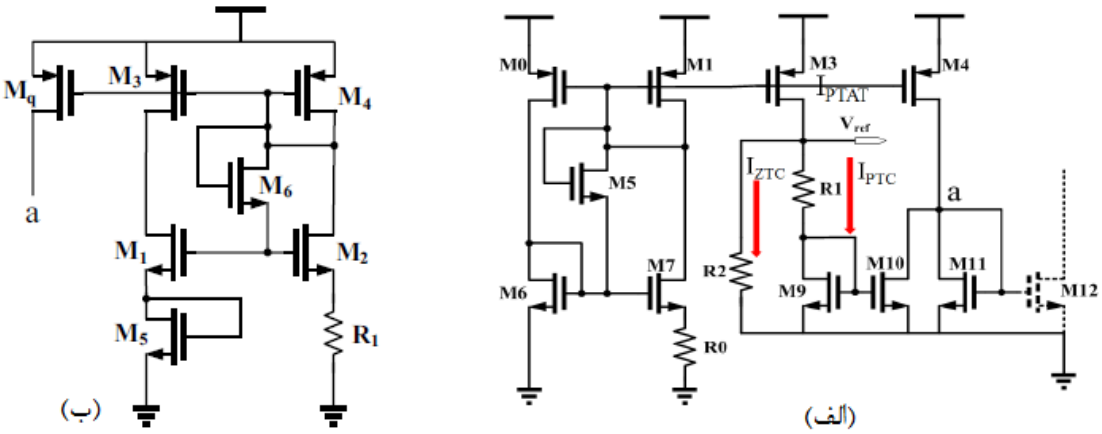
۲۲/۳ است، در صورتی که تغییرات فرکانس خروجی با دما در وضعیت جبران‌سازی نشده $ppm/^{\circ}C$ ۲۵۳/۸ گزارش شده‌است.

روش جبران‌سازی دمایی فرکانس نوسان‌ساز حلقوی در[۱۵]و[۱۶]مشابه تکنیک استفاده شده در پژوهش[۵۲]، بر پایه‌ی استفاده از ویژگی‌های دمایی یک ترانزیستور MOS بنا نهاده شده است. ترانزیستورهای NMOS ناحیه‌ی زیرآستانه طراحی شده و ضریب حرارتی PTAT مربوط به اختلاف ولتاژهای گیت-سورس ترانزیستور و ضریب حرارتی CTAT ولتاژ گیت-سورس به کارگرفته شده است.

در[۱۶] یک نوسان‌ساز حلقوی متشکل از پنج طبقه وارون‌کننده Current Starved کنترل شونده با جریان (CCO)[۱] با استفاده از ویژگی‌های دمایی ترانزیستور MOS و تولید دو جریان با ضریب حرارتی مثبت و منفی جبران‌سازی شده است. با استفاده از منبع جریان کسکود و NMOS های زیرآستانه M_6 و M_7 یک جریان با ضریب دمایی مثبت روی مقاومت R_0 تولید شده است. با هدایت این جریان روی مقاومت R_1 و ترکیب آن با ولتاژ گیت-سورس M_9 ، ولتاژ مرجع مستقل از دما V_{ref} ایجاد شده و با استفاده ولتاژ V_{ref} روی مقاومت R_2 جریان مستقل از دما به دست می‌آید. ساختار مدار در شکل ۳-۶ نشان داده شده است. در این روش برای خنثی کردن وابستگی دمایی جریان‌های تولید شده در مدار شکل ۳-۶ (الف) از منبع جریان مشابه دیگری که در قسمت (ب) نشان داده شده است، با اضافه کردن یک ترانزیستور اتصال دیودی، سعی شده است جریانی با منحنی مشخصه‌ی خلاف مدار (الف) تولید گردد. حلقه‌ی متشکل از M_1 ، M_2 ، M_5 وR_1 در مدار شکل ۳-۶ (ب) که در آن ترانزیستورهای M_1 و M_2 در ناحیه‌ی زیرآستانه هستند، جریانی مرکب از دو بخش PTAT و CTAT را روی مقاومت R_1 تولید می‌کنند که برابر است با : $I = (V_{GS1} - V_{GS2})/R_1 + V_{GS5}/R_1$. با توجه به رابطه‌ی (۳-۱) می‌توان گفت ترم اول کمیتی PTAT و ترم دوم مقداری CTAT است. از این رو با انتخاب مناسب

[۱] Current Controlled Oscillator

مقادیر، منحنی مشخصه‌ی جریان به فرم دلخواه تعیین می‌گردد. با ترکیب دو جریان خروجی مدارهای (الف) و (ب) و هدایت آن‌ها به نوسان‌ساز جبران‌سازی دمایی فرکانس خروجی حاصل می‌شود.



شکل۳-۶ (الف) مدار تولیدکننده جریان‌های PTAT، ZTC[۱]، PTC[۲] (ب) مدار تولید کننده جریان با مشخصه‌ی معکوس در قسمت (الف) [۱۶]

این تحقیق در تکنولوژی ۰/۱۸ میکرومتر CMOS و در فرکانس ۶/۲۷ MHz شبیه‌سازی شده است. ضریب حرارتی فرکانس خروجی این مدار در بازه‌ی دمایی ۲۵°C- تا ۷۵°C برابر با ppm/°C ۲۲/۳ گزارش شده است. در[۱۵]، با استفاده از تکنیک جبران‌سازی بیان شده در فرکانس‌های ۱۰MHz، ۲۰MHz، ۳۰MHz و ۴۰MHz و در بازه‌ی دمایی ۲۵°C- تا ۷۵°C، به ترتیب ضرایب حرارتی برابر با ۲۴ ppm/°C، ۳۲ ppm/°C، ۳۸ ppm/°C و ۳۴ ppm/°C حاصل شده است.

۳-۳ نتیجه‌گیری

مرور پژوهش‌های انجام شده نشانگر آن است که جبران‌سازی فرکانس نوسان‌سازهای Relaxation و نوسان‌سازهای حلقوی حول جبران‌سازی مولفه‌های جریان و ولتاژهای بایاس انجام

[۱] Zero Temperature Coefficient
[۲] Positive Temperature Coefficient

پذیرفته اســت. همچنین جبران‌ســازی تاخیر زمانی ذاتی که به دلیل شرایط غیر ایده‌آل افزاره‌ها ایجاد می‌شود اضافه بر جبران‌سازی مولفه‌های دیگر، به خوبی دقت فرکانس خروجی نسبت به دما را افزایش داده است. نتایج تحقیقات نشان می‌دهد که جبران‌سازی همزمان دو یا سه مولفه، موجب کاهش قابل توجه در ضریب حرارتی فرکانس نوسان‌ساز شده و پایداری دمایی سیگنال خروجی را در کاربردهایی با تغییرات دمایی شـدید به دنبال خواهد داشـت. در خصـوص نوسـان‌ساز حلقوی علاوه بر جبران‌سازی مقاومت‌های مدار، به دلیل وابستگی زیاد فرکانس نوسان به جریان، جبران‌سازی دمایی جریان یکی از روش‌های متداول جبران‌ســازی می‌باشــد. از این رو در فصــل چهار دو ســاختار پیشــنهادی جهت جبران‌ســازی دمایی نوســان‌ساز حلقوی ارائه خواهد شد که در آن از ایده‌ی جبران‌سازی دمایی جریان نوسان‌ساز بهره گرفته شده است.

فصل چهارم

نوسان‌ساز حلقوی جبران‌سازی شده‌ی پیشنهادی در ناحیه‌ی زیرآستانه

۴-۱ مقدمه

با توجه به بررسی پژوهش‌های انجام شده در خصوص حساسیت نوسان‌سازهای RC نسبت به دما، تکنیک‌های مختلفی جهت جبران‌سازی این گروه از نوسان‌سازها نسبت به تغییرات دما ارائه و مورد مطالعه قرار گرفته است. فرکانس نوسان‌سازهای Relaxation و حلقوی به مولفه‌هایی از قبیل مقاومت‌ها، خازن‌ها، جریان‌ها و ولتاژهای مرجع و تاخیر درونی ناشی از پارامترهای غیرایده‌آل افزاره‌ها، وابسته است. به دلیل حساسیت این مولفه‌ها به دما و ایجاد ضریب حرارتی بالا برای فرکانس خروجی نوسان‌ساز، جبران‌سازی دمایی جهت کاهش حساسیت نوسان‌ساز لازم و ضروری است. دراین فصل ابتدا رفتار دمایی یک نوسان‌ساز حلقوی بررسی می‌شود و با توجه به متفاوت بودن رفتار نوسان‌ساز با تغییر ناحیه‌ی کاری ترانزیستورهای متعلق به وارون‌کننده‌ها، میزان تغییر فرکانس خروجی نسبت به دما در نوسان‌سازهای متشکل از ترانزیستورهای ناحیه‌ی زیرآستانه و بالای آستانه در وضعیت بدون جبران‌سازی مورد مطالعه قرارخواهد گرفت. سپس تکنیک مورد استفاده جهت جبران‌سازی یک نوسان‌ساز متشکل از ترانزیستورهای زیرآستانه معرفی و نحوه‌ی جبران‌سازی توضیح داده خواهد شد. در آخر تغییر فرکانس خروجی نسبت به دما در وضعیت جبران‌سازی شده محاسبه و با نتیجه‌ی تکنیک‌های موجود مقایسه می‌شود.

کلیه‌ی مدارها در محیط نرم‌افزار ADS شبیه‌سازی شده اند. محدوده‌ی دمایی که برای شبیه‌سازی در این پژوهش در نظر گرفته شده است، بازه‌ی دمایی تجاری است که بسته به سفارش تولیدکننده معمولاً دمای $0\ ^{\circ}C$ تا $70\ ^{\circ}C$ یا $0\ ^{\circ}C$ تا $85\ ^{\circ}C$ را شامل می‌شود. اما با توجه به نیاز به یک تخمین صحیح از عملکرد ساختارهای پیشنهادی، شبیه‌سازی‌ها در محدوده‌ی $0\ ^{\circ}C$ تا $100\ ^{\circ}C$ انجام گرفته است. همچنین برای سنجش و آزمون عملکرد این دو ساختار، شبیه‌سازی در بازه‌ی دمایی صنعتی از $-40\ ^{\circ}C$ تا $85\ ^{\circ}C$ تکرار گردیده و در پایان نتیجه جهت مقایسه گزارش شده است.

۴-۲ بررسی رفتار دمایی نوسان‌ساز حلقوی

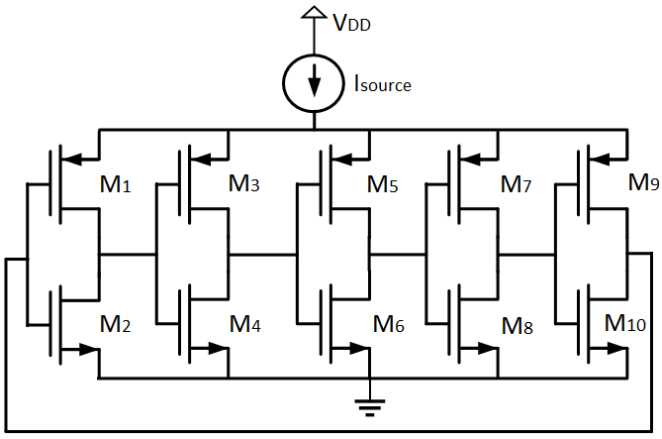
در این بخش، رفتار دمایی یک نوسان‌ساز حلقوی شامل پنج طبقه وارون‌کننده تک‌سر مورد بررسی قرارمی‌گیرد. با توجه رابطه‌ی فرکانس خروجی نوسان‌ساز که در رابطه‌ی (۴-۱)[۲۱] نشان داده شده است، فرکانس رابطه‌ی مستقیم با جریان بایاس داشته و در نتیجه وابستگی دمایی و تغییرات جریان به طور مستقیم بر فرکانس موثر است.

$$f_{osc} = \frac{I_{source}}{NC_{load}V_{DD}} \qquad (۴-۱)$$

N تعداد طبقات وارون‌کننده و C_{load} خازن گره‌ی خروجی هر کدام از وارون‌کننده‌ها می‌باشد. با توجه به اینکه جریان درین ترانزیستورMOS در ناحیه‌ی زیر آستانه با پتانسیل سطح رابطه‌ی نمایی دارد و در ایجاد جریان زیرآستانه مولفه‌ی جریان نفوذی دارای سهم بیشتری از جریان رانشی است[۳۰] با افزایش دما جریان افزایش یافته و باعث افزایش فرکانس نوسان‌ساز نیز می‌شود. اما اگر ترانزیستور MOS در ناحیه‌ی اشباع باشد، جریان با افزایش دما کاهش یافته و فرکانس خروجی نیز کاهش پیدا می‌کند. مقدار تغییرات در هر دو وضعیت زیاد است و جبران‌سازی دمایی برای افزایش دقت عملکرد در هر دو مورد حیاتی است. در ادامه یک نوسان‌ساز حلقوی پنج طبقه در هر دو ناحیه طراحی شده و مشخصه‌ی فرکانس نوسان‌ساز نسبت به دما در این دو وضعیت ترسیم خواهد شد.

۴-۲-۱ بررسی تغییرات فرکانس نوسان‌ساز حلقوی در ناحیه زیرآستانه

یک نوسان‌ساز حلقوی پنج طبقه شامل وارون‌کننده‌های تک‌سر در شکل ۴-۱ نشان داده شده است. با توجه به لزوم مدنظر قرار دادن ملاحظات مربوط به طراحی یک وارون‌کننده، شامل بهترین حاشیه‌ی نویز با تقارن منحنی مشخصه خروجی هر طبقه[۲۱] جریان عبوری از ترانزیستورهای NMOS و PMOS برابر در نظر گرفته شده و نسبت ابعاد (β) ترانزیستورهای PMOS به NMOS برابر با ۳ تا ۳/۵ در نظر گرفته شده است.



شکل۴-۱ نوسان‌ساز حلقوی شامل پنج طبقه وارون‌کننده تک‌سر

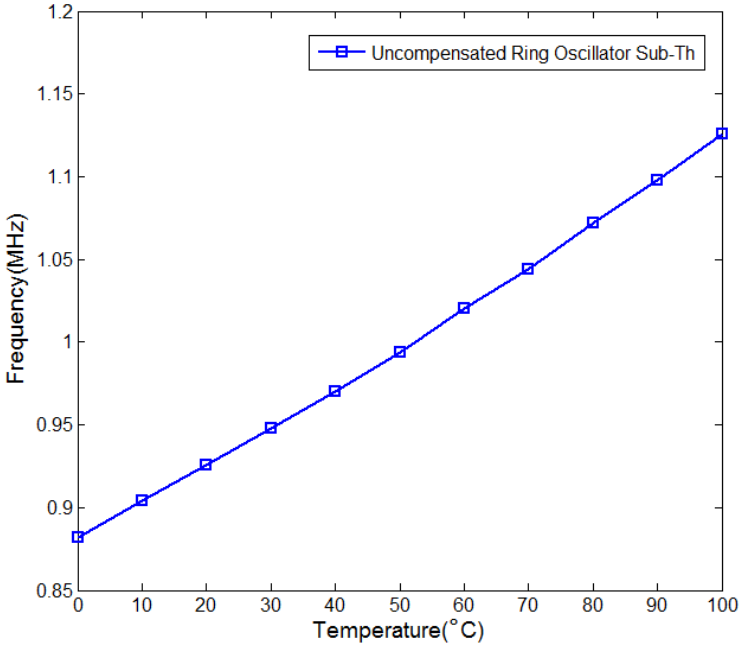
رابطه‌ی جریان یک ترانزیستورNMOS در ناحیه‌ی زیر آستانه عبارت است از[۵۴]:

$$I_{sub} = \mu_n C_{ox} \left(\frac{W}{L}\right) V_T^2 e^{\frac{V_{GS}-V_{TH}}{\eta V_T}} \qquad (۲-۴)$$

که در آن μ_n تحرک پذیری الکترون، C_{ox} خازن اکسید گیت، $\frac{W}{L}$ نسبت پهنا به طول کانال، V_{TH} ولتاژ آستانه، V_{GS} ولتاژ گیت-سورس ترانزیستور و V_T ولتاژ حرارتی می‌باشد. η در تکنولوژی ۰/۱۸ حدوداً برابر با یک و ولتاژ حرارتی ۲۶ mV می‌باشند.

نوسان‌ساز حلقوی مورد آزمایش در فرکانس ۱MHz و جریان آن ۸۰۰nA در نظر گرفته شده است. نسبت $\frac{W}{L}$ ترانزیستورهای NMOS و PMOS نیز به ترتیب $\left(\frac{W}{L}\right)_{NMOS} = \frac{27}{1.2}$ و$\left(\frac{W}{L}\right)_{PMOS} = \frac{68.4}{1}$ در نظر گرفته شده است. جریان مورد نیاز به وسیله‌ی یک منبع جریان ایده‌آل تامین شده و نوسان‌ساز جبران‌سازی نشده است. مدار شکل ۴-۱ با استفاده از نرم‌افزار ADS شبیه‌سازی شده وضریب حرارتی فرکانس نوسان‌ساز با استفاده از رابطه‌ی $[((f_{max} - f_{min})/(T_{max} - T_{min}))/f_{central}] \times 100$ در بازه‌ی دمایی $0\,^{\circ}C$ تا $100\,^{\circ}C$ برابر با ٪ ۲۴/۳+ به دست آمده است.

فرکانس خروجی نوسان‌ساز در بازه‌ی دمایی $0\,^{\circ}C$ تا $100\,^{\circ}C$ در جدول ۴-۱ آمده است. نمودار حاصل از این نقاط نسبت به دما با استفاده از نرم‌افزار متلب ترسیم و در شکل۴-۲ نشان داده شده است.



شکل۴-۲ مشخصه‌ی فرکانس خروجی نوسان‌ساز حلقوی جبران‌سازی نشده زیرآستانه

جدول ۴-۱ فرکانس نوسان‌ساز حلقوی جبران سازی نشده زیرآستانه در بازه‌ی دمایی ۰ °C تا ۱۰۰ °C

T(°C)	۰	۱۰	۲۰	۳۰	۴۰	۵۰	۶۰	۷۰	۸۰	۹۰	۱۰۰
F (MHz)	۰/۸۸۲	۰/۹۰۴	۰/۹۲۶	۰/۹۴۸	۰/۹۷۰	۰/۹۹۴	۱/۰۲	۱/۰۴۴	۱/۰۷۲	۱/۰۹۸	۱/۱۲۶

همانطور که در شکل۴-۲ ملاحظه می‌شود، افزایش دما سبب افزایش فرکانس نوسان‌ساز در ناحیه‌ی زیرآستانه می‌گردد و ضریب دمایی فرکانس نوسان‌ساز حلقوی در ناحیه‌ی زیرآستانه ppm/°C ۲۴۳۰ بدست آمده است.

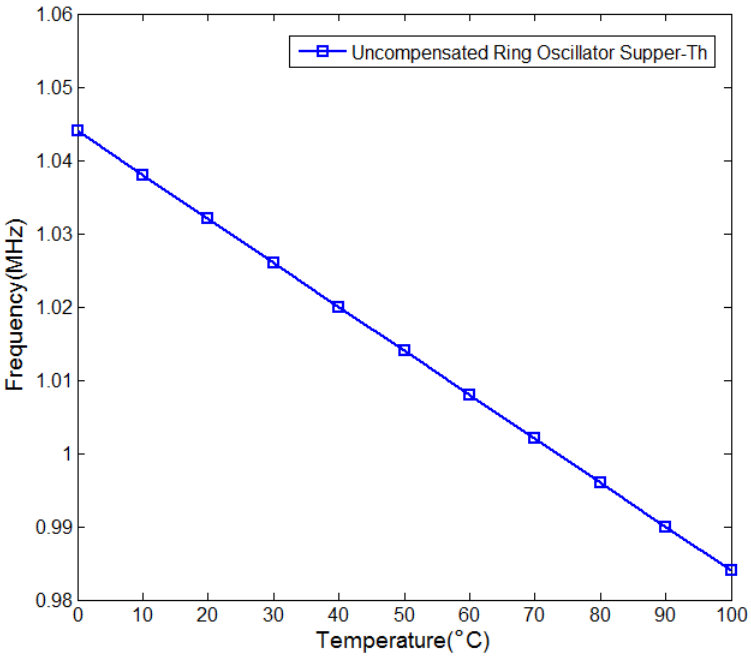
۴-۲-۲ بررسی تغییرات فرکانس نوسان‌ساز حلقوی در ناحیه بالای آستانه

ملاحظات طراحی وارون‌کننده‌های تشکیل دهنده‌ی یک نوسان‌ساز با تغییر ناحیه‌ی کار ترانزیستورها، تغییر نمی‌کند. بنابراین شرایط لازم برای حاشیه‌ی نویز و تقارن منحنی مشخصه و نسبت β، برای وارون‌کننده‌هایی با ترانزیستورهایی در ناحیه اشباع، در نوسان‌ساز حلقوی بالای آستانه

نیز در نظر گرفته شده است. رابطه‌ی جریان ترانزیستورNMOS در حالت اشباع عبارت است از:

$$I_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS} - V_{TH})^2 \qquad (۳-۴)$$

دراین بخش مدار شکل ۴-۱، با ترانزیستورهای بالای آستانه و برای فرکانس خروجی ۱MHz در نرم‌افزار ADS طراحی شـده است. برای رسیدن به این هدف برای جریانی به اندازه‌ی ۲μA، نسبت $\frac{W}{L}$ ترانزیستورهای NMOS و PMOS به ترتیب $\left(\frac{W}{L}\right)_{NMOS} = \frac{2.5}{5}$ و $\left(\frac{W}{L}\right)_{PMOS} = \frac{12}{8}$ محاسبه شده اسـت. در بازه‌ی دمایی ۰ °C تا ۱۰۰ °C تغییرات فرکانس خروجی نوسـان‌ساز با استفاده از رابطه‌ی $[((f_{max} - f_{min})/(T_{max} - T_{min}))/f_{central}] \times 100$ به مقدار ٪ ۶- به دسـت آمده است که شیب نزولی فرکانس نسـبت به دما در این مدار با افزایش جریان و افزایش فرکانس نوسـان‌سـاز بیشـتر می‌شـود[۵۴]. فرکانس خروجی نوسـان‌سـاز در محدوده‌ی دمایی مذکور در جدول ۴-۲ آمده اسـت. نمودار حاصل از این نقاط نسبت به دما در شکل۴-۳ نشان داده شده است.



شکل۴-۳ مشخصه‌ی فرکانس خروجی نوسان‌ساز حلقوی جبران‌سازی نشده بالای آستانه

جدول ۴-۲ فرکانس نوسان‌ساز حلقوی جبران سازی نشده بالای آستانه در بازه‌ی دمایی $0^{\circ}C$ تا $100^{\circ}C$

T($^{\circ}$C)	۰	۱۰	۲۰	۳۰	۴۰	۵۰	۶۰	۷۰	۸۰	۹۰	۱۰۰
F (MHz)	۱/۰۴۴	۱/۰۳۸	۱/۰۳۲	۱/۰۲۶	۱/۰۲۰	۱/۰۱۴	۱/۰۰۸	۱/۰۰۲	۰/۹۹۶	۰/۹۹۰	۰/۹۸۴

ازمشخصه‌ی فرکانس خروجی در شکل۴-۳ می‌توان دریافت که افزایش دما در نوسان‌ساز حلقوی با ترانزیستورهای بالای آستانه موجب کاهش فرکانس نوسان می‌شود و با یک تقریب مرتبه اول می‌توان این تغییرات را خطی در نظرگرفت. در این پژوهش جبران‌سازی دمایی نوسان‌ساز حلقوی زیرآستانه مدنظر قرار گرفته است و به دلیل تفاوت ساختاری در فرایند جبران‌سازی دمایی نوسان‌ساز حلقوی در ناحیه‌ی بالای آستانه (اشباع) با زیرآستانه، جبران‌سازی دمایی نوسان‌ساز حلقوی بالای آستانه مورد بحث نخواهد بود.

۴-۳ معرفی ساختارهای پیشنهادی جهت جبران‌سازی دمایی نوسان‌ساز حلقوی زیرآستانه

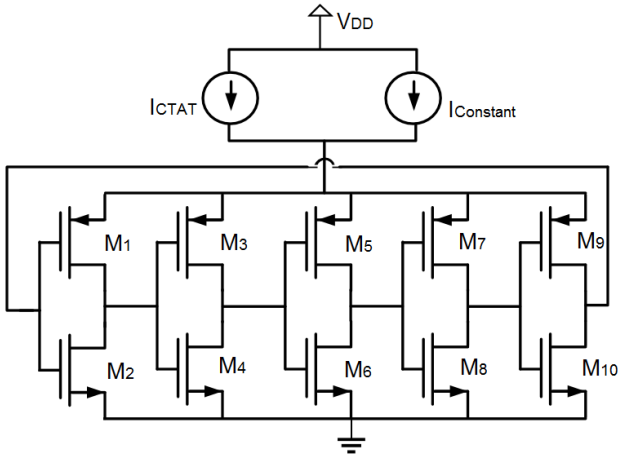
در بخش ۴-۲-۱ یک نوسان‌ساز حلقوی شامل پنج طبقه وارون‌کننده تک‌سر بررسی شد. با توجه به مشخصه‌ی فرکانس نوسان‌ساز نسبت به دما که دارای شیب مثبت است، می‌توان نتیجه گرفت که فرکانس نوسان‌ساز حلقوی با ترانزیستورهای زیر آستانه مولفه‌ای با تغییرات PTAT است. با توجه به فرکانس خروجی نوسان‌ساز حلقوی در رابطه‌ی (۴-۱) مولفه‌هایی که روی فرکانس خروجی موثر هستند، I_{source} منبع جریان، C_{load} خازن دیده شده از گره‌های خروجی وارون‌کننده‌ها ، V_{DD} منبع تغذیه و N تعداد طبقات وارون‌کننده می‌باشد. تعداد طبقه‌ها در تعیین فرکانس خروجی نوسان‌ساز موثر است و مولفه‌ای متغیر با دما نیست، اگرچه افزایش یا کاهش طبقه‌ها در میزان مصرف توان و جریان‌های نشتی تاثیرگذار است[۳۸, ۳۹]. با توجه به اینکه ضریب حرارتی خازن ناچیز بوده و درتکنولوژی ۰/۱۸ از مرتبه‌ی $10ppm/^{\circ}C$ تا $20ppm/^{\circ}C$ می‌باشد[۴۹]، از ضریب حرارتی خازن نیز صرف‌نظر شده است.

جریان I_{source} مولفه‌ای تاثیرگذار در فرکانس است و میزان وابستگی دمایی آن روی تغییرات فرکانس موثر خواهد بود، در نتیجه با توجه به افزایش فرکانس نوسان‌ساز حلقوی با دما در ناحیه‌ی زیرآستانه می‌توان از جریانی استفاده کرد که این افزایش را خنثی کرده و یا کاهش دهد، ایده‌ی جبران‌سازی نوسان‌ساز حلقوی بر این مفهوم استوار شده است.

۴-۳-۱ مدل مفهومی جبران‌سازی دمایی نوسان‌ساز حلقوی زیرآستانه

با توجه به افزایش فرکانس نوسان‌ساز حلقوی با دما، از یک منبع جریان CTAT برای خنثی کردن اثر افزایش جریان یک ترانزیستور در ناحیه‌ی زیرآستانه روی فرکانس نوسان‌ساز، استفاده شده است. مدل ارائه شده برای جبران‌سازی دمایی نوسان‌ساز حلقوی در ناحیه‌ی زیرآستانه، استفاده از دو منبع جریان به طور همزمان می‌باشد. یک منبع جریان ثابت که عمده‌ی جریان مورد نیاز نوسان‌ساز را تامین می‌کند و یک منبع جریان CTAT که تغییر افزایشی فرکانس نوسان‌ساز را جبران‌سازی می‌نماید. در شکل۴-۴ مدل مفهومی روش پیشنهاد شده برای جبران‌سازی نوسان‌ساز حلقوی زیرآستانه نشان داده شده است. در این پایان‌نامه دو مدل برای تولید جریان CTAT پیشنهاد شده است. در یک مدل جریان با ضریب حرارتی منفی (I_{CTAT}) با استفاده از ولتاژ آستانه‌ی یک ترانزیستور PMOS تولید شده و در مدل دوم جریان با ضریب حرارتی منفی توسط ولتاژ بیس-امیتر ترانزیستور BJT ایجاد می‌شود. در هر دو ساختار جریان حاصل با جریان خروجی از منبع جریان مستقل از دما ($I_{Constant}$) تجمیع و به سمت نوسان‌ساز هدایت می‌گردد. سهم منبع جریان مستقل از دما از مقدار جریان نهایی بیشتر از جریان CTAT است. دلیل این امر این است که شیب جریان CTAT یا وابستگی دمایی آن به اندازه‌ای است که علاوه بر جبران‌سازی فرکانس خروجی نوسان‌ساز، وابستگی دمایی منفی آن را معکوس و تغییرات مثبت آن را به مقداری منفی تبدیل می‌نماید و این مساله، هدف این ساختار که کاهش تغییرات دمایی فرکانس نوسان‌ساز و نزدیک کردن آن به صفر است را تامین نمی‌کند. بهترین نسبت برای این دو جریان در هنگام طراحی و با تکرار شبیه‌سازی و مشاهده‌ی نتیجه قابل دستیابی است[۴۶]. در ادامه

به بررسی فرایند یافتن شیب مناسب جریان خروجی دو ترکیب پیشنهادی جهت جبران‌سازی حساسیت دمایی نوسان‌ساز حلقوی و اثبات وابستگی دمایی جریان حاصل نسبت به دما پرداخته خواهد شد.



شکل۴-۴ مدل مفهومی روش پیشنهادی برای جبران‌سازی نوسان‌ساز حلقوی زیرآستانه

۴-۳-۲ تولید جریان CTAT

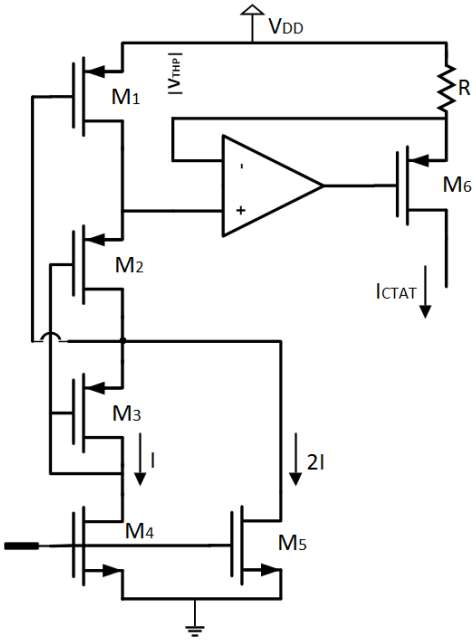
(الف) با استفاده از ولتاژ آستانه‌ی ترانزیستور MOS

با توجه به اینکه ولتاژ آستانه‌ی ترانزیستور دارای ضریب دمایی منفی است[۳۶]، برای تولید جریان CTAT ساختاری استفاده شده است که در آن با استخراج ولتاژ آستانه‌ی ترانزیستور PMOS [۴۳] و قرار دادن آن روی یک مقاومت، جریان مورد نیاز برای جبران‌سازی دمایی فرکانس نوسان‌ساز حلقوی ایجاد می‌شود. در شکل ۴-۵ ساختار این مدار نشان داده شده است. ترانزیستورهای M_3 و M_2 ولتاژ آستانه را استخراج نموده و با استفاده از یک آپ‌امپ این ولتاژ روی مقاومت R قرار می‌گیرد. آپ‌امپ ولتاژ $V_{DD} - |V_{THp}|$ را روی پایه‌های مثبت و منفی برابر نگه می‌دارد. اگر ولتاژ آستانه‌ی ترانزیستورها برابر در نظر گرفته شود، می‌توان برای ولتاژ درین-سورس M_1 نوشت :

$$V_{SD1} = V_{SG1} - V_{SD2} \qquad (۴-۴)$$

که ترانزیستور M_3 در حالت اشباع و ترانزیستورM_2 در حالت خطی قرار دارد و ولتاژ سورس-درین M_2 به این صورت به دست می‌آید[۴۳]:

$$V_{SD2} = \sqrt{2I}\left(\sqrt{\frac{1}{k_3}+\frac{3}{k_2}}-\sqrt{\frac{1}{k_3}}\right) \quad (۵-۴)$$



شکل ۴-۵ منبع جریان CTAT با استفاده از ولتاژ آستانه ترانزیستورPMOS [۴۱]

ابعاد ترانزیستور M_1 باید سه برابر ترازیستورهای M_2 و M_3 باشد، به عبارت دیگر $k_2 = k_3 = k_1/3$ باشند، و مقدار k برابر است با $k = \mu_P C_{ox}(W/L)$. با جایگزین کردن(۴-۴) در(۴-۵) ولتاژ درین-سورسM_1 عبارت است از:

$$V_{SD1} = |V_{THp}| + \sqrt{\frac{6I}{3k_3}} - \sqrt{\frac{2I}{k_3}+\frac{6I}{k_3}} + \sqrt{\frac{2I}{k_3}} = |V_{THp}| \quad (۶-۴)$$

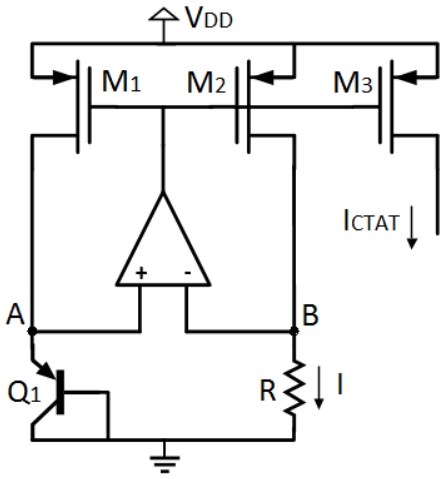
و جریان CTAT برابر است با :

$$I_{CTAT} = \frac{|V_{THp}|}{R} \quad (۷-۴)$$

(ب) با استفاده از ولتاژ پیوند بیس-امیتر ترانزیستور BJT

در بخش ۲-۵-۲ وابستگی دمایی ولتاژ بیس-امیتر نسبت به دما بررسی شد. با توجه به رابطه‌ی معکوس این ولتاژ با دما یکی از گزینه‌هایی است که برای تولید جریان CTAT می‌توان از آن استفاده نمود. در شکل ۴-۶ ساختار این مدار نشان داده شده است. ولتاژ نقاط A و B با استفاده از آپ‌امپ مساوی نگه داشته می‌شود تا ولتاژ بیس-امیتر ترانزیستور روی مقاومت قرار گرفته و جریان CTAT تولید شود. جریان خروجی برابر است با :

$$I_{CTAT} = \frac{V_{EB}}{R}\left(\frac{(W/L)_3}{(W/L)_2}\right) \qquad (۸-۴)$$



شکل۴-۶ منبع جریان CTAT با استفاده از V_{BE} [۳۵]

۴-۳-۳ تولید جریان مستقل از دما

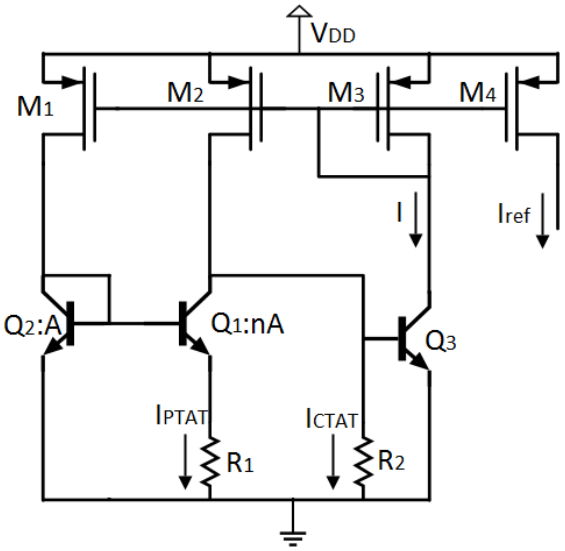
جریان مستقل از دما را با استفاده از ترکیب دو جریان با ضرایب حرارتی عکس هم می‌توان به دست آورد. یک جریان PTAT که از اختلاف ولتاژ بیس-امیتر دو ترانزیستور با نسبت سطوح امیتر مختلف بدست می‌آید با یک جریان CTAT که از ضریب دمایی ولتاژ بیس-امیتر استفاده می‌کند جمع شده و جریان مستقل از دما ایجاد خواهد شد. ساختار استفاده شده برای تولید جریان مستقل از دما در شکل ۴-۷ نشان داده شده است. با توجه به مدار I_{ref} برابر است با :

$$I_{ref} = I_{CTAT} + I_{PTAT} \quad (۹-۴)$$

که I_{CTAT} و I_{PTAT} عبارت اند از :

$$I_{PTAT} = \frac{V_T}{R_1} \ln n \quad (۱۰-۴)$$

$$I_{CTAT} = \frac{V_{BE3}}{R_2} \quad (۱۱-۴)$$



شکل ۴-۷ منبع جریان مستقل از دما[۳۵]

۴-۴ شبیه‌سازی منابع جریان پیشنهادی و نتایج

با توجه به اینکه از ترکیب دو ساختار منبع جریان مستقل از دما و CTAT (شکل۴-۴) برای جبران‌سازی نوسان‌ساز حلقوی زیرآستانه استفاده خواهد شد، ابتدا به طراحی و ارائه‌ی نتایج شبیه‌سازی ساختار نخست که شامل مدارهای منبع جریان‌ثابت و منبع جریان CTAT تولید شده با استفاده از ولتاژ آستانه ترانزیستورPMOS است، پرداخته خواهد شد و مشخصه‌ی فرکانس خروجی نوسان‌ساز حلقوی در وضعیت جبران‌سازی شده ترسیم می‌گردد. در ادامه نیز به طراحی و ارائه نتایج شبیه‌سازی ساختار دوم شامل منبع جریان ثابت و مدار منبع جریان CTAT با استفاده از ولتاژ بیس-امیتر پرداخته شده و مشخصه‌ی خروجی فرکانس نوسان‌ساز حلقوی در وضعیت جبران‌سازی شده، نشان داده می‌شود.

۴-۴-۱ ساختار پیشنهادی نخست: طراحی منبع جریان CTAT با استفاده از V_{THp} و منبع جریان مستقل از دما و نتایج شبیه‌سازی

در شکل ۴-۴ تکنیک ارائه شده جهت جبران‌سازی نوسان‌ساز حلقوی نشان داده شده است. نوسان‌ساز حلقوی شامل پنج طبقه وارون‌کننده تک‌سر، در ناحیه‌ی زیرآستانه، با فرکانس مرکزی ۱MHz و جریان ۸۰۰nA طراحی شده است. جبران‌سازی دمایی نوسان‌ساز نیز با ترکیب دو جریان مستقل از دما و منبع جریان CTAT صورت می‌گیرد که بیشترِ جریان مورد نیاز نوسان‌ساز به وسیله‌ی منبع جریان مستقل از دما تامین شده و مقدار لازم برای جبران‌سازی نیز از منبع جریان CTAT دریافت می‌گردد. در ادامه‌ی این بخش، جزییات مربوط به نحوه طراحی بخش‌های مختلف این ساختار و جبران-سازی دمایی جریان نوسان‌ساز و نتایج به دست آمده ارائه خواهد شد.

۴-۴-۱-۱ ضریب دمایی جریان جبران‌سازی شده برای نوسان‌ساز حلقوی ساختار نخست

با توجه به مدل مفهومی جبران‌سازی در شکل ۴-۴، جریان نوسان‌ساز حاصل ترکیب دو جریان مستقل از دما و CTAT می‌باشد. ساختار معرفی شده برای منبع جریان مستقل از دما در شکل ۴-۷ نشان داده شده است. روابط جریان‌های داخلی منبع جریان مستقل از دما و جریان خروجی آن توسط روابط (۴-۹)، (۴-۱۰) و (۴-۱۱) بیان شده‌اند. علاوه بر این روابط، نسبت ترانزیستورهای آینه‌ی جریان در مدار شامل M_4 و M_3 نیز قابلیت تغییر اندازه‌ی جریان خروجی را فراهم می‌سازد. با توجه به شکل۴-۷، جریان خروجی برابر است با :

$$I_{ref} = \frac{(W/L)_4}{(W/L)_3}\left(I_{M_3}\right) \qquad (۴-۱۲)$$

که در آن I_{ref} جریان خروجی منبع جریان مستقل از دما، I_{M_3} جریان ترانزیستور M_3 و $\frac{(W/L)_4}{(W/L)_3}$ نسبت ابعاد ترانزیستورM_4 به M_3 می‌باشد. جریان I_{M_3} حاصل جمع دو جریان I_{PTAT} و I_{CTAT} است که روابط

آن به ترتیب در عبارت‌های (۴-۱۰) و (۴-۱۱) نشان داده شده‌اند. بنابراین جریان I_{ref} را می‌توان به این صورت بازنویسی نمود :

$$I_{ref} = \left(\frac{\ln(n)}{R_1} V_T + \frac{V_{BE3}}{R_2}\right) \frac{(W/L)_4}{(W/L)_3} \qquad (۴-۱۳)$$

برای بدست آوردن رابطه‌ی تغییر دمای جریان خروجی منبع جریان ثابت، از رابطه‌ی (۴-۱۳) نسبت به دما مشتق گرفته می‌شود :

$$\frac{\partial I_{ref}}{\partial T} = \frac{\ln(n)}{R_1} \frac{\partial V_T}{\partial T} + \frac{1}{R_2} \frac{\partial V_{BE3}}{\partial T} = \left[\frac{k.\ln(n)}{q.R_1} + \frac{1}{R_2}(-2.2)\right] \frac{(W/L)_4}{(W/L)_3} \qquad (۴-۱۴)$$

که در آن k ثابت بولتزمان، q بار یک الکترون، R_1 مقاومت حلقه‌یPTAT ، R_2 مقاومت حلقه‌ی CTAT و n نسبت مساحت امیتر ترانزیستور Q_2 به Q_1 می‌باشد. تغییرات دمایی ولتاژ بیس-امیتر با دما نیز به مقدار $-۲/۲ \ mV/^\circ C$ می‌باشد[۴۰].

مطابق با مدل مفهومی علاوه بر منبع جریان مستقل، یک منبع جریان CTAT برای جبران-سازی تغییرات فرکانس نیاز است. در ساختار پیشنهادی نخست، این منبع جریان CTAT با بهره‌گیری از ولتاژ آستانه‌ی ترانزیستور PMOS ساخته شده است. ساختار این مدار در شکل (۴-۵) نشان داده شده و نحوه‌ی تولید جریان در بخش ۴-۳-۲ مورد بررسی قرار گفته است.

با ترکیب جریان خروجی این مدار و جریان منبع جریان مستقل از دما جریان نهایی نوسان‌ساز حلقوی را می‌توان با رابطه‌ی (۴-۱۵) بیان کرد :

$$I_{RO_T} = \frac{|V_{THp}|}{R} + \frac{\ln(n)}{R_1} V_T + \frac{V_{BE3}}{R_2} \qquad (۴-۱۵)$$

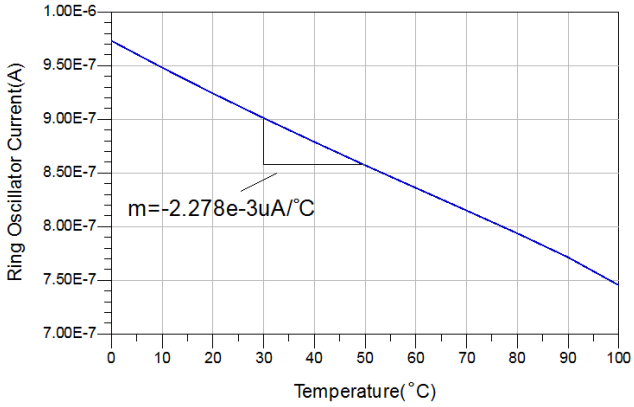
با توجه به روابط مربوط به ضریب حرارتی ولتاژ آستانه ترانزیستورMOS در عبارت‌های (۲-۳۳) و (۲-۳۴) می‌توان تغییرات دمایی جریان نوسان‌ساز را با مشتق گرفتن از رابطه‌ی (۴-۹) به صورت رابطه‌ی (۴-۱۶) نوشت:

$$\frac{\partial I_{RO_T}}{\partial T} = \frac{1}{R}\frac{\partial V_{THp}}{\partial T} + \frac{\ln(n)}{R_1}\frac{\partial V_T}{\partial T} + \frac{1}{R_2}\frac{\partial V_{BE3}}{\partial T} = \qquad (۱۶-۴)$$

$$\frac{\alpha V_T}{R} + \left[\frac{k.\ln(n)}{q.R_1} + \frac{1}{R_2}(-2.2)\right]\frac{(W/L)_4}{(W/L)_3}$$

همانطور که در بخش ۲-۶-۲ نشان داده شد، در نتیجه‌ی روابط (۲-۳۳)، (۲-۳۴) و (۲-۳۵)، αV_T ضریب حرارتی ولتاژ آستانه، کمیتی منفی می‌باشد و مقدار تقریبی آن در تکنولوژی CMOS ۰/۱۸ µm حدود ۰/۸ mV/°C- است[۳۶].

برای بدست آوردن بهترین شیب جریان CTAT جهت جبران‌سازی افزایش فرکانس نوسان‌ساز نسبت به دما، ابتدا نوسان‌ساز مورد نظر با دو منبع جریان ایده‌آل که یکی دارای مقدار مستقل از دما و برابر ۹۰۰ nA و دیگری وابسته به دما و برابر $m \times T$ µA/°C (m ضریب حرارتی جریان) بود، مورد شبیه‌سازی قرار گرفت. از آنجایی که مقدار متوسط جریان نوسان‌ساز در بازه دمایی مورد نظر ۸۰۰nA است، جهت شبیه‌سازی جبران‌سازی با منابع جریان ایده‌آل مقدار ۹۰۰ nA انتخاب شد تا کاهش آن با دما موجب کاهش فرکانس نگردد. با تغییر m، تغییرات فرکانس نوسان ساز مورد بررسی قرار گرفت که بر اساس آن بهترین ضریب حرارتی برای جمله‌ی CTAT جریان برابر با -2.15×10^{-3} µA/°C بدست آمد. اکنون بر اساس شبیه‌سازی سیستماتیک قبلی و ضریب حرارتی حاصل برای منبع جریان CTAT در حالت ایده‌آل، پارامترهای مدار به گونه‌ای تنظیم و طراحی شد که جریانی مطابق شکل ۴-۸ با ضریب حرارتی مورد نظر تولید شود. ملاحظه می‌شود که شیب بدست آمده برای جریان در وضعیت غیر ایده‌آل نزدیک به مقداری است که در شبیه‌سازی ایده‌آل حاصل شده‌است و آن به دلیل تاثیر منابع جریان روی یکدیگر در وضعیت غیرایده‌آل می‌باشد.



شکل۴-۸ شیب جریان جبران‌ساز نوسان‌ساز حلقوی I_{RO_T} در ساختار پیشنهادی نخست

۴-۴-۱-۲ منبع جریان مستقل از دما

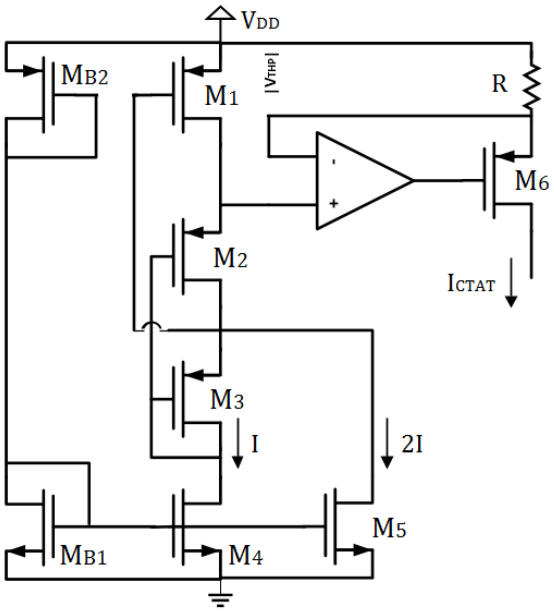
همانطور که در توضیح مدل مفهومی اشاره شد، سهم جریان منبع مستقل از دما بیشتر از منبع جریان CTAT است و نسبت این دو جریان، حساسیت دمایی فرکانس نوسان‌ساز را مشخص می‌کند، که با تکرار طراحی و اجرای شبیه‌سازی مقدار دقیق این جریان‌ها بدست آمده است. در مرحله‌ی طراحی سهم منبع جریان مستقل از دما ۷۰۰ nA و سهم منبع جریانCTAT، ۱۰۰nA در نظرگرفته شده که در ادامه‌ی شبیه‌سازی با استفاده از نسبت ترانزیستورهای آینه‌ی جریان، به مقدار لازم اصلاح شده است. همچنین سهم جریان PTAT داخلی مدار ۴۰۰nA و سهم جریان CTAT داخلی مدار ۲۰۰nA در نظر گرفته شده است و مقدار جریان باقیمانده با استفاده از نسبت آینه جریان ترانزیستور M_4 افزایش می‌یابد. با توجه به رابطه‌های (۴-۹)، (۴-۱۰)، (۴-۱۱) و با در نظر گرفتن مقدار n برابر با ۵، که نسبت سطوح امیتر ترانزیستورهای Q_1 و Q_2 می‌باشد، مقادیر محاسبه شده برای R_1 و R_2 و نسبت ترانزیستورها در جدول زیر نشان داده شده است :

جدول۴-۳ مقادیر بدست آمده برای منبع جریان مستقل از دما

R_1	104 kΩ	M_2	0.28/8
R_2	3.2 MΩ	M_3	0.28/8
M_1	0.28/8	M_4	0.22/12

۴-۴-۱-۳ منبع جریان CTAT با استفاده از V_{THp}

در بخش قبل مقدار جریان لازم از منبع جریان CTAT، به مقدار ۱۰۰ nA تعیین شده که با توجه ضریب دمایی خروجی ممکن است کاهش یا افزایش پیدا کند. با توجه به شکل۴-۹ و با فرض V_{THp} =۰/۴۵ V و در نظر گرفتن جریان I=۱μA و همچنین با توجه به روابط (۴-۵)، (۴-۶) و (۴-۷) مقادیر محاسبه شده برای مقاومت و ابعاد ترانزیستورها در جدول ۴-۴ نشان داده شده است.



شکل۴-۹ منبع جریان CTAT پیاده‌سازی شده

جدول۴-۴ مقادیر بدست آمده برای منبع جریان CTAT

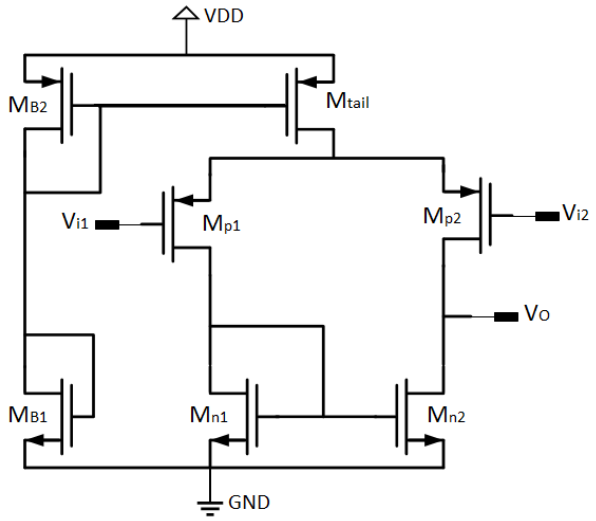
R	6 MΩ	M_3	0.22/0.2	M_6	0.22/15
M_1	0.6/0.18	M_4	0.42/0.85	M_{B1}	0.42/0.2
M_2	0.22/0.2	M_5	0.23/1.6	M_{B2}	0.22/0.44

۴-۴-۱-۴ آپ‌آمپ مدار منبع جریان

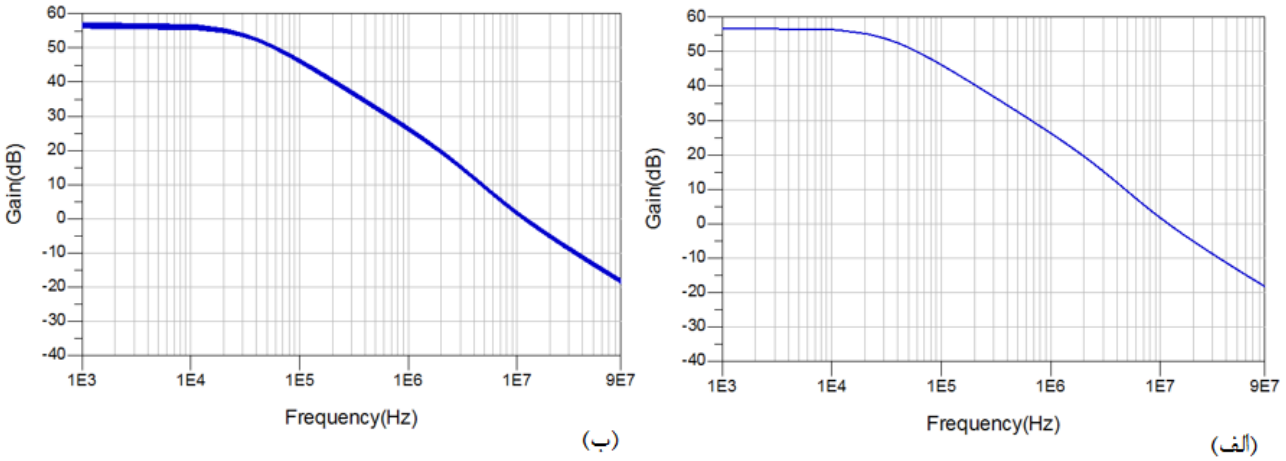
با توجه به شکل ۴-۹، مهم‌ترین نقش آپ‌امپ برابر نگه‌داشتن ولتاژ سورس M_6 با درین M_1 است. به همین جهت استفاده از یک آپ‌امپ یک طبقه ساده دارای ورودی‌های ترانزیستورPMOS با بهره‌ای درحدود ۵۰dB می‌تواند پاسخگوی ملاحظات مربوط به طراحی منبع جریان CTAT باشد. در نتیجه بهینه کردن پارامترهای مربوط به فرکانس مورد بررسی قرار نمی‌گیرد. با توجه به شکل ۴-۱۰ و برای جریان I_{tail} برابر با ۲ µA ابعاد ترانزیستورهای مدار آپ‌امپ در جدول ۴-۵ نشان داده شده است. بهره‌ی حلقه باز آپ‌امپ نیز در شکل ۴-۱۱ نشان داده شده است که در قسمت (الف) بهره به ازای دمای اتاق و در قسمت (ب) بهره به ازای تغییر دما از $0^{\circ}C$ تا $100^{\circ}C$ است. همانطور که در شکل ملاحظه می‌شود بهره‌ی فرکانس پایین این تقویت کننده ۵۶dB و فرکانس بهره‌ی واحد آن ۱۲MHz می‌باشد.

جدول۴-۵ مقادیر مدار آپ‌امپ منبع جریانCTAT با V_{THp}

$M_{n1\&2}$	1.54/20	M_{B1}	0.26/10
$M_{p1\&2}$	18.9/8	M_{B2}	0.28/0.8
M_{tail}	1.05/0.18		



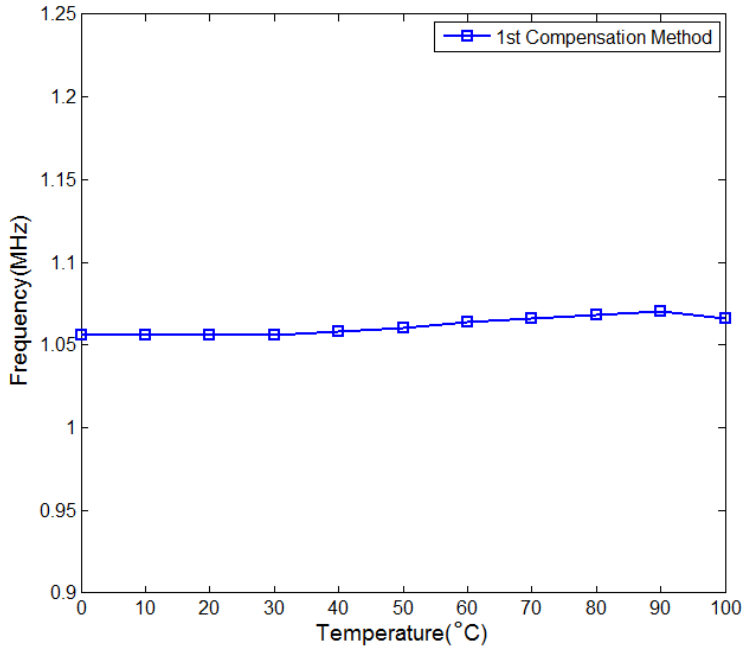
شکل۴-۱۰ آپ‌امپ استفاده شده در ساختار پیشنهادی نخست



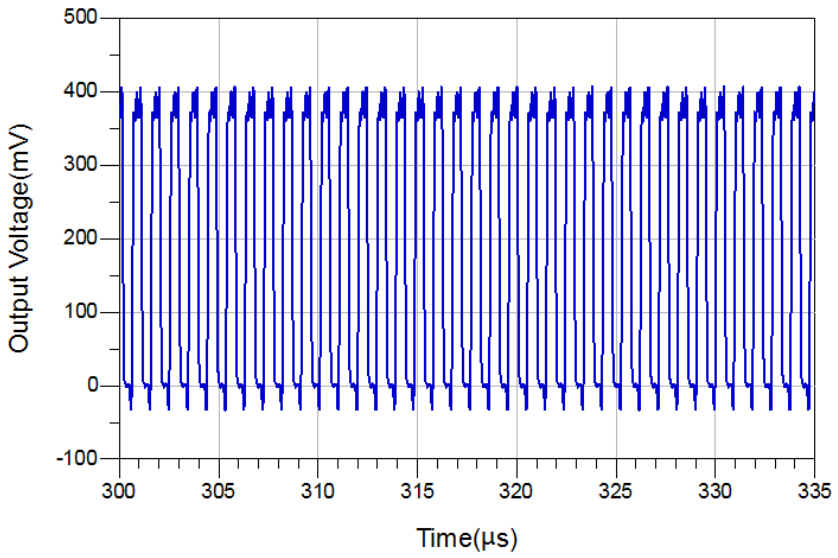
شکل۴-۱۱ بهره آپ‌امپ (الف) در دمای ۲۷°C، (ب) تغییر بهره به ازای تغییر دما از ۰°C تا ۱۰۰°C

۴-۴-۱-۵ نتیجه‌ی شبیه‌سازی

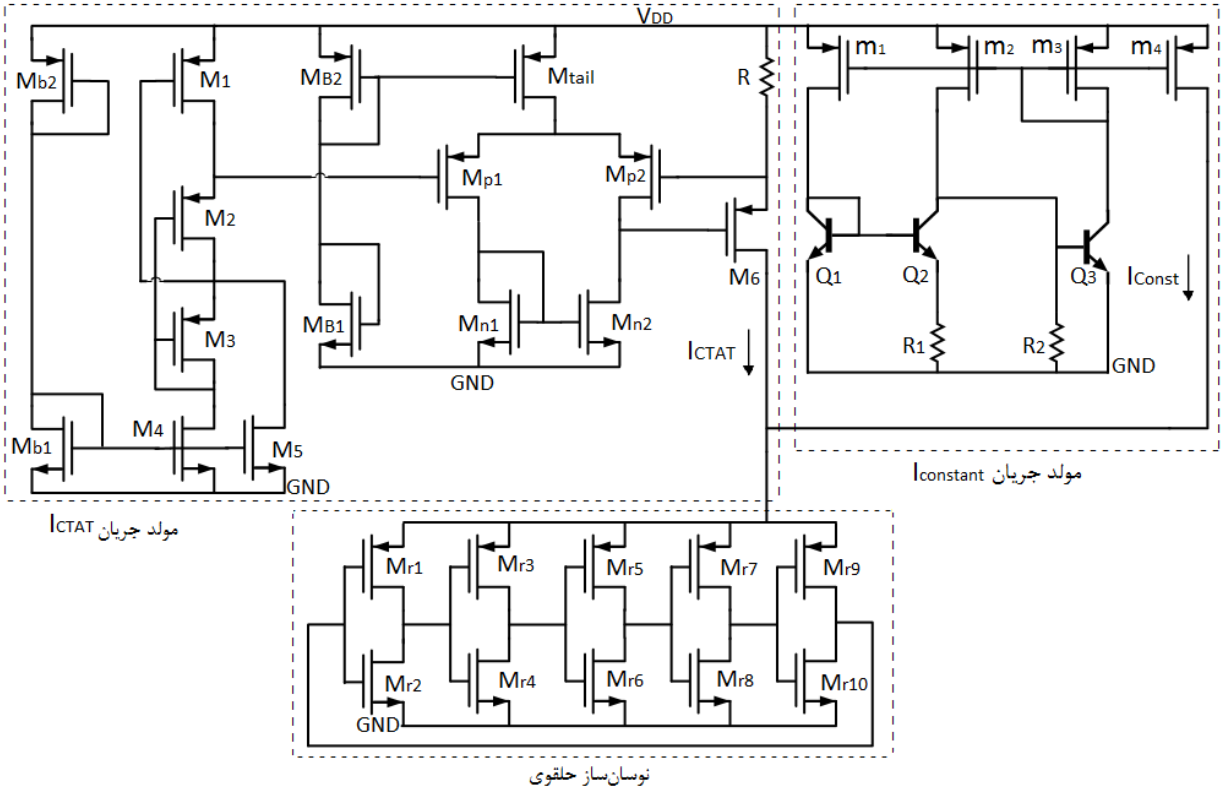
به دنبال طراحی و شبیه‌سازی مدارهای منبع جریان مستقل از دما، منبع جریان CTAT و آپ‌امپ و تامین جریان با ضریب دمایی CTAT برای نوسان‌ساز، تغییرات فرکانس نوسان‌ساز حلقوی از ٪ ۲۴/۳ در حالت جبران‌سازی نشده به میزان ٪ ۱/۳۱ در حالت جبران‌سازی شده کاهش پیدا کرد. به عبارتی دیگر ضریب حرارتی نوسان‌ساز حلقوی زیرآستانه در حالت جبران‌سازی نشده به میزان ۲۴۳۰ ppm/°C بود، که به مقدار ۱۳۱ ppm/°Cبهبود یافته است. همچنین توان کل مصرفی مدار به اندازه‌ی۳۳µW می‌باشد. در شکل ۴-۱۲ منحنی تغییرات فرکانس نوسان‌ساز حلقوی جبران‌سازی شده نسبت به دما نشان داده شده است. همچنین شکل سیگنال خروجی نوسان‌ساز حلقوی در دمای اتاق در شکل ۴-۱۳ و شماتیک مدار پیشنهادی شامل تمام بخش‌هایی که توضیح داده شد، در شکل ۴-۱۴ نشان داده شده است.



شکل۴-۱۲ منحنی مشخصه‌ی فرکانس نوسان‌ساز حلقوی جبران‌سازی شده در ساختار پیشنهادی نخست



شکل ۴-۱۳ شکل موج سیگنال خروجی نوسان‌ساز حلقوی در دمای ۲۷ °C



شکل۴-۱۴ مدار کلی شبیه‌سازی شده برای جبران‌سازی نوسان‌ساز حلقوی در ساختار پیشنهادی نخست

۴-۴-۲ ساختار پیشنهادی دوم : نوسان‌ساز حلقوی پیشنهادی جبران‌سازی شده توسط منبع جریان CTAT مبتنی بر V_{BE}

مشابه ساختار نخست، طبق مدل مفهومی ارائه شده، جهت جبران‌سازی نوسان‌ساز حلقوی از ترکیب دو منبع جریان مستقل از دما و منبع جریان CTAT استفاده شده است. جریان نهایی نوسان‌ساز جریانی با ضریب حرارتی منفی است که به ازای آن تغییرات فرکانس نوسان‌ساز در بازه‌ی دمایی مورد نظر کاهش یافته و به صفر نزدیک می‌شود. در این مرحله از مدار شکل۴-۶ به عنوان تامین‌کننده‌ی جریان CTAT بهره گرفته شده است که در آن برای تولید جریان با ضریب حرارتی منفی از ولتاژ بیس-امیتر ترانزیستورهای BJT استفاده می‌شود. به همراه منبع جریان CTAT، منبع جریان مستقل از دمایی مشابه ساختار پیشنهادی نخست که در شکل ۴-۷ نشان داده شده نیز به کار گرفته شده است. در این قسمت هم جبران‌سازی دمایی برای یک نوسان‌ساز حلقوی متشکل از پنج طبقه وارون‌کننده‌ی تک‌سر

با فرکانس MHz ۱و جریان nA ۸۰۰ انجام شده است. در ادامه، جزییات مربوط به نحوه‌ی طراحی بخش‌های مختلف این ساختار و جبران‌سازی دمایی جریان نوسان‌ساز و نتایج به دست آمده ارائه خواهد شد.

۴-۴-۲-۱ ضریب حرارتی جریان جبران‌سازی شده برای نوسان‌ساز حلقوی ساختار دوم

در این ساختار، منبع جریان مستقل از دمای استفاده شده همانند ساختار نخست است و عبارت-های (۴-۹)، (۴-۱۰) و (۴-۱۱) روابط جریان‌ها را نشان داده و جریان خروجی منبع جریان مستقل از دما از رابطه‌های (۴-۱۲) و (۴-۱۳) قابل دستیابی است. با مشتق گرفتن از رابطه‌ی (۴-۱۳) نسبت به دما وابستگی دمایی جریان خروجی منبع جریان مستقل از دما مشابه رابطه‌ی (۴-۱۴) به این صورت است:

$$\frac{\partial I_{ref}}{\partial T}=\frac{\ln(n)}{R_1}\frac{\partial V_T}{\partial T}+\frac{1}{R_2}\frac{\partial V_{BE3}}{\partial T}=\left[\frac{k.\ln(n)}{q.R_1}+\frac{1}{R_2}(-2.2)\right]\frac{(W/L)_4}{(W/L)_3} \qquad (۴-۱۷)$$

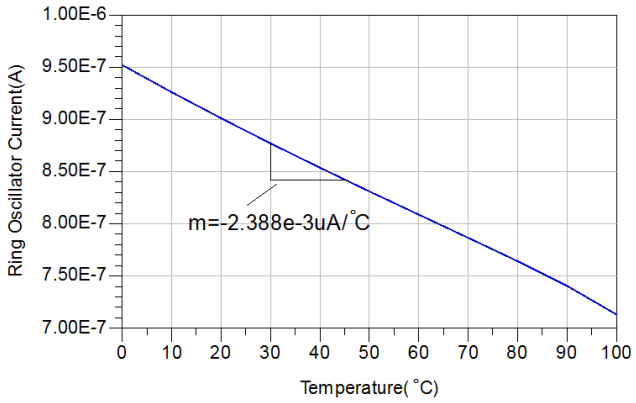
منبع جریان CTAT مورد استفاده در این ساختارکه از ولتاژ بیس-امیتر برای تولید جریان استفاده می‌کند، در شکل۴-۶ نشان داده شده است. با توجه به شکل ۴-۶ و رابطه‌ی (۴-۸)، جریان درین ترانزیستورM_2 برابر است با V_{EB}/R، که جریان خروجی مدار را می‌توان با نسبت ابعاد ترانزیستورهای M_3 به M_2 به مقدار مورد نیاز تنظیم نمود. از آنجایی که ترکیب جریان‌های مستقل از دما وCTAT جهت جبران‌سازی به درون نوسان‌ساز حلقوی هدایت می‌شود، از رابطه‌های (۴-۱۳) و (۴-۸) می‌توان جریان کلی نوسان‌ساز را به صورت عبارت (۴-۱۹) نوشت :

$$I_{RO_B}=\frac{V_{EB}}{R}+\left[\frac{\ln(n)}{R_1}V_T+\frac{V_{BE3}}{R_2}\right]\frac{(W/L)_4}{(W/L)_3} \qquad (۴-۱۹)$$

تغییر دمایی جریان نوسان‌ساز حلقوی با مشتق رابطه(۴-۱۹) نسبت به دما به شکل رابطه (۴-۲۰) می‌توان نشان داد:

$$\frac{\partial I_{RO_B}}{\partial T} = \frac{1}{R}\frac{\partial V_{EB}}{\partial T} + \frac{\ln(n)}{R_1}\frac{\partial V_T}{\partial T} + \frac{1}{R_2}\frac{\partial V_{BE3}}{\partial T} = \frac{1}{R}(-2.2) + \left[\frac{k.\ln(n)}{q.R_1} + \frac{1}{R_2}(-2.2)\right]\frac{(W/L)_4}{(W/L)_3} \quad (۲۰-۴)$$

که I_{RO_B} جریان کلی نوسان‌ساز حلقوی در این ساختار پیشنهادی است. پس از طی مراحل طراحی تمام بخش‌های مدار مناسب‌ترین شیب برای جریان حاصل از تجمیع جریان‌های مستقل از دما و CTAT که به بهترین نتیجه‌ی جبران‌سازی برای نوسان‌ساز حلقوی منجر شده است در شکل ۴-۱۵ نشان داده شده است. مقدار شیب جریان نسبت به دما $-2.388 \times 10^{-3}\ \mu A/°C$ می‌باشد.



شکل۴-۱۵ شیب جریان جبران‌ساز نوسان‌ساز حلقوی I_{RO_B} در ساختار پیشنهادی دوم

۴-۴-۲-۲ منبع جریان مستقل از دما

مشابه طراحی ساختار نخست، سهم جریان منبع جریان مستقل از دما ۷۰۰ nA و سهم جریان CTAT ۱۰۰nA در نظر گرفته شده است. محاسبات برای مقدار جریان مستقل از دما مانند قسمت قبل است و در صورت نیاز به تغییرات جزیی در اندازه‌ی جریان از تغییر نسبت آینه جریان ترانزیستورها استفاده می‌شود. جدول ۴-۶ مقادیر بدست آمده برای منبع جریان مستقل از دما را نشان می‌دهد.

جدول ۴-۶ مقادیر بدست آمده برای منبع جریان مستقل از دما

R_1	104 kΩ	M_2	0.28/8
R_2	3.2 MΩ	M_3	0.28/8
M_1	0.28/8	M_4	0.22/12

۴-۴-۲-۳ منبع جریان CTAT با استفاده از V_{BE}

برای پیاده‌سازی جریان CTAT با استفاده از V_{BE}، مدار۴-۶ طراحی و شبیه‌سازی شده است. باتوجه به رابطه‌ی ۴-۸ مقدار جریان با استفاده از نسبت ابعاد ترانزیستورهای آینه‌ی جریان قابل تنظیم است. مقدار جریان در نظر گرفته شده برای جریان CTAT ، ۱۰۰nA است، در نتیجه مقادیر محاسبه شده برای مقاومت و ابعاد ترانزیستورها در جدول ۴-۷ آورده شده است.

جدول ۴-۷ مقادیر محاسبه شده برای مدار منبع جریان CTAT

M_1	0.22/10	M_3	0.22/18
M_2	0.22/10	R	5.5 MΩ

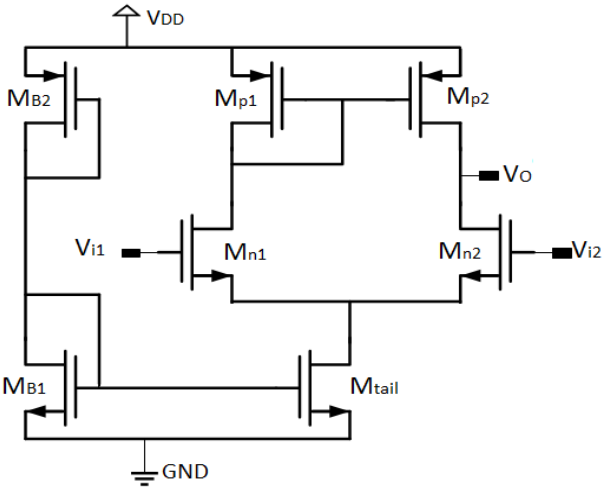
۴-۴-۲-۴ آپ‌امپ مدار منبع جریان

آپ‌امپی که برای منبع جریان CTAT در این بخش مورد استفاده قرار گرفته است، آپ‌امپی یک طبقه دارای ترانزیستورهای ورودی NMOS می‌باشد و در شکل ۴-۱۶ نشان داده شده است. از آنجایی مقدار ولتاژ مود مشترک ورودی در مدار منبع جریان CTAT این ساختار با ساختار پیشنهادی نخست متفاوت و کمتر می‌باشد، آپ‌امپ طراحی شده در این ساختار از ورودی‌های NMOS بهره‌گرفته است. در نتیجه ابعاد ترانزیستورهای آپ‌امپ متفاوت بوده و در جدول ۴-۸ نشان داده شده است. با توجه به شکل (۴-۶)، در این قسمت نیز نقش اصلی آپ‌امپ یکسان نگه داشتن ولتاژ دو سر مقاومت(نقطه

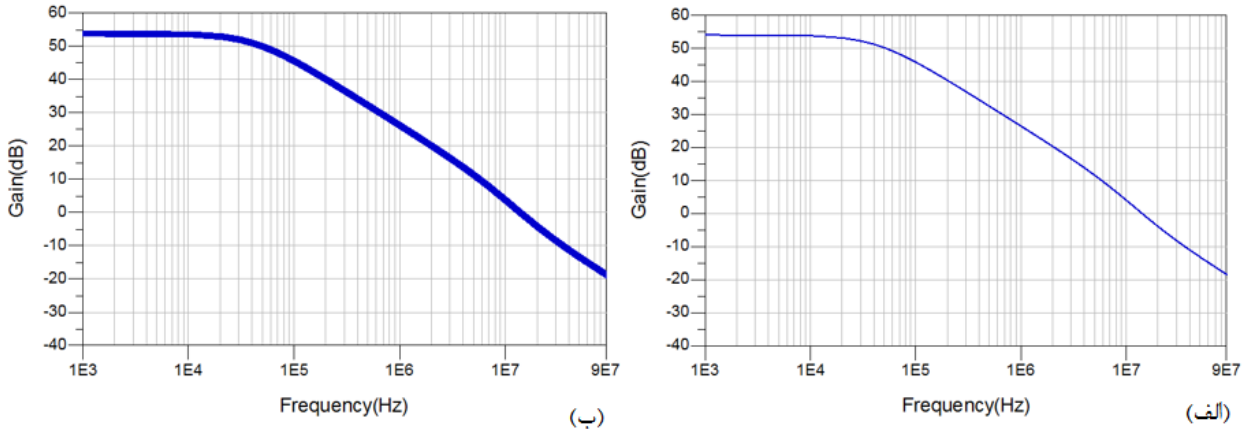
B) به مقدار ولتاژ بیس-امیتر ترانزیستور(نقطهA) است. در شکل ۴-۱۷(الف) بهره آپ‌امپ در دمای اتاق و (ب) بهره‌ی آپ‌امپ در محدوده‌ی دمایی ۰°C تا ۱۰۰°C نشان داده شده است. با توجه به شکل، بهره‌ی فرکانس پایین این تقویت کننده ۵۴dB و فرکانس بهره‌ی واحد آن ۱۳MHz می‌باشد.

جدول۴-۸ مقادیر مدار آپ‌امپ منبع جریان CTAT با V_{BE}

$M_{n1\&2}$	4.4/8	M_{B1}	0.22/0.75
$M_{p1\&2}$	3.6/4	M_{B2}	0.23/4.3
M_{tail}	0.6/0.35		



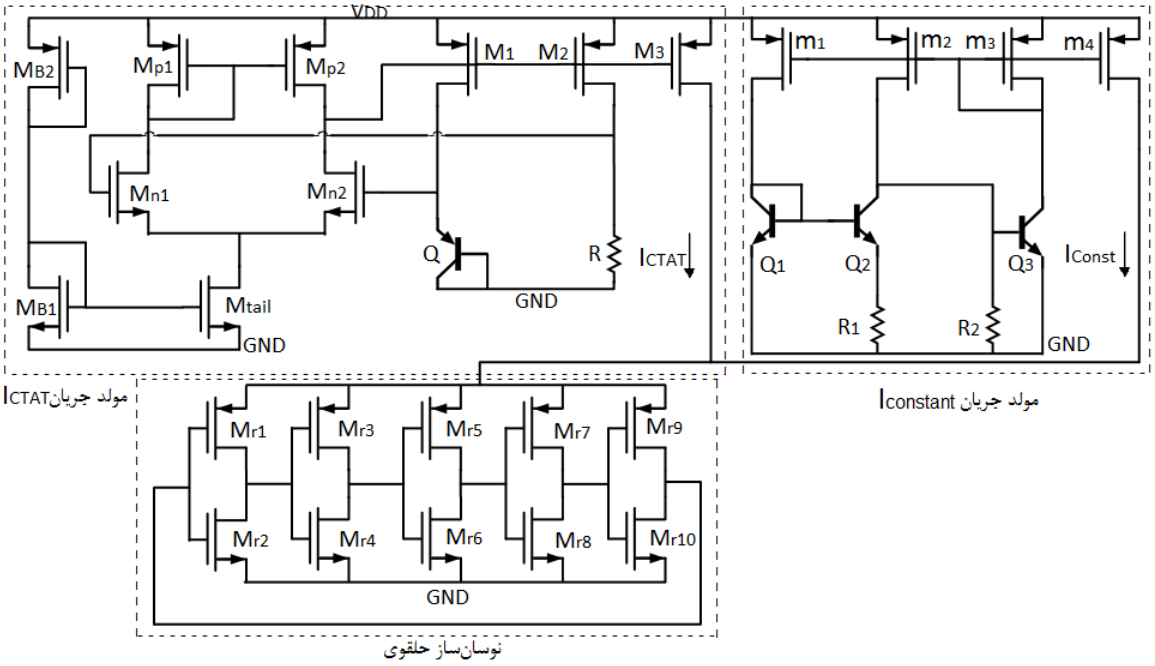
شکل۴-۱۶ آپ‌امپ استفاده شده در ساختار پیشنهادی دوم



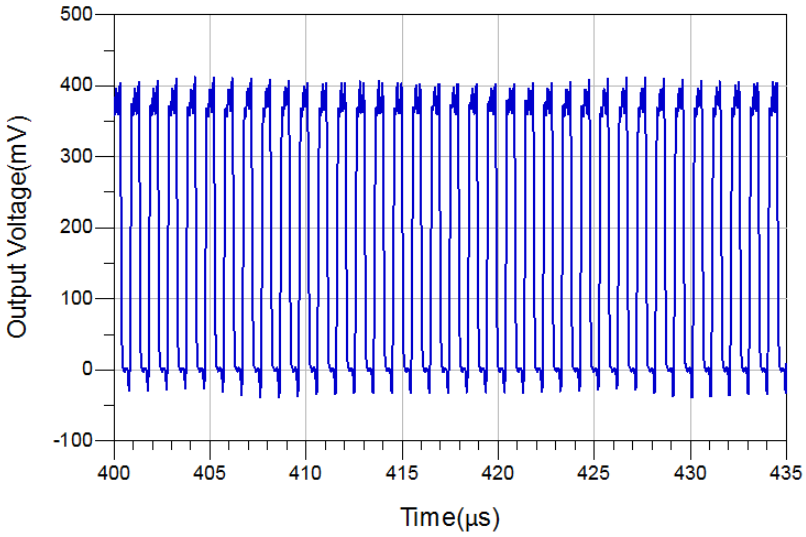
شکل ۴-۱۷ بهره آپ‌امپ (الف) در دمای ۲۷°C، (ب) تغییر بهره به ازای تغییر دما از ۰°C تا ۱۰۰°C

۴-۴-۲-۵ نتیجه‌ی شبیه‌سازی

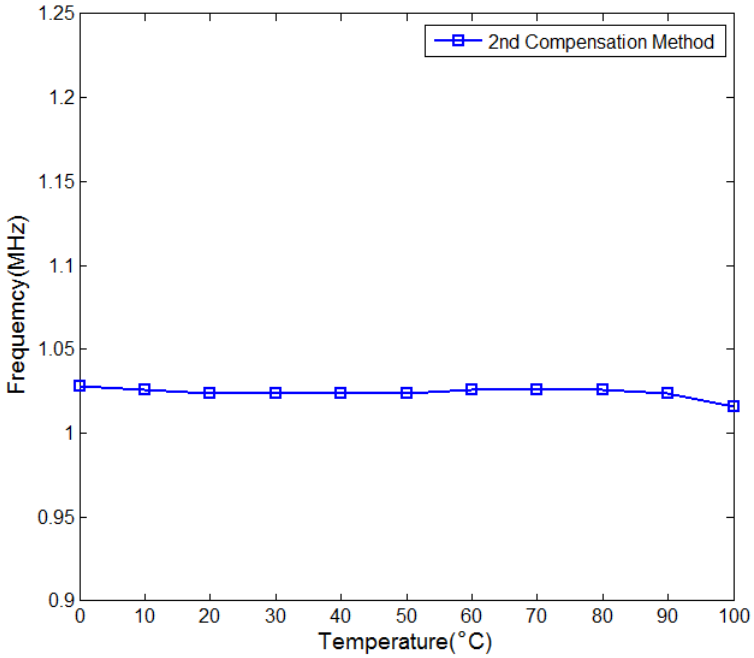
مدار کلی شامل تمام بخش‌هایی که توضیح داده شد، در شکل ۴-۱۸ نشان داده شده که در نرم‌افزار ADS شبیه‌سازی شده است. با بکارگیری ساختار ترکیبی منبع جریان CTAT با استفاده از ولتاژ V_{BE} و تجمیع این جریان با جریان خروجی منبع جریان مستقل از دما جهت جبران‌سازی دمایی نوسان‌ساز حلقوی، تغییرات فرکانس نوسان‌ساز حلقوی از ٪ ۲۴/۳ در حالت جبران‌سازی نشده به میزان ٪ ۱/۱در حالت جبران‌سازی شده کاهش پیدا کرد. ضریب حرارتی نوسان‌ساز حلقوی زیرآستانه در حالت جبران‌سازی نشده به میزان ۲۴۳۰ ppm/°C بوده که به مقدار ۱۱۷ ppm/°C بهبود یافت. همچنین توان کل مصرفی مدار با منبع تغذیه‌ی ۱/۸ ولت، به اندازه‌ی۱۳/۳µWمی‌باشد که با طراحی‌های جدید در این زمینه قابل مقایسه است. در شکل ۴-۱۹سیگنال خروجی نوسان‌ساز حلقوی در دمای اتاق(°C ۲۷) و در شکل ۴-۲۰ منحنی تغییرات فرکانس نوسان‌ساز حلقوی با دما نشان داده شده است.



شکل۴-۱۸ مدار کلی شبیه‌سازی شده جهت جبران‌سازی نوسان‌ساز حلقوی ساختار پیشنهادی دوم

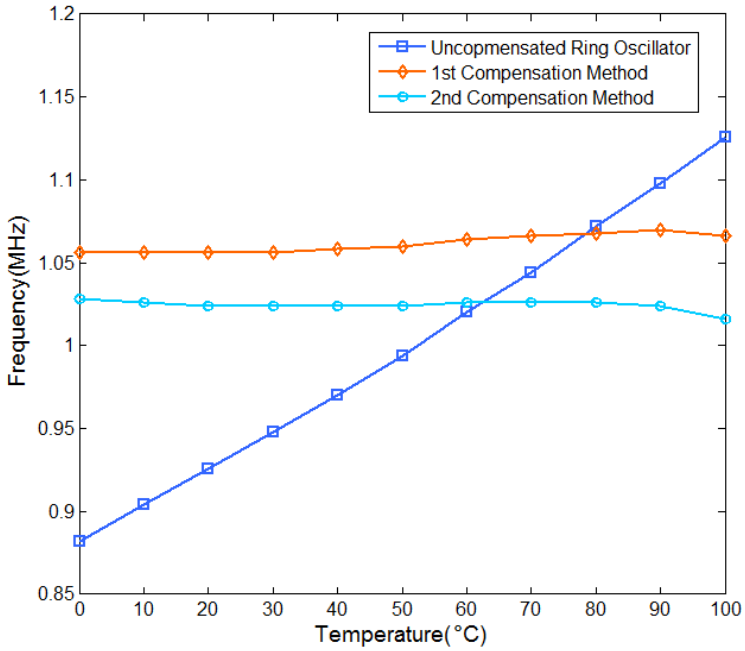


در شکل ۴-۱۹ سیگنال خروجی نوسان‌ساز حلقوی در دمای ۲۷°C



شکل ۴-۲۰ منحنی مشخصه‌ی فرکانس نوسان‌ساز حلقوی جبران‌سازی شده در ساختار پیشنهادی دوم

برای انجام یک مقایسه‌ی جامع و مشاهده‌ی نتایج در کنار یکدیگر، در شکل ۴-۲۱ تغییرات فرکانس خروجی نوسان‌ساز حلقوی نسبت به دما در سه حالت جبران‌سازی نشده، جبران‌سازی با استفاده از ساختار نخست و جبران سازی با استفاده از ساختار دوم نشان داده شده است.

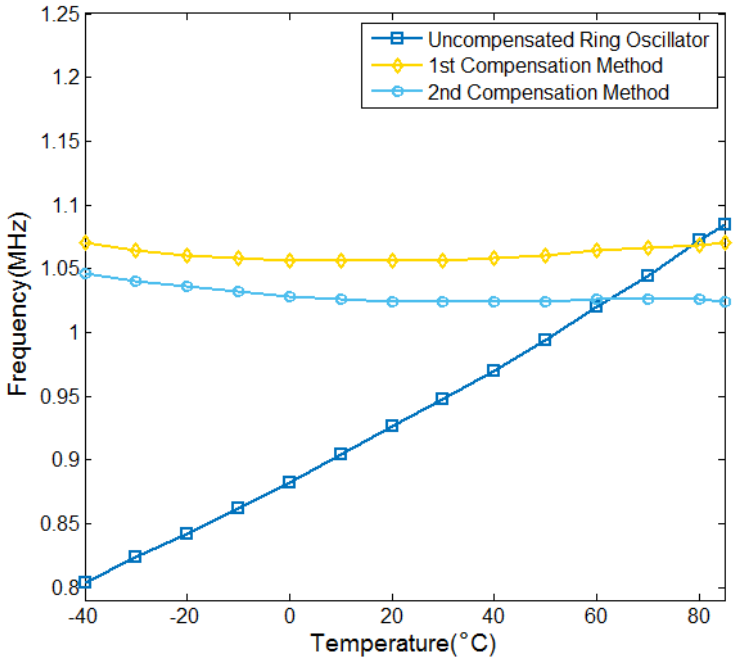


شکل۴-۲۱ مقایسه‌ی تغییرات فرکانس خروجی نوسان‌ساز در سه حالت جبران‌سازی نشده، جبران‌سازی ساختار نخست و جبران‌سازی ساختار دوم در بازه‌ی دمایی ۰°C تا ۱۰۰°C

با توجه به اینکه وضعیت تغییر فرکانس خروجی نوسان‌ساز حلقوی و دو ساختار پیشنهادی در بازه‌ی دمایی ۰°C تا ۱۰۰°C مورد بررسی قرار گرفت، جهت بررسی دقیق‌تر رفتار دمایی نوسان‌ساز و ساختارهای جبران‌سازی، نتایج برای بازه دمایی صنعتی از ۴۰°C- تا ۸۵°C نیز محاسبه شده است که در ادامه تبیین می‌گردد. تغییرات فرکانس خروجی نوسان‌ساز حلقوی نسبت به دما در حالت جبران‌سازی نشده به اندازه‌ی ۲۹/۶٪ و ضریب دمایی آن برابر ۲۹۶۶ ppm/°C می‌باشد. در جبران‌سازی با استفاده از ساختار پیشنهادی نخست (که از ولتاژ آستانه‌ی ترانزیستور PMOS بهره گرفته است) تغییر دمایی فرکانس نوسان‌ساز برابر با ۱/۳٪ و ضریب دمایی آن به مقدار ۱۰۵/۳ ppm/°C بدست آمده است.

برای ساختار پیشنهادی دوم (که از ولتاژ پیوند بیس-امیتر استفاده شده است) تغییر دمایی نوسان‌ساز در بازه‌ی دمایی مذکور به اندازه‌ی ۲/۱٪ و ضریب دمایی برابر با ۱۷۰ppm/°C حاصل شده است. توان مصرفی در ساختار نخست برابر با ۳۴/۳ µW و در ساختار دوم به اندازه‌ی ۱۴/۴ µW بوده

است. در شکل ۴-۲۲ مشخصه‌ی فرکانس خروجی نوسان‌ساز در سه حالت جبران‌سازی نشده، جبران-سازی ساختار نخست و جبران‌سازی ساختار دوم در این بازه‌ی دمایی نشان داده شده است.



شکل۴-۲۲ مقایسه‌ی تغییرات فرکانس خروجی نوسان‌ساز در سه حالت جبران‌سازی نشده، جبران‌سازی ساختار نخست و جبران‌سازی ساختار دوم در بازه دمایی ۴۰ °C- تا ۸۵ °C

۴-۵ مقایسه نتایج مدار پیشنهادی با پژوهش‌های قبلی

نوسان‌سازهای RC Relaxation با توجه به قابلیت مجتمع سازی خوب، پیاده‌سازی در ابعاد کوچک و مصرف توان پایین تحقیقات بسیاری را به خود معطوف داشته است. به دلیل حساسیت دمایی بالای این دسته از نوسان‌سازها جبران‌سازی دمایی یکی از موضوعات مهم مورد بررسی این پژوهش-هاست. از این رو در جدول ۴-۹، به مقایسه‌ی نتایج بدست آمده در این مطالعه با نتایج برخی از این تحقیقات پرداخته می‌شود.

جدول ۴-۹ مقایسه نتایج با پژوهش‌های قبلی

مراجع	[۴۶]	[۴۷]	[۴۹]	[۵۵]	[۵۶]	ساختار نخست	ساختار دوم
سال انتشار	۲۰۱۶	۲۰۱۴	۲۰۱۳	۲۰۰۹	۲۰۰۹	--	--
تکنولوژی (nm)	۱۸۰	۱۳۰	۱۳۰	۱۳۰	۳۵۰	۱۸۰	۱۸۰
حداقل V_{DD} (V)	۳	۱	۲/۵	۱/۵	۳	۱/۸	۱/۸
فرکانس نوسان‌ساز (MHz)	۱/۹	۱/۲	۱	۳/۲	۳۰	۱	۱
توان مصرفی (μW)	۳۹۰	۵/۸	۴۲۸	۳۸/۴	۱۸۰	۳۳	۱۳/۳
تغییر نسبت به دما (٪)	۱/۱۶	±۱/۸	N/A	N/A	N/A	۱/۳	۱/۱۷
ضریب دمایی (ppm/°C)	۹۲/۸	۲۹۶	۱۰۸	۱۲۵	۹۰	۱۳۱	۱۱۷
بازه دمایی (°C)	-۴۰-۸۵	-۴۰-۸۰	۲۵-۲۰۰	۲۰-۶۰	-۲۰-۱۰۰	۰-۱۰۰	۰-۱۰۰

همانطور که از مقایسه‌ی نتایج برمی‌آید می‌توان گفت در جبران‌سازی دمایی میان مصرف توان و ضریب دمایی فرکانس خروجی مصالحه‌ای وجود دارد. در مقایسه با [۴۶] که جبران‌سازی دمایی برای یک نوسان‌ساز حلقوی بالای آستانه با استفاده از تکنیک ترکیب دو مرجع جریان PTAT و ثابت صورت گرفته است، ملاحظه می‌شود که نتیجه‌ی این پژوهش با توجه تکنولوژی مورد استفاده ۰/۱۸μm و منبع تغذیه‌ی ۳ ولت با فرکانس ۱/۹ MHz دارای توان مصرفی بالایی بوده ولی ضریب حرارتی مناسبی برابر با ۹۲/۸ ppm/°C دارد. در صورتی که در کار ارائه شده در این پایان‌نامه با همان تکنولوژی، توان مصرفی به طور قابل ملاحظه‌ای کاهش پیدا کرده و ضریب حرارتی نیز قابل مقایسه با آن است. در مقابل، پژوهش انجام شده در[۴۷] با توجه به ابعاد تکنولوژی استفاده شده و منبع تغذیه، توان مصرفی بسیار کمی داشته که در مقایسه با[۴۶] و ساختارهای ارائه شده در این پایان‌نامه، دارای ضریب حرارتی بالاتری است. بنابراین با توجه به تکنولوژی ۰/۱۸ μm و منبع تغذیه ۱/۸ ولتی، ساختارهای ارائه شده دارای توان مصرفی پایینی است و ضریب حرارتی بدست آمده نیز درمقایسه با نتایج تحقیقات انجام شده در محدوده‌ی مناسبی قرارگرفته است.

فصل پنجم

نتیجه‌گیری و پیشنهادها

۵-۱ مقدمه

پیشرفت روزافزون صنعت الکترونیک در حوزه‌ی علوم کاربردی به ویژه استفاده از تکنولوژی‌های مدرن در مهندسی پزشکی، منجر به ساخت دستگاه‌های قابل حمل و حسگرهای کاشتنی شده و پیاده-سازی این دستگاه‌ها و حسگرها در سطوح کوچکتر امکان‌پذیر نموده است. با توسعه‌ی تکنیک‌های بی‌سیم نیز می‌توان امکانات و قابلیت‌های بیشتری در انواع این حسگرها به خصوص در نوع کاشتنی گنجاند که موجب افزایش کارایی و طول عمر و کاربری آسان‌تر گردد که این امر منجر به کاهش جراحی‌های ناشی از تعویض باتری، یا تعویض حسگر و .. خواهد شد.

نوسان‌سازهایی با مصرف توان پایین و ضریب حرارتی کم نیز بخشی جدایی‌ناپذیر از معماری RFID، انواع حسگرها و دستگاه‌ها هستند. همواره تکنیک‌های مختلفی برای بهینه کردن مصرف توان نوسان‌سازها ارائه می‌شود تا علاوه بر کاهش ابعاد آن‌ها، تاثیرپذیری فرکانس را نیز نسبت به متغیرهای مختلف کم کند و دقت آن را افزایش دهد.

۵-۲ نتیجه‌گیری

این پژوهش با هدف جبران‌سازی دمایی نوسان‌سازحلقوی در ناحیه‌ی زیرآستانه جهت استفاده در کاربردهای کم توان و پایدار نسبت به دما انجام گرفته است. با توجه به اینکه فرکانس خروجی نوسان‌ساز حلقوی زیرآستانه با افزایش دما افزایش پیدا می‌کند (به طور مثال تغییراتی حدود ٪ ۲۵ در نوسان‌ساز مورد مطالعه) نیاز به جبران‌سازی دمایی لازم به نظر می‌رسد. در این پایان‌نامه این تغییرات با استفاده از ترکیب یک منبع جریان CTAT با یک منبع جریان ثابت جبران‌سازی شده و تغییرات فرکانس خروجی نوسان‌ساز کاهش یافته است. برای منبع جریان CTAT از دو پیکره‌بندی متفاوت استفاده شده است. در یک پیکره‌بندی از ضریب دمایی منفی ولتاژ آستانه ترانزیستور MOS استفاده شد و با استفاده از یک مقاومت با ضریب دمایی دقیق، جریان CTAT تولید گردید. در پیکره‌بندی دیگر

با بهره‌گیری از ضریب حرارتی منفی ولتاژ بیس-امیتر یا همان پیوند PN به روی یک مقاومت جریان CTAT ایجاد گردید. برای تولید منبع جریان ثابت نیز از ترکیب دو جریان با ضریب حرارتی مثبت و منفی استفاده شد. نتیجه‌ی بدست آمده با تحقیقات اخیر مقایسه شد که نوسان‌ساز پیشنهادی با توان مصرفی۱۳/۳ µW و ضریب حرارتی ۱۱۷ ppm/°C از عملکرد قابل قبولی برخوردار بود.

۵-۳ پیشنهادها

با توجه تحقیق حاضر در خصوص جبران‌سازی دمایی نوسان‌ساز حلقوی در ناحیه‌ی زیرآستانه، در کاربردهای کم‌توان حسگرهای کاشتنی، یکی دیگر از مسائل که در طراحی‌های زیرآستانه با مصرف توان بسیار کم حضور پیدا می‌کنند، جریان‌های نشتی هستند. جریان‌های نشتی با افزایش دما افزایش پیدا می‌کنند. از آنجایی که در کاربردهای کم توان جریان‌ها از مرتبه‌ی کوچکی است، وجود جریان نشتی در کنار یک مقدار اصلی کوچک باعث می‌شود نوسان‌ساز در برابر تغییرات دمایی عملکرد ضعیفی داشته باشد، از این رو تغییرات دمایی موجب تغییر فرکانس نوسان‌ساز خواهد شد. پیشنهاد می‌شود در کنار جبران‌سازی دمایی نوسان‌ساز حلقوی، تکنیک‌های کاهش‌دهنده‌ی جریان‌های نشتی نیز مورد استفاده قرار بگیرند.

مراجع

[١] L. S. Wong, S. Hossain, A. Ta, J. Edvinsson, D. H. Rivas, and H. Naas, "A very low-power CMOS mixed-signal IC for implantable pacemaker applications," *IEEE Journal of solid-state circuits*, vol. 39, pp. 2446-2456, 2004.

[٢] L. Yan, P. Harpe, M. Osawa, Y. Harada, K. Tamiya, C. Van Hoof, *et al.*, "24.4 A 680nA fully integrated implantable ECG-acquisition IC with analog feature extraction," in *IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, pp. 418-419, 2014.

[٣] R. F. Yazicioglu, S. Kim, T. Torfs, P. Merken, and C. Van Hoof, "A 30μW Analog Signal Processor ASIC for biomedical signal monitoring," in *IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, pp. 124-125, 2010.

[٤] S. Kim, L. Yan, S. Mitra, M. Osawa, Y. Harada, K. Tamiya, *et al.*, "A 20μW intra-cardiac signal-processing IC with 82dB bio-impedance measurement dynamic range and analog feature extraction for ventricular fibrillation detection," in *IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, pp. 302-303, 2013.

[٥] M. Yip, J. L. Bohorquez, and A. P. Chandrakasan, "A 0.6 V 2.9 μW mixed-signal front-end for ECG monitoring," in *Symposium on VLSI Circuits (VLSIC)*,pp. 66-67, 2012.

[٦] M. J. Kik and M. A. Mitchell, "Reptile cardiology: a review of anatomy and physiology, diagnostic approaches, and clinical disease," in *Seminars in Avian and Exotic Medicine*, pp. 52-60, 2005.

[٧] T.M. Wang, M.D. Ker, and H.T. Liao, "Design of mixed-voltage-tolerant crystal oscillator circuit in low-voltage CMOS technology," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 56, pp. 966-974, 2009.

[٨] B. Razavi, *Design of analog CMOS integrated circuits*,Mc Growhill press, 2001.

[٩] P. E. Allen and D. R. Holberg, *CMOS analog circuit design*: Oxford Univ. Press, 2002.

[١٠] B. Razavi, "A study of phase noise in CMOS oscillators," *IEEE journal of Solid-State circuits*, vol. 31, pp. 331-343, 1996.

[١١] Y.K. Tsai and L.H. Lu, "A 51.3-MHz 21.8 ppm/° C CMOS Relaxation Oscillator With Temperature Compensation," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 64, pp. 490-494, 2017.

[١٢] G. De Vita, F. Marraccini, and G. Iannaccone, "Low-voltage low-power CMOS oscillator with low temperature and process sensitivity," *IEEE International Symposium on* in *Circuits and Systems, ISCAS*, pp. 2152-2155, 2007.

[١٣] B. Razavi, "A 2-GHz 1.6-mW phase-locked loop," *IEEE Journal of Solid-State Circuits*, vol. 32, pp. 730-735, 1997.

[١٤] M. Alioto and G. Palumbo, "Oscillation frequency in CML and ESCL ring oscillators," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 48, pp. 210-214, 2001.

[١٥] Z.Y. Huang, J.S. Chiang, W.B .Yang, and C.-H. Wang, "A new temperature independent current controlled oscillator," in *International Symposium on Intelligent Signal Processing and Communications Systems (ISPACS)*, pp. 1-4, 2011.

[١٦] W.B. Yang, Z.Y. Huang, C.T. Cheng, and Y.L. Lo, "Temperature insensitive current reference for the 6.27 MHz oscillator," in *13th International Symposium on Integrated Circuits (ISIC)*, pp. 559-562, 2011.

[١٧] C.H. Park, O. Kim, and B. Kim, "A 1.8-GHz self-calibrated phase-locked loop with precise I/Q matching," *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 777-783, 2001.

[١٨] L. Sun and T. A. Kwasniewski, "A 1.25-GHz 0.35mm^2 monolithic CMOS PLL based on a multiphase ring oscillator," *IEEE Journal of Solid-State Circuits*, vol. 3 ,pp. 910-916, 2001.

[١٩] C.K. K. Yang, R. Farjad-Rad, and M. A. Horowitz, "A 0.5um CMOS 4.0-Gbit/s serial link transceiver with data recovery using oversampling," *IEEE Journal of Solid-State Circuits*, vol. 33, pp. 713-722, 1998.

[٢٠] Y. Taur and T. H. Ning, *Fundamentals of modern VLSI devices*: Cambridge university press, 2013.

[٢١] J. M. Rabaey, A. P. Chandrakasan, and B. Nikolic, *Digital integrated circuits* vol. 2: Prentice hall Englewood Cliffs, 2002.

[٢٢] S. Docking and M. Sachdev, "A method to derive an equation for the oscillation frequency of a ring oscillator," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 50, pp. 259-264, 2003.

[٢٣] G. Jovanovic, M. Stojcev, and Z. Stamenkovic, "A CMOS voltage controlled ring oscillator with improved frequency stability," *Scientific Publications of the State University of Novi Pazar, Series A: Applied Mathematics, Informatics and mechanics*, vol. 2, pp. 1-9, 2010.

[٢٤] A. Hajimiri, S. Limotyrakis, and T. H. Lee, "Jitter and phase noise in ring oscillators," *IEEE Journal of Solid-state circuits*, vol. 34, pp. 790-804, 1999.

[٢٥] B. Van Zeghbroeck, "Principles of semiconductor devices," *Colarado University*, 2004.

[٢٦] R. J. Widlar, "New developments in IC voltage regulators," *IEEE Journal of Solid-State Circuits*, vol. 6, pp. 2-7, 1971.

[٢٧] K. E. Kuijk, "A precision reference voltage source," *IEEE Journal of Solid-State Circuits*, vol. 8, pp. 222-226, 1973.

[٢٨] G. Tzanateas, C. Salama, and Y. P. Tsividis, "A CMOS bandgap voltage reference," *IEEE Journal of Solid-State Circuits*, vol. 14, pp. 655-657, 1979.

[٢٩] H. Banba, H. Shiga, A. Umezawa, T. Miyaba, T. Tanzawa, S. Atsumi, *et al.*, "A CMOS bandgap reference circuit with sub-1-V operation," *IEEE Journal of Solid-State Circuits*, vol. 34, pp. 670-674, 1999.

[٣٠] J.P. Colinge and C. A. Colinge, *Physics of semiconductor devices*: Springer Science & Business Media, 2005.

[٣١] F. Fang, "Sub-1V supply voltage references for CMOS technology based on threshold-voltage-difference architecture,"Proquest Dissertation,Edmonton Alberta University, 2006.

[٣٢] Z. Prijić, S. Dimitrijev, and N. Stojadinović, "Analysis of temperature dependence

of CMOS transistors' threshold voltage," *Microelectronics Reliability,* vol. 31, pp. 33-37, 1991.

[٣٣] I. Filanovsky and A. Allam, "Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications,* vol. 48, pp. 876-884, 2001.

[٣٤] F. Klaassen and W. Hes, "On the temperature coefficient of the MOSFET threshold voltage," *Solid-state electronics,* vol. 29, pp. 787-789, 1986.

[٣٥] G. Rincon Mora, "Voltage references: from diodes to precision high-order bandgap circuits," *IEEE Press*, 2002.

[٣٦] F. Maloberti, *Analog design for CMOS VLSI systems* vol. 646: Springer Science & Business Media, 2006.

[٣٧] P. R. Gray, P. J. Hurst, R. G. Meyer, and S. H. Lewis, *Analysis and design of analog integrated circuits*: John Wiley & Sons, 2008.

[٣٨] L. S. Wong, S. Hossain, and A. Walker, "Leakage current cancellation technique for low power switched-capacitor circuits," in *international symposium on Low power electronics and design*, pp. 310-315, 2001.

[٣٩] G. Gupta and R. Mehra, "MOSFET sub-threshold current reduction by varying substrate doping," in *International Conference on Advanced Communication Control and Computing Technologies (ICACCCT),* pp. 551-554, 2014.

[٤٠] L. Ge, " CMOS Bandgap reference,"Proquest Dissertation,Dalhouse University Nova Scotia, pp. 201-203,2004.

[٤١] W. T. Harrison, J. A. Connelly, and R. Stair, "An improved current-mode CMOS voltage reference," in *Southwest Symposium on Mixed-Signal Design, SSMSD*, pp. 23-27, 2001.

[٤٢] D. A. Johns and K. Martin, *Analog integrated circuit design*: John Wiley & Sons, 2008.

[٤٣] I. Filanovsky, "Input-Free V TP and-V TN Extractor Circuits Realized on the Same Chip," *Analog Integrated Circuits and Signal Processing,* vol. 19, pp. 151-157, 1999.

[٤٤] A. Lahiri and A. Tiwari, "A 140µA 34ppm/° C 30MHz Clock Oscillator in 28nm CMOS Bulk Process," in *International Conference VLSI Design and International Conference on Embedded Systems (VLSID)*, pp. 173-178, 2013.

[٤٥] K. Sundaresan, P. E. Allen, and F. Ayazi, "Process and temperature compensation in a 7-MHz CMOS clock oscillator," *IEEE Journal of Solid-State Circuits,* vol. 41, pp. 433-442, 2006.

[٤٦] S. Zhang, A. Li, Y. Han, L. Jie, X. Han, and R. C. Cheung, "Temperature compensation technique for ring oscillators with tail current,"*IEEE Electronics Letters,* vol. 52, pp. 1108-1110, 2016.

[٤٧] K.K. Huang and D. D. Wentzloff, "A 1.2-MHz 5.8 uW Temperature-Compensated Relaxation Oscillator in 130-nm CMOS," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 61, pp. 334-338, 2014.

[٤٨] Y. Ni, "Low-power cmos relaxation oscillator design with an on-chip circuit for combined temperature-compensated reference voltage and current generation,"Proquest Dissertation, Northeastern University, 2013.

[٤٩] N. Sadeghi, A. Sharif-Bakhtiar, and S. Mirabbasi, "A 0.007mm^2 ,108 ppm/°C

1-MHz Relaxation Oscillator for High-Temperature Applications up to 180°C in 0.13um CMOS," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 60, pp. 1692-1701, 2013.

[٥٠] Y.H. Chiang and S.I. Liu, "A submicrowatt 1.1-MHz CMOS relaxation oscillator with temperature compensation," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 60, pp. 837-841, 2013.

[٥١] H. Hwang, B. Jo, S. Park, S.W. Kim, C.H. Jeong, and J. Moon, "A 13.56 MHz CMOS ring oscillator for wireless power transfer receiver system," in *IEEE Region 10 Conference TENCON*, pp. 1-4, 2014.

[٥٢] Y. Wang, P. K. Chan, and K. H. Li, "A compact cmos ring oscillator with temperature and supply compensation for sensor applications," in *IEEE Computer Society Annual Symposium on VLSI (ISVLSI),*pp. 267-272, 2014.

[٥٣] A. P. Brokaw, "A simple three-terminal IC bandgap reference," *IEEE Journal of Solid-State Circuits,* vol. 9, pp. 388-393, 1974.

[٥٤] G. De Vita and G. Iannaccone, "Ultra-low-power series voltage regulator for passive RFID transponders with subthreshold logic," *Electronics letters,* vol. 42, pp. 1350-1351, 2006.

[٥٥] K. Choe, O. D. Bernal, D. Nuttman, and M. Je, "A precision relaxation oscillator with a self-clocked offset-cancellation scheme for implantable biomedical SoCs," in *IEEE International Solid-State Circuits Conference-Digest of Technical Papers ISSCC*, pp. 402-403, 2009.

[٥٦] K. Ueno, T. Asai, and Y. Amemiya, "A 30-MHz, 90-ppm/° C fully-integrated clock reference generator with frequency-locked loop," in *Proceedings of ESSCIRC'09.*, pp. 392-395, 2009.

Abstract:

To achieve goals such as power consumption reduction, the possibility of low-level integration and the ability to use implantable sensors in the body, use of LC oscillators because of high power consumption and crystalline ones due to the impossibility of integration are not appropriate options. For this reason, in this thesis, a ring oscillator including five inverters with transistors in the sub-threshold region has been investigated.

Since the output frequency of this oscillator in the sub-threshold region increases with increasing temperature and has a temperature coefficient of 2430 ppm/˚C, it requires temperature compensation. This high temperature coefficient can affect the performance of overall system, so it does need to utilize a compensation technique. In this thesis two CTAT current references have been simulated in 0.18um CMOS technology to reduce output frequency changes versus temperature. A method of generating a negative temperature coefficient is to apply the base-emitter voltage of a bipolar transistor on a resistor and another method of producing it is to use the negative temperature coefficient of the threshold voltage of the PMOS transistor. In the proposed circuit, the obtained CTAT current from both methods along with a constant temperature coefficient of a temperature independent current reference supplied the ring oscillator.

The temperature coefficient of output frequency of the proposed oscillator in the structure utilized by the base-emitter voltage is about 117 ppm/˚C for 0˚C to 100˚C and the total power consumption is 13.3μW. The temperature coefficient of output frequency of the proposed oscillator in the structure utilized by the threshold voltage is about 131.7 ppm/˚C for 0˚C to 100˚C and the total power consumption is 33 μW.

Keywords: ring oscillator, thermal compensation, CTAT current reference, band-gap voltage reference.

Shahrood University of technology

Faculty of Electrical Engineering and Robatic

M.Sc. Thesis in Electronic Integrated Circuits Engineering

Thermal Compensation of RC Oscillator Using Voltage Bandgap Reference

Elham Sadeghi

Supervisor:

Dr. Emad Ebrahimi

September 2017